



教育部高等教育司推荐

国外优秀信息科学与技术系列教学用书

模拟集成电路 的分析与设计

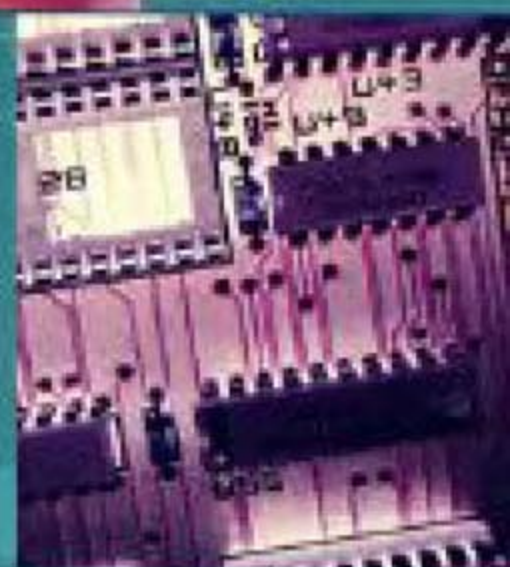
第4版

翻译版

ANALYSIS AND DESIGN OF ANALOG
INTEGRATED CIRCUITS

Fourth Edition

[美] • PAUL R. GRAY
• PAUL J. HURST
• STEPHEN H. LEWIS
• ROBERT G. MEYER 著
张晓林 等译



高等教育出版社
Higher Education Press

本套教学用书的特点:

权威性——教育部高等教育司推荐、教育部高等学校信息科学与技术引进教材专家组遴选

系统性——覆盖电子信息、通信类专业主干课程

先进性——著名通信专家近两年的最新著作，内容体系先进

经济性——价格与国内自编教材相当，是国内引进教材价格最低的

本书的主要内容包括：集成电路有源器件模型，双极型、MOS、BiCMOS 集成电路技术，单晶体管和双晶体管放大器，电流镜、有源负载及其电压和电流参考值，输出级，单端输出的运算放大器，集成电路的频率响应，反馈，反馈放大器的频率响应与稳定性，非线性模拟电路，集成电路中的噪声，全差分运算放大器。本书可用作高等学校电子信息类本科生的教材或参考书。



查询其他教学用书，敬请登陆
www.hep-st.com.cn

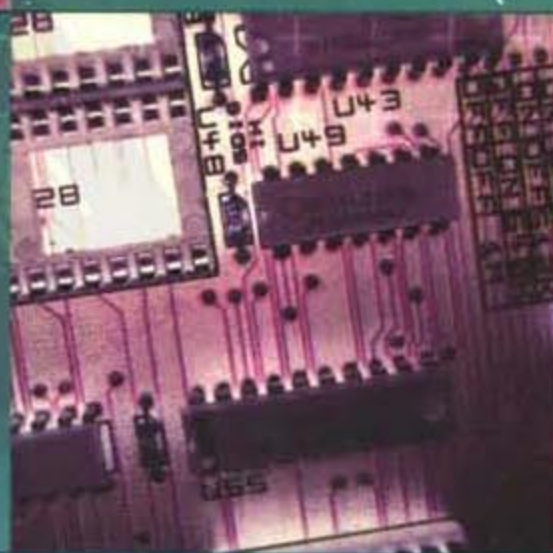
ISBN 7-04-016600-3



9 787040 166002 >

定价 65.00 元

标准分享网 www.bzfxw.com 免费下载



 **WILEY**



教育部高等教育司推荐

国外优秀信息科学与技术系列教学用书

模拟集成电路 的分析与设计

第4版 翻译版

ANALYSIS AND DESIGN OF ANALOG
INTEGRATED CIRCUITS

Fourth Edition

- [美] • **PAUL R. GRAY**
University of California, Berkeley
- **PAUL J. HURST**
University of California, Davis
- **STEPHEN H. LEWIS**
University of California, Davis
- **ROBERT G. MEYER**
University of California, Berkeley 著
张晓林 等译



高等教育出版社
Higher Education Press

图字:01-2003-5105号

Analysis and Design of Analog Integrated Circuits, 4th ed.

Paul R. Gray, Paul J. Hurst, Stephen H. Lewis and Robert G. Meyer.

Copyright 2001©John Wiley & Sons, Inc. All rights reserved.

AUTHORIZED TRANSLATION OF THE EDITON PUBLISHED BY JOHN WILEY & SONS, New York, Chichester, Brisbane, Singapore AND Toronto. No part of this book may be reproduced in any form without the written permission of John Wiley & Sons, Inc.

内容简介

本书介绍模拟集成电路的分析与设计。全面阐述了模拟集成电路的基本原理和概念,同时还阐述了模拟集成电路的新技术和新发展。全书共十二章。前七章介绍了集成电路放大器件模型,双极型、MOS 和 BiCMOS 集成电路技术,单级放大器与多级放大器,镜像电流源、有源负载和基准源,输出级,单端输出的运算放大器以及集成电路的频率响应,第八、九章介绍了反馈,反馈放大器的频率响应和稳定性。第十章至十二章介绍了非线性模拟电路,集成电路的噪声和全差分运算放大器。

本书是现代模拟集成电路分析与设计的教材或参考书。既可以作为研究生或高年级本科生的教科书,也可作为应用工程的参考书,同时又是一本比较全面、系统的模拟集成电路方面的专著。

图书在版编目(CIP)数据

模拟集成电路的分析与设计:第4版/(美)格雷
(Gray, P. R.)等著;张晓林等译. —北京:高等教育出版社, 2005. 6

书名原文:Analysis and Design of Analog Integrated Circuits

ISBN 7-04-016600-3

I. 模... II. ①格... ②张... III. ①模拟集成电路
— 电路分析 — 高等学校 — 教材 ②模拟集成电路 — 电路设计 — 高等学校 — 教材 IV. TN431.1

中国版本图书馆 CIP 数据核字(2005)第 022805 号

出版发行 高等教育出版社
社 址 北京市西城区德外大街 4 号
邮政编码 100011
总 机 010-58581000

购书热线 010-58581118
免费咨询 800-810-0598
网 址 <http://www.hep.edu.cn>
<http://www.hep.com.cn>
网上订购 <http://www.landraco.com>
<http://www.landraco.com.cn>

经 销 北京蓝色畅想图书发行有限公司
印 刷 北京民族印刷厂

开 本 787×1092 1/16
印 张 52.5
字 数 1 200 000

版 次 2005 年 6 月第 1 版
印 次 2005 年 6 月第 1 次印刷
定 价 65.00 元

本书如有缺页、倒页、脱页等质量问题,请到所购图书销售部门联系调换。

版权所有 侵权必究

物料号 16600-00

序

20 世纪末,以计算机和通信技术为代表的信息科学和技术对世界经济、科技、军事、教育和文化等产生了深刻影响。信息科学技术的迅速普及和应用,带动了世界范围信息产业的蓬勃发展,为许多国家带来了丰厚的回报。

进入 21 世纪,尤其随着我国加入 WTO,信息产业的国际竞争将更加激烈。我国信息产业虽然在 20 世纪末取得了迅猛发展,但与发达国家相比,甚至与印度、爱尔兰等国家相比,还有很大差距。国家信息化的发展速度和信息产业的国际竞争能力,最终都将取决于信息科学技术人才的质量和数量。引进国外信息科学和技术优秀教材,在有条件的学校推动开展英语授课或双语教学,是教育部为加快培养大批高质量的信息技术人才采取的一项重要举措。

为此,教育部要求由高等教育出版社首先开展信息科学和技术教材的引进试点工作。同时提出了两点要求,一是要高水平,二是要低价格。在高等教育出版社和信息科学技术引进教材专家组的努力下,经过比较短的时间,第一批引进的 20 多种教材已经陆续出版。这套教材出版后受到了广泛的好评,其中有不少是世界信息科学技术领域著名专家、教授的经典之作和反映信息科学技术最新进展的优秀作品,代表了目前世界信息科学技术教育的一流水平,而且价格也是最优惠的,与国内同类自编教材相当。

这项教材引进工作是在教育部高等教育司和高教社的共同组织下,由国内信息科学技术领域的专家、教授广泛参与,在对大量国外教材进行多次遴选的基础上,参考了国内和国外著名大学相关专业的课程设置进行系统引进的。其中,John Wiley 公司出版的贝尔实验室信息科学研究中心副总裁 Silberschatz 教授的经典著作《操作系统概念》,是我们经过反复谈判,做了很多努力才得以引进的。William Stallings 先生曾编写了在美国深受欢迎的信息科学技术系列教材,其中有多种教材获得过美国教材和学术著作协会颁发的计算机科学与工程教材奖,这批引进教材中就有他的两本著作。留美中国学者 Jiawei Han 先生的《数据挖掘》是该领域中具有里程碑意义的著作。由达特茅斯学院的 Thomas Cormen 和麻省理工学院、哥伦比亚大学几位学者共同编著的经典著作《算法导论》,在经历了 11 年的锤炼之后于 2001 年出版了第二版。目前任教于美国 Massachusetts 大学的 James Kurose 教授,曾在美国三所高校先后 10 次获得杰出教师或杰出教学奖,由他主编的《计算机网络》出版后,以其体系新颖、内容先进而备受欢迎。在努力降低引进教材售价方面,高等教育出版社做了大量和细致的工作。这套引进的教材体现了权威性、系统性、先进性和经济性等特点。

教育部也希望国内和国外的出版商积极参与此项工作,共同促进中国信息技术教育和信息产业的发展。我们在与外商的谈判工作中,不仅要坚定不移地引进国外最优

秀的教材,而且还要千方百计地将版权转让费降下来,要让引进教材的价格与国内自编教材相当,让广大教师和学生负担得起。中国的教育市场巨大,外国出版公司和国内出版社要通过扩大发行数量取得效益。

在引进教材的同时,我们还应做好消化吸收,注意学习国外先进的教学思想和教学方法,提高自编教材的水平,使我们的教学和教材在内容体系上,在理论与实践的结合上,在培养学生的动手能力上能有较大的突破和创新。

目前,教育部正在全国 35 所高校推动示范性软件学院的建设和实施,这也是加快培养信息科学技术人才的重要举措之一。示范性软件学院要立足于培养具有国际竞争力的实用性软件人才,与国外知名高校或著名企业合作办学,以国内外著名 IT 企业为实践教学基地,聘请国内外知名教授和软件专家授课,还要率先使用引进教材开展教学。

我们希望通过这些举措,能在较短的时间,为我国培养一大批高质量的信息技术人才,提高我国软件人才的国际竞争力,促进我国信息产业的快速发展,加快推动国家信息化进程,进而带动整个国民经济的跨越式发展。

教育部高等教育司

二〇〇二年三月

To Liz , Barbara , Robin , and Judy

译者序

21 世纪将是信息时代,而信息技术是国民经济的核心技术,它服务于国民经济各个领域,以通信和集成电路为基础的信息产业已成为国民经济最重要的先导和支柱产业,近年来我国通信与信息产业的迅猛发展,直接带动了集成电路市场的大幅度增长,给全球信息产业注入了新的活力。

本书自第 1 版面世至今已 23 年,先后出版了 4 版,在第 4 版中,原作者 Paul Gray 和 Robert Meyer 联合了两位新的作者 Paul Hurst 和 Stephen Lewis,增加了模拟集成电路分析与设计中的新的概念和技术,即在第三至七章重点论述的 CMOS 电路、全差分放大器、共模反馈电路以及二端口反馈电路的反馈比分析方法,新的内容还包括对二级 MOS 运算放大器、单级运算放大器和嵌套式密勒补偿的理解。全书从基本理论、关键技术、实用工程的角度,全面介绍了模拟集成电路的新应用,是作者多年教学和科研工作的总结。书中内容丰富新颖,各章都有相当数量的习题,并引入 SPICE 技术作为工具,对复杂的电路进行分析,是模拟集成电路设计领域的一本好教材。在教学中,我们把该书的英文版作为教学参考书,收到了良好的效果。

本书广泛、系统地介绍了模拟集成电路的基础知识和基本理论,深入浅出,概念清晰,因此本书既可以作为研究生或高年级本科生的教科书,也可作为工程技术人员的参考书,同时又是一本比较全面、系统的模拟集成电路方面的专著。

本书由张晓林教授翻译并统稿,由赵琦博士审校,参加本书翻译和审校工作的还有郑惠荣、王哲、赵岭、魏晨曦、孙凯、段少婷、路程、李蕾、高晓曦、徐广毅、房林堂、肖海凤、陈质冉等。在此,对所有为本书的出版提供帮助的人们表示诚挚的谢意!

由于译者水平有限,加之时间仓促,译文中难免有不妥之处,敬请读者批评指正。

译者

2004 年 10 月

于北京航空航天大学电子信息工程学院

前 言

自本书第1版面世以来的23年里,模拟集成电路领域已有了一定的发展并成熟起来。在最初的双极型技术基础上,MOS模拟集成电路紧接着飞速发展起来,进而BiCMOS技术(在电路板上同时集成了双极型和CMOS器件)也作为传统技术的有力竞争对手脱颖而出。一个关键问题是CMOS技术已经在数字电路设计方面占有主导地位,因为功能相同的CMOS数字电路比双极型数字电路占用的空间更少,功率损耗也更低。为了降低系统成本,减少功率损耗,如今常把模拟电路和数字电路集成到一起,这对于CMOS兼容型模拟电路的使用形成了强有力的经济诱因。结果,在很多的实际应用中产生了一个重要的问题,就是“是使用纯粹的CMOS?还是使用BiCMOS技术?”尽管制作成本稍贵一些,BiCMOS允许设计者同时使用双极型和MOS器件以尽可能地发挥它们的优势,还允许创新性地结合两种器件的特性。另外,在实现某种特定的模拟电路功能时,BiCMOS技术还可以通过直接运用许多已有的单元电路来减少设计时间。另一方面,纯粹CMOS的主要优点是总成本最低。20年前,CMOS技术的速度还只能满足音频方面应用的需要。然而,集成电路(IC)最小形体尺寸的不断缩减极大地提高了最高工作频率,结果CMOS技术的速度也变得足以满足许多新应用的需要。举例而言,视频方面的应用需要大约4 MHz的带宽,15年前的双极型技术才刚刚能够满足要求,然而现在CMOS却可以轻松地提供视频所需的带宽,甚至还可以应用于射频。

在第4版中,以合为一体的方式综合考虑了MOS电路、双极型电路和以BiCMOS技术实现的MOS双极型结合电路。发行该版本是为了使教师更容易地选择与之有关的不同主题,例如,只关于CMOS电路的,只关于双极型电路的或两者兼有的。相信对于模拟电路设计者来说,具有对MOS和双极型器件的相似点和不同点的透彻理解,以及能够在合适的地方对其中的任何一种进行设计,这一点变得越来越重要了。

鉴于如今所有电子工程专业的学生和专业人士都能够很容易地接触到SPICE计算机分析程序,本书的该版本广泛应用了SPICE,并以此作为许多习题的主要部分。我们之所以使用计算机分析,是因为在工程设计过程中它既可以作为人工计算的一个更精确的验证,也可以作为工具来分析超出人工计算能力的复杂电路特性。在习题集中还包括了大量未下结论的开放性设计习题,读者可以由此了解到在实际情况下为达到一定的性能指标,怎样寻求一整套电路设计解决方案。

本书既可作为学生教材,也可作为工程师的参考书。为满足课堂需要,每章都包含了许多例题;每章末尾的习题集都是将教材中的内容进行实际应用的示例。所有作者都在IC设计方面具有丰富的行业经验和该学科的教学经验,这些经验反映在教学材料的选取和习题的设置当中。

虽然该书的内容主要是关于 IC 的分析与设计,但也有相当多的内容涉及到应用。在实践中,这两部分是紧密联系的,对 IC 的设计者和使用者来说,具备这两方面的知识是很重要的。到目前为止,后者为数较多,而且对于 IC 使用者来说,掌握 IC 设计的应用知识占很大优势。当使用者需要从大量的竞争性的设计方案中进行取舍来满足特定需求时,这个优势就会显著地表现出来。对 IC 结构的理解有助于在极端条件下或是供给电压变化时对不同设计方案的相对需求进行评价。此外,如果 IC 使用者具有集成电路内部工作的应用知识,将更有利于理解器件制造商的技术数据。

本书内容主要来源于加利福尼亚大学 Berkeley 和 Davis 分校开设的模拟集成电路课程,该课程主要作为研一学生课程及本科生的选修课。此书的结构安排适于作为后续课程的基础教材。在每章最后或是附录中会有一些内容较深的材料,当本书用于模拟集成电路的基础课程时可以省略这部分内容而不失连贯性。下面给出了各章大纲及用于基础课程时内容选取的参考意见。默认为一学期 15 周,每周 3 课时,且学生具有拉普拉斯变换和电路频域分析的应用知识。同时,学生应当已经学习了电子学的入门课程,从而能够熟悉晶体管工作原理及简单模拟电路功能。如未另作说明,每章学习需要 3~4 学时。

第一章是对双极型晶体管和 MOS 晶体管物理结构的概述,建议对本章内容用一星期时间来进行有选择性的学习,内容的选取由学生的知识背景而定。第一章和第二章的材料在 IC 设计中很重要,因为在电路设计和器件设计之间有着很重要的相互联系,这一点读者将在接下来的章节中看到。因此,对器件构造及特性的深入理解十分重要。

第二章以大量描述性的语言阐述了 IC 构造技术。如果要求学生课下阅读本章内容,讲授安排一学时即可。

第三章解决基本晶体管的连接特性。单级放大电路的内容是高年级及研究生的复习材料,可安排课下阅读。二级放大电路需要 3 学时,主要强调差分组态。如果时间允许,可以将差放的不匹配效应纳入其中。

在第四章里,讲述了有关镜像电流源及有源负载的重要问题。它们是当今模拟集成电路设计的基本单元电路,除了带隙基准源及附录内容以外,需要全部掌握。

第五章讨论输出级和将输出功率传递到负载的方法。涵盖了实现甲类、乙类和甲乙类输出级集成电路及输出级保护的方法。本章内容可以有选择性地进行学习。

第六章是运算放大器(运放)的设计。用几个实例来详细描述了 MOS 运放和双极型运放的直流、交流分析及基本运放的局限性。还包括了以 MOS、双极型技术实现的特性改善的运放设计。这一章是放大器设计的重点,至少需要 6 学时。

第七章研究放大器的频率响应。介绍了开路时间常数分析法用于复杂电路中计算 -3 dB 截止频率。本章内容需要全部掌握。

第八章描述了反馈电路的分析。介绍了两种类型的分析方法:二端口分析和反馈比分析。要求全面掌握这两种方法。本章的稳压器部分可作为阅读材料。

第九章的内容是反馈电路的频率响应和稳定性,需要全部掌握根轨迹部分之前的

内容。如果没有足够的时间详细讨论根轨迹,可以进行初步介绍。

在包含 15 周的一个学期里,除了以上内容外,还留有两周左右时间来学习第十章、第十一章和第十二章。对于这几章的内容可以作如下取舍:第十章分析非线性模拟电路,10.3 节之前的内容可以作为初级课程。第十一章分析集成电路的噪声,掌握 11.4 节及之前的内容就足够了。第十二章完整地描述了差分运算放大器和共模反馈,可以作为提高课程。

感谢以下同仁提出的建议和/或对此版本的想法:R. Jacob Baker, Bernhard E. Boser, A. Paul Brokaw, John N. Churchill, David W. Cline, Ozan E. Erdoğ an, John W. Fattaruso, Weinan Gao, Edwin W. Greeneich, Alex Gros-Balthazard, Tünde Gyurics, Ward J. Helms, Timothy H. Hu, Shafiq M. Jamal, John P. Keane, Haideh Khorramabadi, Pak-Kim Lau, Thomas W. Matthews, Krishnaswamy Nagaraj, Khalil Najafi, Borivoje Nikolić, Robert A. Pease, Lawrence T. Pileggi, Edgar Sánchez-Sinencio, Bang-Sup Song, Richard R. Spencer, Eric J. Swanson, Andrew Y. J. Szeto, Yannis P. Tsividis, Srikanth Vaidianathan, T. R. Viswanathan, ChornKuang Wang 和 Dong Wang. 同时也要感谢 Kenneth C. Dyer 同意将他设计的集成电路印制成照片,并作为本书的封面,感谢 Zoe Marlowe 进行文字处理工作。最后,还要感谢 Wiley 和 Publication Services 的成员在第 4 版发行过程中所做的工作。

本书的材料很大程度上受到了 Donald O. Pederson 影响,感谢他所作出的贡献。

加利福尼亚大学 Berkeley 和 Davis 分校, 2001

Paul R. Gray
Paul J. Hurst
Stephen H. Lewis
Robert G. Meyer

符号说明

如未另作说明,本书使用如下符号表示。偏置或直流量为大写字母和大写下标,如晶体管集电极电流 I_C 和集电极-发射极电压 V_{CE} 。小信号量为小写字母和小写下标,如晶体管集电极电流增量 i_c ,小信号等效电路的参数如跨导 g_m 也同样表示。最后,要体现偏置量和小信号量的总和,如集电极总电流 I_c ,为大写字母和小写下标。

郑 重 声 明

高等教育出版社依法对本书享有专有出版权。任何未经许可的复制、销售行为均违反《中华人民共和国著作权法》，其行为人将承担相应的民事责任和行政责任，构成犯罪的，将被依法追究刑事责任。为了维护市场秩序，保护读者的合法权益，避免读者误用盗版书造成不良后果，我社将配合行政执法部门和司法机关对违法犯罪的单位和个人给予严厉打击。社会各界人士如发现上述侵权行为，希望及时举报，本社将奖励举报有功人员。

反盗版举报电话：(010) 58581897/58581896/58581879

传 真：(010) 82086060

E-mail: dd@hep.com.cn

通信地址：北京市西城区德外大街4号

高等教育出版社打击盗版办公室

邮 编：100011

购书请拨打电话：(010)58581118

策划编辑	吴陈滨
责任编辑	欧阳舟
封面设计	李卫青
责任绘图	朱 静
版式设计	胡志萍
责任校对	胡晓琪
责任印制	陈伟光

目 录

第一章 集成电路放大器件模型	1
1.1 引言	1
1.2 pn 结的耗尽区	1
1.2.1 势垒电容	4
1.2.2 结击穿	6
1.3 双极型晶体管的大信号特性	7
1.3.1 正向放大区的大信号模型	8
1.3.2 集电极电压对正向放大区大信号特性的影响	13
1.3.3 饱和区和反向放大区	15
1.3.4 晶体管击穿电压	19
1.3.5 工作条件决定晶体管电流增益	22
1.4 双极型晶体管的小信号模型	24
1.4.1 跨导	24
1.4.2 基区寄生电容	26
1.4.3 输入电阻	27
1.4.4 输出电阻	27
1.4.5 双极型晶体管的基本小信号模型	28
1.4.6 集电极-基极电阻	28
1.4.7 小信号模型的寄生单元	29
1.4.8 晶体管频率响应特性	32
1.5 金属氧化物场效晶体管的大信号特性	35
1.5.1 MOS 器件的转移特性	36
1.5.2 双极型晶体管和 MOS 晶体管工作区的比较	42
1.5.3 栅-源电压的分解	44
1.5.4 阈值的温度独立性	44
1.5.5 MOS 器件的电压限制	46
1.6 MOS 晶体管的小信号模型	47
1.6.1 跨导	47
1.6.2 栅-源以及栅-漏固有电容	48
1.6.3 输入电阻	49
1.6.4 输出电阻	49
1.6.5 MOS 晶体管的基本小信号模型	49
1.6.6 衬底跨导	50
1.6.7 小信号模型的寄生单元	51
1.6.8 MOS 晶体管的频率响应	52
1.7 MOS 晶体管的短沟道效应	55
1.7.1 水平场中的速率饱和	56
1.7.2 跨导和特征频率	60
1.7.3 垂直场中的迁移率下降	61
1.8 MOS 晶体管中的弱反型	62
1.8.1 弱反型中的漏极电流	62
1.8.2 弱反型区中的跨导和特征频率	65
1.9 MOS 晶体管中的衬底电流	67
附录	69
A.1.1 有源器件参数列表	69
第二章 双极型、MOS 和 BiCMOS 集成电路技术	74
2.1 引言	74
2.2 集成电路生产的基本过程	74
2.2.1 硅的电阻率	75
2.2.2 固态扩散	76
2.2.3 扩散层的电特性	77
2.2.4 光刻工艺	79
2.2.5 外延生长	80
2.2.6 离子注入	81
2.2.7 局部氧化	82
2.2.8 多晶硅的淀积	83
2.3 高压双极型集成电路的制造	83
2.4 高级双极型集成电路的制造	87
2.5 双极型模拟集成电路中的放大器件	90
2.5.1 npn 型晶体管集成电路	90
2.5.2 pnp 型晶体管集成电路	101
2.6 双极型集成电路中的无源元件	108
2.6.1 扩散电阻	108
2.6.2 外延生长电阻和外延夹断	

电阻	111	3.3.4 共栅组态	175
2.6.3 集成电路电容	112	3.3.5 r_o 有限时的共基与共栅组态	177
2.6.4 齐纳二极管	113	3.3.5.1 共基与共栅组态的输入	
2.6.5 结型二极管	113	电阻	177
2.7 基本双极型工艺的改进	115	3.3.5.2 共基与共栅组态的输出	
2.7.1 电介质隔离法	116	电阻	178
2.7.2 高性能有源元器件的兼容		3.3.6 共集组态(射随器)	180
处理	117	3.3.7 共漏组态(源极跟随器)	184
2.7.3 高性能无源元件	118	3.3.8 射极反馈的共射放大器	186
2.8 MOS 集成电路的制造	120	3.3.9 源极反馈的共源放大器	189
2.9 MOS 集成电路中的有源器件	123	3.4 多级放大器	190
2.9.1 n 沟道晶体管	123	3.4.1 共集-共射, 共集-共集及	
2.9.2 p 沟道晶体管	133	达林顿组态	191
2.9.3 耗尽型器件	133	3.4.2 串接组态	194
2.9.4 双极型晶体管	134	3.4.2.1 双极型串接组态	194
2.10 MOS 工艺中的无源器件	136	3.4.2.2 MOS 晶体管串接	
2.10.1 电阻	136	组态	196
2.10.2 MOS 工艺中的电容	137	3.4.3 有源串接组态	199
2.10.3 CMOS 技术的门锁	139	3.4.4 超级源极跟随器	201
2.11 BiCMOS 技术	141	3.5 差分对	202
2.12 异质结双极型晶体管	143	3.5.1 共射差分对的直流传输特性	203
2.13 互连延迟	144	3.5.2 射极反馈的直流传输特性	204
2.14 集成电路制造过程的经济意义	145	3.5.3 共源差分对的直流传输特性	205
2.14.1 集成电路制造过程的收益		3.5.4 差分放大器的小信号分析	
因素	145	介绍	208
2.14.2 集成电路制造中的成本核算	148	3.5.5 理想对称的差分放大器的小	
2.15 集成电路的封装因素	150	信号特性	211
2.15.1 最大功耗	150	3.5.6 差分放大器中的不匹配效应	218
2.15.2 集成电路封装中的稳定性		3.5.6.1 输入失调电压和失调	
因素	153	电流	218
附录	153	3.5.6.2 共射差分对的等效输入	
A.2.1 SPICE 模型参数	153	失调电压	219
第三章 单级放大器与多级放大器	161	3.5.6.3 共射差分对的失调电压:	
3.1 模拟电路近似分析中器件模型		近似分析	219
选择	162	3.5.6.4 共射差分对的失调电压	
3.2 放大器的二端口模型	163	漂移	221
3.3 基本单管放大器	165	3.5.6.5 共射差分对的输入失调	
3.3.1 共射组态	165	电流	221
3.3.2 共源组态	169	3.5.6.6 共源差分对的输入失调	
3.3.3 共基组态	172	电压	222
		3.5.6.7 共源差分对的失调电压:	

近似分析.....	223	4.3.5.3 共模抑制比.....	278
3.5.6.8 共源差分对的失调电压		4.4 电压和电流基准源.....	284
漂移.....	224	4.4.1 低电流偏置.....	284
3.5.6.9 非对称差分放大器的小		4.4.1.1 双极型 Widlar 电流源	284
信号特性.....	225	4.4.1.2 MOS 管 Widlar 电流源	286
附录	231	4.4.1.3 双极型峰值电流源.....	287
A.3.1 静态初步和高斯分布	231	4.4.1.4 MOS 管峰值电流源	288
第四章 镜像电流源、有源负载和		4.4.2 对电源不敏感的偏置.....	290
基准源	240	4.4.2.1 Widlar 电流源	290
4.1 引言.....	240	4.4.2.2 使用其他标准电压的镜像	
4.2 镜像电流源.....	240	电流源.....	291
4.2.1 一般特性.....	240	4.4.2.3 自偏置.....	293
4.2.2 简单的镜像电流源.....	241	4.4.3 对温度不敏感的偏置.....	299
4.2.2.1 双极型晶体管结构.....	241	4.4.3.1 基于双极型技术的带隙	
4.2.2.2 MOS 晶体管结构	244	基准源偏置电路.....	301
4.2.3 减小 β 影响的(β helper)		4.4.3.2 CMOS 技术的带隙基准源	
基本镜像电流源.....	246	偏置电路.....	306
4.2.3.1 双极型晶体管结构.....	246	附录	310
4.2.3.2 MOS 晶体管结构	248	A.4.1 考虑镜像电流源的匹配	310
4.2.4 改进型基本镜像电流源.....	248	A.4.1.1 双极型晶体管结构	310
4.2.4.1 双极型晶体管结构.....	248	A.4.1.2 MOS 晶体管结构	312
4.2.4.2 MOS 晶体管结构	249	A.4.2 有源负载差分对的输入失调	
4.2.5 串接镜像电流源.....	249	电压	315
4.2.5.1 双极型晶体管结构.....	249	A.4.2.1 双极型晶体管结构	315
4.2.5.2 MOS 晶体管结构	252	A.4.2.2 MOS 晶体管结构	317
4.2.6 威尔逊镜像电流源.....	258	第五章 输出级	328
4.2.6.1 双极型晶体管结构.....	258	5.1 引言.....	328
4.2.6.2 MOS 晶体管结构	262	5.2 射随器作为输出级.....	328
4.3 有源负载.....	263	5.2.1 射随器的传输特性.....	329
4.3.1 概述.....	263	5.2.2 输出功率和效率.....	330
4.3.2 带有互补输出级的共射/共源		5.2.3 射随器的驱动要求.....	337
放大器.....	264	5.2.4 射随器的小信号特性.....	337
4.3.3 带有耗尽型负载的共射/共源		5.3 源极跟随器作为输出级.....	338
放大器.....	267	5.3.1 源极跟随器的传输特性.....	339
4.3.4 带有二极管连接负载的共射/		5.3.2 源极跟随器的失真.....	340
共源放大器.....	269	5.4 乙类放大器推挽式输出级.....	344
4.3.5 带有镜像电流源负载的		5.4.1 乙类放大器输出级的转移	
差分对.....	271	特性.....	344
4.3.5.1 大信号分析.....	271	5.4.2 乙类输出级的功率输出和	
4.3.5.2 小信号分析.....	273	效率.....	347

5.4.3 乙类互补式输出级的实际 应用	350	6.3.3 输入失调电压	405
5.4.4 全 npn 乙类输出级	356	6.3.4 共模抑制比	408
5.4.5 准互补输出级	358	6.3.5 共模输入范围	408
5.4.6 过载保护	360	6.3.6 电源抑制比(PSRR)	410
5.5 CMOS 甲乙类输出级	361	6.3.7 过载电压的效应	415
5.5.1 共漏极结构	362	6.3.8 布局的讲解	415
5.5.2 具有误差放大的共源极结构	363	6.4 具有串接放大器的二级 MOS 运算放大器	418
5.5.3 等效电路	370	6.5 MOS 管可伸缩式串接运算 放大器	419
5.5.3.1 共漏共源组合电路	370	6.6 MOS 管折叠串接运算放大器	421
5.5.3.2 具有高摆幅的共漏共源 组合电路	372	6.7 MOS 管有源串接运算放大器	425
5.5.3.3 平行共源结构	372	6.8 双极型运算放大器	428
第六章 单端输出的运算放大器	383	6.8.1 741 运算放大器的直流分析	431
6.1 运算放大器的应用	384	6.8.2 741 运算放大器的小信号 分析	436
6.1.1 反馈的基本概念	384	6.8.3 741 运算放大器的输入失调 电压、输入失调电流和共模 抑制比	444
6.1.2 反相放大器	384	6.9 单片集成运算放大器的设计中 要考虑的问题	445
6.1.3 非反相放大器	386	6.9.1 低温漂运算放大器的设计	447
6.1.4 差分放大器	387	6.9.2 低输入电流运算放大器的 设计	449
6.1.5 非线性的模拟运算	387	第七章 集成电路的频率响应	461
6.1.6 积分器和微分器	388	7.1 引言	461
6.1.7 内部放大器	389	7.2 单级放大器	461
6.1.7.1 开关电容器放大器	389	7.2.1 单级电压放大器和密勒效应	462
6.1.7.2 开关电容器积分器	394	7.2.1.1 双极型差分放大器: 差模增益	466
6.2 从理想运算放大器到实际运算 放大器的偏离	397	7.2.1.2 MOS 差分放大器:差模 增益	469
6.2.1 输入偏置电流	397	7.2.2 差分放大器共模增益的频率 响应	472
6.2.2 输入失调电流	397	7.2.3 电压缓冲的频率响应	474
6.2.3 输入失调电压	398	7.2.3.1 射随器的频率响应	476
6.2.4 共模输入范围	398	7.2.3.2 源级跟随器的频率响应	481
6.2.5 共模抑制比(CMRR)	398	7.2.4 电流缓冲器的频率响应	483
6.2.6 电源抑制比(PSRR)	399	7.2.4.1 共基放大器的频率响应	486
6.2.7 输入电阻	400	7.2.4.2 共栅放大器的频率响应	487
6.2.8 输出电阻	401		
6.2.9 频率响应	401		
6.2.10 运算放大器的等效电路	401		
6.3 基本的二级 MOS 运算放大器	402		
6.3.1 输入电阻、输出电阻与开路 电压增益	403		
6.3.2 输出摆幅	404		

7.3 多级放大器的频率响应	487	和稳定性	587
7.3.1 主极点近似	488	9.1 引言	587
7.3.2 零值时间常数分析法	488	9.2 反馈放大器中增益与带宽的关系	587
7.3.3 串接电压放大器的频率响应	493	9.3 不稳定性和奈奎斯特判据	589
7.3.4 串接放大器的频率响应	496	9.4 补偿	595
7.3.5 负载为一个镜像电流源的差分 对的频率响应	502	9.4.1 补偿理论	595
7.3.6 短路时间常数	504	9.4.2 补偿方法	600
7.4 741 运算放大器的频率响应分析	507	9.4.3 二级 MOS 管放大器补偿	606
7.4.1 741 的高频等效电路	507	9.4.4 单级 CMOS 运算放大器	613
7.4.2 741 的 -3dB 截止频率的 计算	508	9.4.5 嵌套式密勒补偿	616
7.4.3 741 的非主极点	510	9.5 根轨迹	624
7.5 频率响应和时间响应的关系	511	9.5.1 三极点的传递函数根轨迹	624
第八章 反馈	523	9.5.2 根轨迹准则	627
8.1 理想反馈方程	523	9.5.3 主极点补偿根轨迹图	634
8.2 增益灵敏度	524	9.5.4 零反馈补偿根轨迹图	635
8.3 负反馈对失真的影响	525	9.6 摆率	638
8.4 反馈结构	526	9.6.1 摆率受限的原因	638
8.4.1 串联 - 并联反馈	526	9.6.2 提高二级运算放大器摆率的 方法	641
8.4.2 并联 - 并联反馈	529	9.6.3 双极型运算放大器摆率的 改进	642
8.4.3 并联 - 串联反馈	531	9.6.4 MOS 运算放大器的摆率 改进	643
8.4.4 串联 - 串联反馈	532	9.6.5 摆率受限对大信号正弦性能 的影响	647
8.5 实际组态及负载的影响	532	附录	648
8.5.1 并联 - 并联反馈	532	A.9.1 反馈比参数术语分析	648
8.5.2 串联 - 串联反馈	538	A.9.2 二次方程根	649
8.5.3 串联 - 并联反馈	546	第十章 非线性模拟电路	659
8.5.4 并联 - 串联反馈	550	10.1 引言	659
8.5.5 总结	553	10.2 精密整流	659
8.6 单级反馈	553	10.3 使用双极型晶体管的模拟乘法器	665
8.6.1 局部串联 - 串联反馈	554	10.3.1 共射极对管构成简单的 乘法器	665
8.6.2 局部串联 - 并联反馈	556	10.3.2 吉尔伯特单元的直流分析	666
8.7 反馈电路用作稳压器	558	10.3.3 使用吉尔伯特单元的模拟 乘法器	668
8.8 使用反馈比的反馈电路分析	563	10.3.4 完整的模拟乘法器	671
8.8.1 使用反馈比求闭环增益	566	10.3.5 吉尔伯特乘法器单元构成平衡 调制器和鉴相器	672
8.8.2 使用反馈比的闭环阻抗公式	570		
8.8.3 反馈比分析的总结	576		
8.9 在反馈电路中建立输入和 输出端口的模型	576		
第九章 反馈放大器的频率响应			

10.4 锁相环路(PLL)	675	11.7.3 差分对噪声特性	731
10.4.1 锁相环路概念	675	11.8 运算放大器噪声	733
10.4.2 锁定条件下的锁相环路	677	11.9 噪声带宽	738
10.4.3 集成锁相环路	685	11.10 噪声因数和噪声温度	742
10.4.4 560B 的单片锁相环路的 分析	688	11.10.1 噪声因数	742
10.5 非线性函数综合	694	11.10.2 噪声温度	745
第十一章 集成电路的噪声	699	第十二章 全差分运算放大器	752
11.1 引言	699	12.1 引言	752
11.2 噪声源	699	12.2 全差分放大器的性能	752
11.2.1 冲击噪声	699	12.3 对称差分放大器的小信号模型	755
11.2.2 热噪声	702	12.4 共模反馈	759
11.2.3 闪烁噪声($1/f$ 噪声)	703	12.4.1 低频的共模反馈	760
11.2.4 突发噪声(爆米花噪声)	704	12.4.2 共模反馈环路中的稳定性 和补偿	765
11.2.5 雪崩噪声	705	12.5 共模反馈电路	767
11.3 集成电路元件的噪声模型	706	12.5.1 运用电阻分配器和放大器 的 CMFB	767
11.3.1 结型二极管	706	12.5.2 使用两个差分对的 CMFB	771
11.3.2 双极型晶体管	706	12.5.3 使用工作在三极管区的晶体 管的 CMFB	773
11.3.3 MOS 晶体管	708	12.5.4 开关电容共模反馈	775
11.3.4 电阻	709	12.6 全差分运算放大器	778
11.3.5 电容和电感	709	12.6.1 全差分二级运算放大器	778
11.4 电路噪声的计算	709	12.6.2 全差分伸缩共源共栅运算 放大器	787
11.4.1 双极型晶体管噪声特性	711	12.6.3 全差分折叠式共源共栅运算 放大器	788
11.4.2 等效输入噪声和最小可测 信号	714	12.6.4 有两个差分输入级的差分 运算放大器	789
11.5 等效输入噪声源	715	12.6.5 中和	789
11.5.1 双极型晶体管噪声源	716	12.7 不对称的全差分电路	792
11.5.2 MOS 晶体管噪声源	721	12.8 共模反馈环路的带宽	798
11.6 在噪声特性下的反馈	723	索引表	807
11.6.1 在噪声特性下的理想反馈	723		
11.6.2 在噪声特性下的实际反馈	724		
11.7 其他晶体管结构的噪声特性	729		
11.7.1 共基级噪声特性	730		
11.7.2 射随器噪声特性	731		

第一章 集成电路放大器件模型

1.1 引言

集成电路的分析和设计很大程度上取决于选取合适的模型作为集成电路器件。当使用比较简单的模型的人工分析时是这样,在运用相对复杂的模型的计算机分析时也是如此。因为任何分析的精确度与选取的模型参数的精确度一致,所以对电路设计者来说彻底理解常用模型的来源及每个模型相关近似值的量级是非常重要的。

本章引出了集成电路器件的大信号和小信号模型,从大多数集成电路器件的基本组成部分 pn 结的特性分析开始。由于本书主要涉及的是电路分析设计内容,没有试图对半导体物理学作一次全面的介绍,而是把重点放在两方面上:一是总结归纳半导体器件的行为特性;二是标明这些半导体器件如何用等效电路建立模型。

1.2 pn 结的耗尽区

pn 结的反向偏置特性对许多集成电路器件特性有很大影响。例如,在许多集成电路单元和底层衬底之间存在反偏的 pn 结,使寄生电容受电压控制。此外,许多放大器件的重要特性,如击穿电压和输出电阻,直接取决于反偏 pn 结耗尽区的特性。而且,场效应管中 pn 结的基本放大特性受 pn 结耗尽区宽度的控制。由于它在各种问题中的应用广泛并且具有重要性,以下对一个反偏 pn 结耗尽区进行分析。pn 结的正向偏置特性将在 1.3 节讲述双极型晶体管工作时讨论。

图 1.1 是一个反偏 pn 结。假设 n 型物质的掺杂浓度常数为 N_D atoms/cm³ (原子数/立方厘米),p 型物质为 N_A atoms/cm³ (非恒量掺杂浓度下的结特性将在后面讨论)。由于 p 型区和 n 型区传递浓度的不同,在空穴和电子漂移的结点会产生一个区域,仅剩有固定的施主和受主离子。每个受主原子携带一个负电荷,每个施主原子携带一个正电荷,这样结点附近区域成为一个大的空间电荷区,形成高电场,称为耗尽区或空间电荷区。多数情况下可以选取一个有效的近似,假定耗尽区边缘如图 1.1 所示。

对于零偏置,pn 结(简称结)两端会产生电压 ψ_0 ,称为内建电位差。该电位会阻碍漂移空穴和电子在结两边的扩散,达到平衡。其值为¹

$$\psi_0 = U_T \ln \frac{N_A N_D}{n_i^2} \quad (1.1)$$

在 300 K 时,

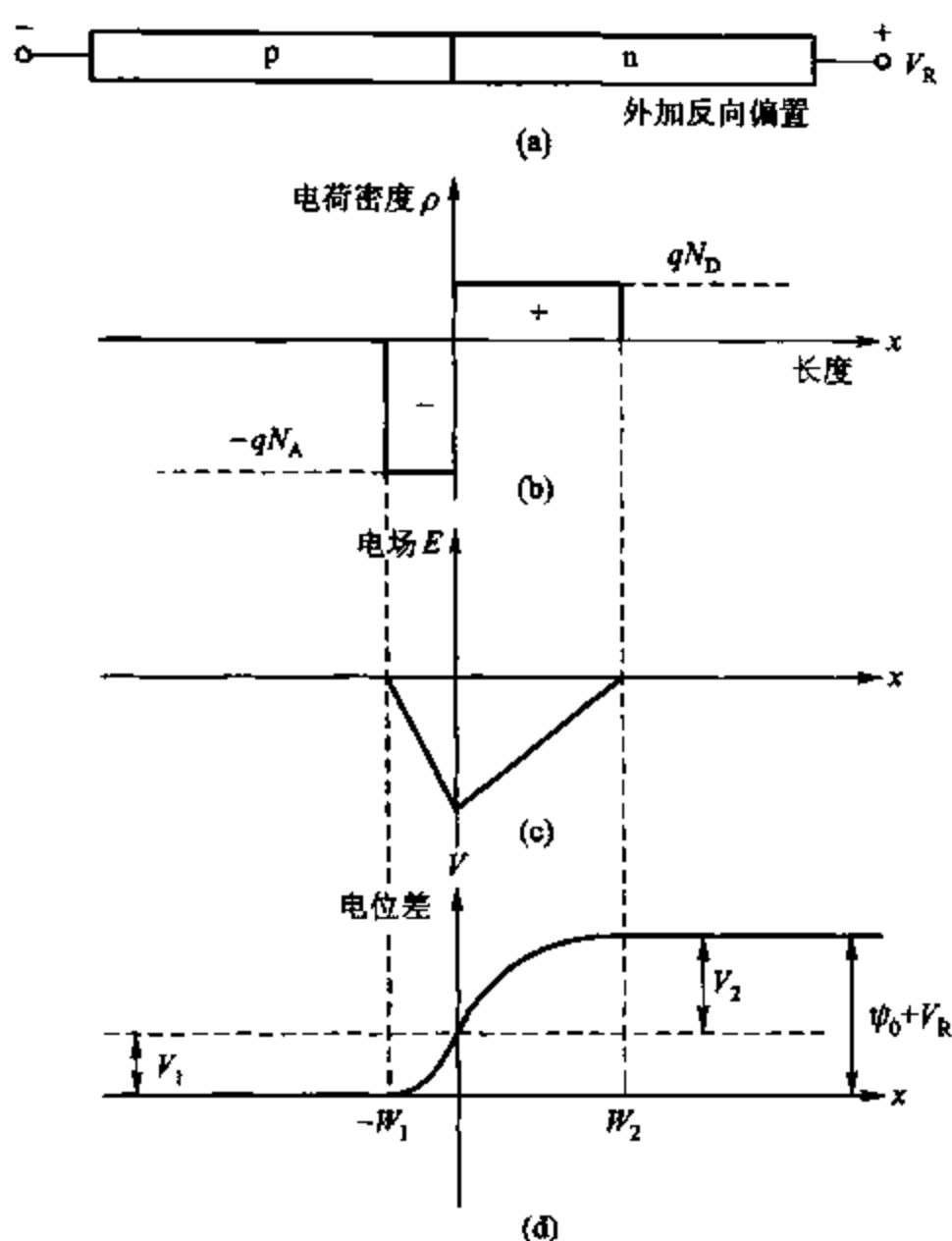


图 1.1 加反向偏置 V_R 的突变结
(a) 原理; (b) 电荷浓度; (c) 电场; (d) 静电势

$$V_T = \frac{kT}{q} \approx 26 \text{ mV}$$

n_i 为本征半导体中的本征载流子浓度。在 300 K 时, 硅的 $n_i \approx 1.5 \times 10^{10} \text{ cm}^{-3}$ 。

在图 1.1 中, 加入反偏压 V_R 会使接触电位差升高, 结两端的总电位差为 $(\psi_0 + V_R)$ 。如果耗尽区有 W_1 的长度渗透到 p 型区, 有 W_2 的长度渗透到 n 型区, 需要满足

$$W_1 N_A = W_2 N_D \quad (1.2)$$

因为结两边的每单位空间的总电荷必须电量相等, 极性相反。

一维泊松方程要求, 当 $W_1 < x < 0$ 时

$$\frac{d^2 V}{dx^2} = -\frac{\rho}{\epsilon} = \frac{qN_A}{\epsilon} \quad (1.3)$$

其中, ρ 为电荷密度, q 为电子电荷量 ($1.6 \times 10^{-19} \text{ C}$), ϵ 为硅的介电常数 ($1.04 \times 10^{-12} \text{ F/cm}$)。介电常数通常表示为

$$\epsilon = K_S \epsilon_0 \quad (1.4)$$

K_S 为硅的介电常数因子, ϵ_0 为真空的介电常数 ($8.86 \times 10^{-14} \text{ F/cm}$)。代入式 (1.3) 有

$$\frac{dV}{dx} = \frac{qN_A}{\epsilon}x + C_1 \quad (1.5)$$

C_1 为一常量。进而可求得电场 E 为

$$E = -\frac{dV}{dx} = -\left(\frac{qN_A}{\epsilon}x + C_1\right) \quad (1.6)$$

在耗尽区外电场强度为零, 边界条件为

$$\text{在 } x = -W_1 \text{ 处 } E = 0$$

代入式(1.6)可得, 当 $-W_1 < x < 0$ 时

$$E = -\frac{qN_A}{\epsilon}(x + W_1) = -\frac{dV}{dx} \quad (1.7)$$

因此, 结点处的偶极子使随距离线性变化的电场强度增大。

结合式(1.7)有

$$V = \frac{qN_A}{\epsilon}\left(\frac{x^2}{2} + W_1x\right) + C_2 \quad (1.8)$$

如果电中性的 p 型区电势也为零, 则有第二个边界条件

$$\text{在 } x = -W_1 \text{ 处 } V = 0$$

代入式(1.8)得, 当 $-W_1 < x < 0$ 时

$$V = \frac{qN_A}{\epsilon}\left(\frac{x^2}{2} + W_1x + \frac{W_1^2}{2}\right) \quad (1.9)$$

当 $x = 0$ 时, 定义 $V = V_1$, 则由式(1.9)可推出

$$V_1 = \frac{qN_A W_1^2}{\epsilon 2} \quad (1.10)$$

如果 $x = 0$ 到 $x = W_2$ 之间的电位差为 V_2 , 就有

$$V_2 = \frac{qN_D W_2^2}{\epsilon 2} \quad (1.11)$$

因此, 结两端的总电压为

$$\psi_0 + V_R = V_1 + V_2 = \frac{q}{2\epsilon}(N_A W_1^2 + N_D W_2^2) \quad (1.12)$$

将式(1.2)代入式(1.12)可得

$$\psi_0 + V_R = \frac{qW_1^2 N_A}{2\epsilon}\left(1 + \frac{N_A}{N_D}\right) \quad (1.13)$$

由式(1.13)可得, 耗尽层渗透到 p 型区的距离为

$$W_1 = \left[\frac{2\epsilon(\psi_0 + V_R)}{qN_A\left(1 + \frac{N_A}{N_D}\right)} \right]^{1/2} \quad (1.14)$$

同理,

$$W_2 = \left[\frac{2\epsilon(\psi_0 + V_R)}{qN_D\left(1 + \frac{N_D}{N_A}\right)} \right]^{1/2} \quad (1.15)$$

方程式(1.14)和(1.15)说明,渗透到 p 型区和 n 型区的耗尽区的杂质浓度呈反向关系,并与 $\sqrt{\psi_0 + V_R}$ 成正比。如果 N_D 或 N_A 比另一个大得多,耗尽区则几乎完全存在于掺杂少的那个区。

示例

硅原子突变 pn 结的掺杂浓度为 $N_A = 10^{15} \text{ atoms/cm}^3$, $N_D = 10^{16} \text{ atoms/cm}^3$, 计算结的内建电位差、耗尽层的深度和加 10 V 反偏压的最大场。

由式(1.1)有

$$\text{在 } 300 \text{ K 时,} \quad \psi_0 = 26 \ln \frac{10^{15} \times 10^{16}}{2.25 \times 10^{20}} \text{ mV} = 638 \text{ mV}$$

由式(1.14)得到, p 型区的耗尽层深度为

$$\begin{aligned} W_1 &= \left(\frac{2 \times 1.04 \times 10^{-12} \times 10.64}{1.6 \times 10^{-19} \times 10^{15} \times 1.1} \right)^{1/2} \text{ cm} = 3.5 \times 10^{-4} \text{ cm} \\ &= 3.5 \text{ } \mu\text{m} (1 \text{ } \mu\text{m} = 1 \text{ 微米} = 10^{-6} \text{ m}) \end{aligned}$$

在掺杂浓度更大的 n 型区里,耗尽层的深度为

$$W_2 = \left(\frac{2 \times 1.04 \times 10^{-12} \times 10.64}{1.6 \times 10^{-19} \times 10^{16} \times 11} \right)^{1/2} \text{ cm} = 0.35 \times 10^{-4} \text{ cm} = 0.35 \text{ } \mu\text{m}$$

最后,由式(1.7)可得,在 $x=0$ 处有最大场,为

$$\begin{aligned} E_{\max} &= -\frac{qN_A W_1}{\epsilon} = -1.6 \times 10^{-19} \times \frac{10^{15} \times 3.5 \times 10^{-4}}{1.04 \times 10^{-12}} \text{ V/cm} \\ &= -5.4 \times 10^4 \text{ V/cm} \end{aligned}$$

注意电场强度很大。

1.2.1 势垒电容

由于压控电荷 Q 与耗尽区相关,可以计算出小信号电容 C_i 的值如下:

$$C_i = \frac{dQ}{dV_R} = \frac{dQ}{dW_1} \frac{dW_1}{dV_R} \quad (1.16)$$

用 A 代表结的横切面面积,有

$$dQ = AqN_A dW_1 \quad (1.17)$$

对式(1.14)求微分得

$$\frac{dW_1}{dV_R} = \left[\frac{\epsilon}{2qN_A \left(1 + \frac{N_A}{N_D}\right) (\psi_0 + V_R)} \right]^{1/2} \quad (1.18)$$

将式(1.17)和式(1.18)代入式(1.16)得

$$C_i = A \left[\frac{q\epsilon N_A N_D}{2(N_A + N_D)} \right]^{1/2} \frac{1}{\sqrt{\psi_0 + V_R}} \quad (1.19)$$

上式的前提是二极管加反偏压 V_R , 而当加正偏压,正向电流很小的时候就不成立。因

此,若 V_D 为结偏置(正向偏置为正,反向偏置为负),(1.19)可表示成

$$C_j = A \left[\frac{q\epsilon N_A N_D}{2(N_A + N_D)} \right]^{1/2} \frac{1}{\sqrt{\psi_0 - V_D}} \quad (1.20)$$

$$= \frac{C_{j0}}{\sqrt{1 - \frac{V_D}{\psi_0}}} \quad (1.21)$$

C_{j0} 是当 $V_D = 0$ 时 C_j 的值。

式(1.20)和式(1.21)成立的前提是假定 p 型区和 n 型区的掺杂为恒量。然而,许多实际普遍存在的结更接近于如图 1.2 所示的渐变式掺杂曲线。此时要做估算

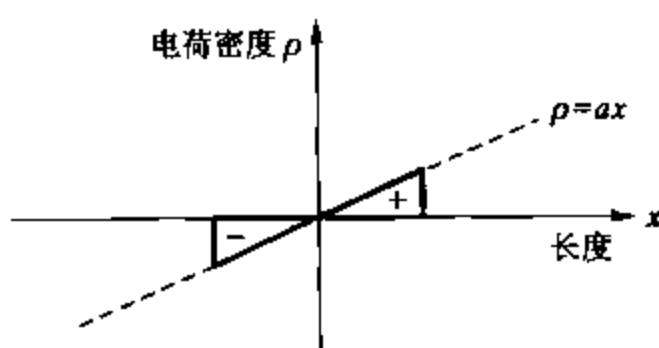


图 1.2 渐变结中的电荷密度与长度

$$C_j = \frac{C_{j0}}{\sqrt[3]{1 - \frac{V_D}{\psi_0}}} \quad (1.22)$$

注意式(1.21)和式(1.22)均表明当 V_D 趋近于 ψ_0 时, C_j 的值趋于无穷大,而二极管的电流可估算出来,两个等式不成立。图 1.3 更精确地分析了 V_D 对 C_j 的影响^{2,3}。对于达到 $\psi_0/2$ 的前向偏压,由式(1.21)可推算出 C_j 的更精确值。一些计算机程序则通过当 $V_D > \psi_0/2$ 时,式(1.21)或式(1.22)的线性推算,来近似计算 C_j 的值。

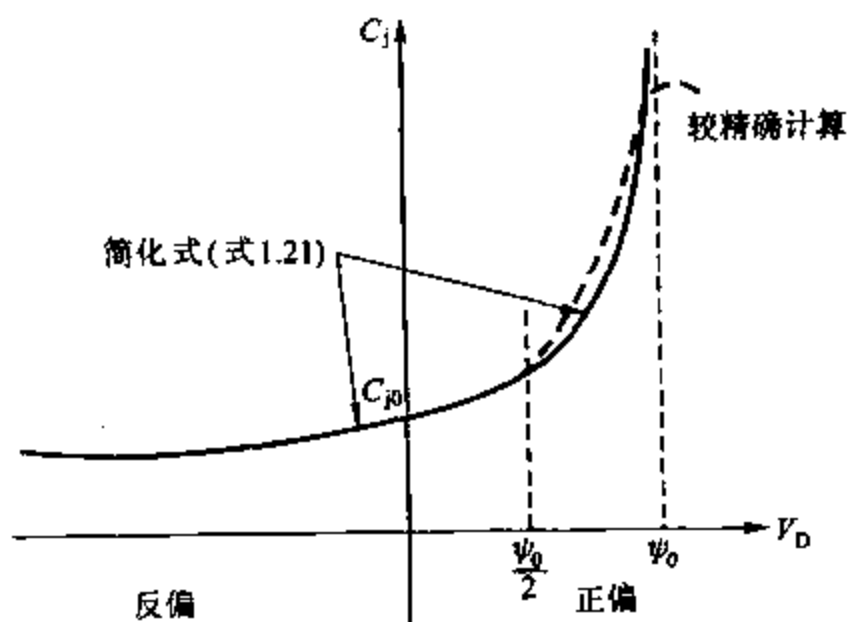


图 1.3 pn 结耗尽层电容特性与偏置电压 V_D 的关系

示例

若扩散结的零偏置电容为 3 pF, 且 $\psi_0 = 0.5$ V, 计算加 10 V 反偏时的电容。设掺杂浓度可以参考突变结取近似值。

由式(1.21)有

$$C_i = \frac{3}{\sqrt{1 + \frac{10}{0.5}}} \text{pF} = 0.65 \text{ pF}$$

1.2.2 结击穿

由图 1.1(c)可以看出耗尽区的最大电场在结点处, 对于突变结, 由式(1.7)得其值为

$$E_{\max} = -\frac{qN_A W_1}{\epsilon} \quad (1.23)$$

将式(1.14)代入式(1.23)得

$$|E_{\max}| = \left[\frac{2qN_A N_D V_R}{\epsilon(N_A + N_D)} \right]^{1/2} \quad (1.24)$$

ψ_0 已被省略。式(1.24)说明当掺杂浓度增大, 反偏升高时, 最大场强也增大。尽管此式可以表现出 E_{\max} 与其他变量的相关函数, 但只适用于理想平面结。实际中的结有边缘效应, 在结特性曲线边缘处场集中, 会使 E_{\max} 的值偏大。

由于耗尽区附近有少子空穴和电子存在, 所有的反偏 pn 结都会产生一个反向小电流。在电场的作用下, 少子穿过耗尽区, 形成结的漏电流。当反向偏压继续增加时, 最大场强也增大, 耗尽区中的载流子携带的能量也增加。在临界区 E_{crit} 里, 穿过耗尽区的载流子携带的能量足以与硅原子碰撞产生新的空穴-电子对。新产生的载流子能造成雪崩效应, 反偏漏电流急剧增大, 这种情况称为雪崩击穿。当结的掺杂浓度在 $10^{15} \sim 10^{16}$ atoms/cm³ 之间时, E_{crit} 的值约为 3×10^5 V/cm, 随着浓度的增加而缓慢变化, 在浓度为 10^{18} atoms/cm³ 时其值约为 10^6 V/cm。

由图 1.4 可看出结型二极管的典型 $I-V$ 特性, 当反向偏置达到击穿电压 BV 时, 产生雪崩击穿, 反向电流急剧增大。最大电场 E_{\max} 可取至 E_{crit} 。据经验判断⁴, 如果不发生雪崩击穿时二极管的正常反偏电流为 I_R , 在击穿电压附近, 实际的反偏电流为

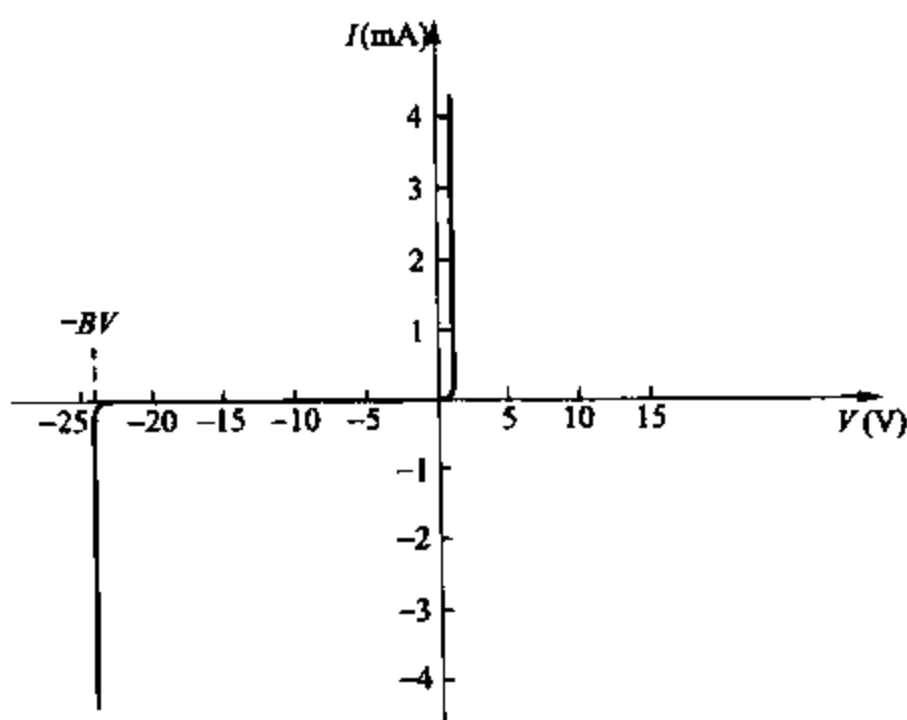
$$I_{\text{RA}} = MI_R \quad (1.25)$$

M 为倍增因数, 定义为

$$M = \frac{1}{1 - \left(\frac{V_R}{BV} \right)^n} \quad (1.26)$$

此式中的 V_R 为二极管的反向偏置, n 在 3~6 之间取值。

击穿区中的 pn 结工作特性并没有完全被破坏。为避免结的功耗过大, 损坏器件, 雪崩电流可通过加外电阻来限制。工作在雪崩区的二极管常被用做电压参数, 称为齐纳二极管。

图 1.4 结型二极管雪崩击穿时的典型 $I-V$ 特性曲线

还有一种与前面的雪崩击穿不同的现象被称为齐纳击穿。⁵ 齐纳击穿发生在高掺杂的结中, 此时能产生很强电场(即使反偏电压很小), 足以把价电子直接从共价键中拉出。该过程被称为隧道效应, 并不像雪崩击穿一样有倍增效果。尽管齐纳击穿只在击穿电压小于 6 V 时产生作用, 所有的击穿二极管都被看作稳压二极管。

到目前为止的计算都只是讨论平面突变结的击穿特性。实际扩散结的某些参数与这些结果不一致, 为方便设计者, 计算出了这些结特性并列成表格形式。⁵ 特别地, 实际扩散结的边缘效应可以通过将其击穿电压取为平面结数值的一半来得到。

示例

一突变平面 pn 结的掺杂浓度为 $N_A = 5 \times 10^{15} \text{ atoms/cm}^3$, $N_D = 10^{16} \text{ atoms/cm}^3$ 。计算当 $E_{\text{crit}} = 3 \times 10^5 \text{ V/cm}$ 时的击穿电压。

由式(1.24)中的 $E_{\text{max}} = E_{\text{crit}}$ 可求出击穿电压为

$$\begin{aligned} BV &= \frac{\epsilon(N_A + N_D)}{2qN_A N_D} E_{\text{crit}}^2 \\ &= \frac{1.04 \times 10^{-12} \times 15 \times 10^{15}}{2 \times 1.6 \times 10^{-19} \times 5 \times 10^{15} \times 10^{16}} \times 9 \times 10^{10} \text{ V} \\ &= 88 \text{ V} \end{aligned}$$

1.3 双极型晶体管的大信号特性

在这一节里讲述了双极型晶体管的大信号和直流特性。大信号模型是为了计算晶体管电路的总电流和电压, 同时也考虑了模型中不常包含的击穿电压限制的影响。一些次要影

响,如随集电极电流和厄尔利电压而变化的电流增益,在许多电路也占有重要地位,需要仔细考虑。

图 1.5 列出了双极型晶体管电流电压的符号表示。npn 和 pnp 管上的偏置电流都默认为由正方向流入器件。

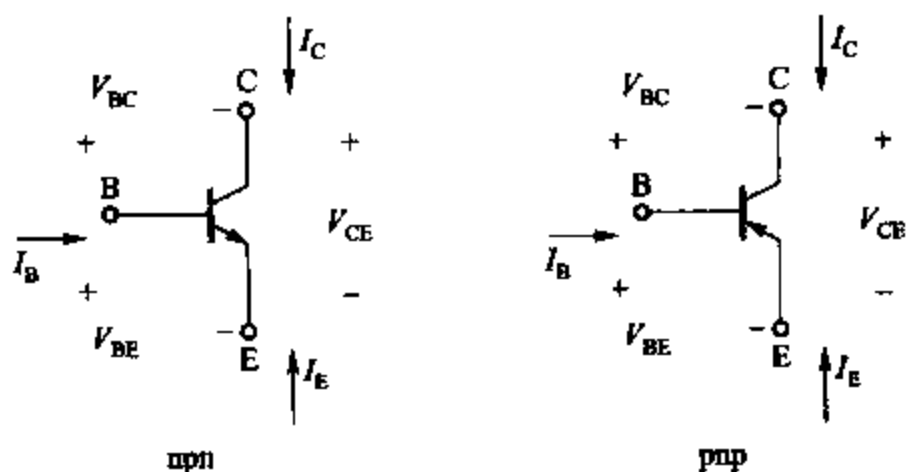


图 1.5 双极型晶体管的符号表示

1.3.1 正向放大区的大信号模型

图 1.6a 画出了一个典型 npn 平面双极型晶体管的结构。集电极、基极和发射极分别用 C、B 和 E 来表示。构造该晶体管结构的方法会在第二章里介绍。由第二章的内容可知晶体管基极和发射极的掺杂浓度不为恒量,而是随着与表面之间的距离而变化的。然而,许多类似器件的特性可以通过分析如图 1.6b 所示的理想晶体管结构来估算。其中,基极和发射极的掺杂浓度设为恒量,有时被称为均匀基区晶体管。在下面的分析中,用于均匀基区晶体管分析的等式的表达形式也适用于非均匀基区晶体管。

在图 1.6b 所示器件中取一横截面 AA',该横截面上的载流子浓度如图 1.6c 所示。空穴浓度用 p 表示,电子浓度用 n 表示,下标 p 和 n 表示 p 型和 n 型区。n 型的发射极和集电极分别用下标 E 和 C 加以区分。图 1.6c 所示载流子浓度适用于工作在正向放大区的器件,即发射结正向偏置,集电结反向偏置。基极耗尽区边缘的少子浓度可以通过对费米-狄拉克分布函数做玻耳兹曼近似计算得到⁶

$$n_p(0) = n_{p0} \exp \frac{V_{BE}}{V_T} \quad (1.27)$$

$$n_p(W_B) = n_{p0} \exp \frac{V_{BC}}{V_T} \approx 0 \quad (1.28)$$

式(1.28)中 W_B 为发射区耗尽层边缘到集电区耗尽层边缘之间的基极宽度, n_{p0} 为基极中的热平衡电子浓度。注意 npn 晶体管在正向线性区时的 V_{BC} 为负值,因此 $n_p(W_B)$ 很小。在式(1.27)和式(1.28)的推导过程中假设满足低电平注入条件,也就是少子浓度总是比多子浓度要低得多。

如果基极中空穴和电子的重组很少,基极中的少子浓度 $n_p(x)$ 随着距离线性变化⁷,在

图 1.6c 中浓度为 $x=0$ 和 $x=W_B$ 之间可以作出一条直线来连接这两点。因为基极中电荷呈中性,有

$$N_A + n_p(x) = p_p(x) \quad (1.29)$$

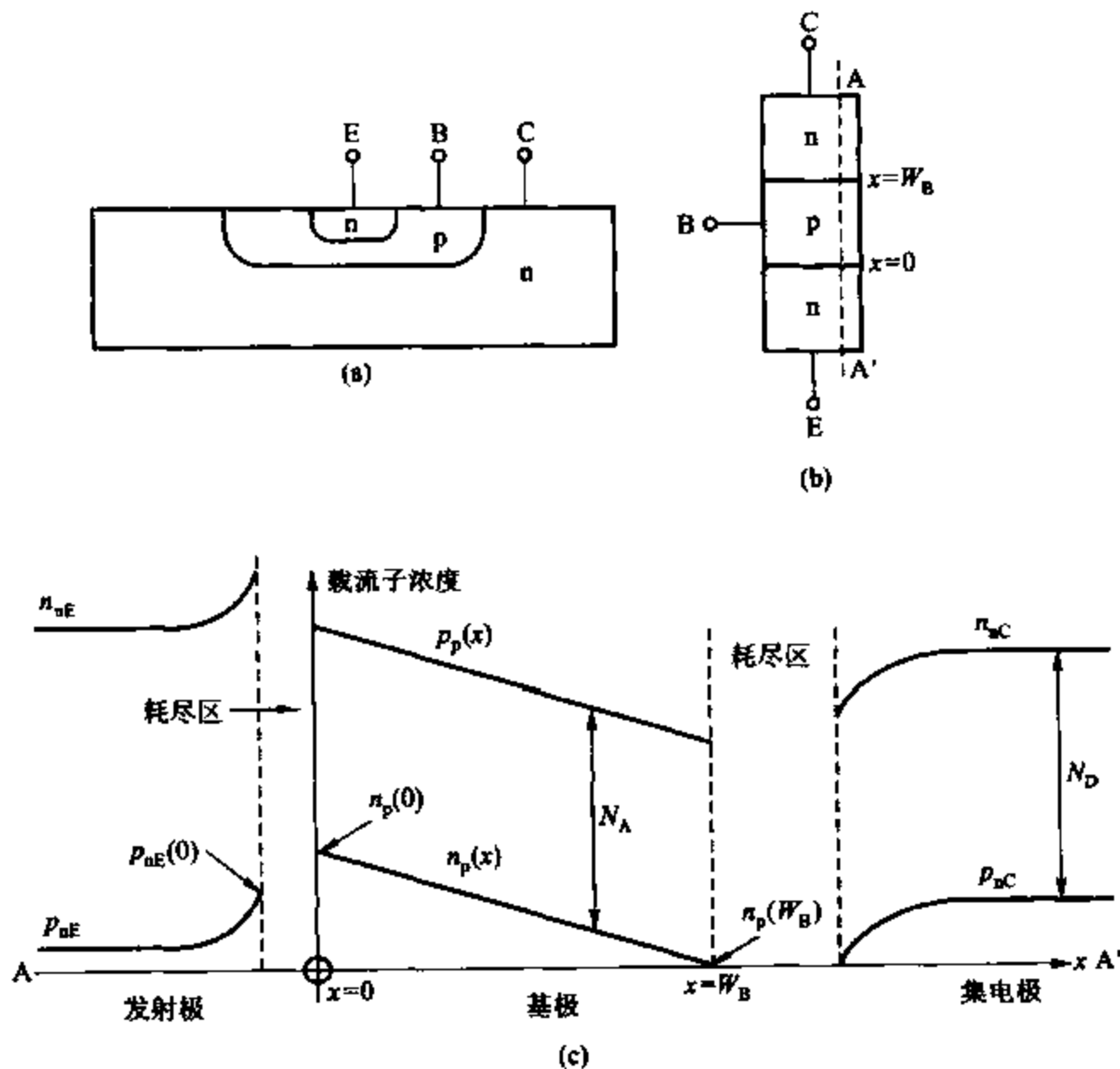


图 1.6 (a) 典型 npn 平面管结构剖面图; (b) 理想晶体管结构;
(c) 沿图(b) AA'剖面的载流子浓度设掺杂浓度为定值(未按实际比例)

可得

$$p_p(x) - n_p(x) = N_A \quad (1.30)$$

其中, $p_p(x)$ 为基极中的空穴浓度, N_A 为假设恒定的基极掺杂浓度。式(1.30)说明了空穴和电子浓度的总和为一恒量, 因此 $p_p(x)$ 也随距离线性变化。

基极中的少子电子随浓度梯度方向扩散, 并在反偏集电结电场的作用下穿越集电结耗尽区形成集电极电流。电子在基区中的扩散电流密度为

$$J_n = qD_n \frac{dn_p(x)}{dx} \quad (1.31)$$

其中, D_n 为电子扩散恒量。由图 1.6c 可得

$$J_n = -qD_n \frac{n_p(0)}{W_B} \quad (1.32)$$

若 I_C 为集电极电流且由正方向流入集电极, 由式(1.32)有

$$I_C = qAD_n \frac{n_p(0)}{W_B} \quad (1.33)$$

其中, A 为发射结的横截面积。将式(1.27)代入式(1.33)有

$$I_C = \frac{qAD_n n_{p0}}{W_B} \exp \frac{V_{BE}}{V_T} \quad (1.34)$$

$$= I_S \exp \frac{V_{BE}}{V_T} \quad (1.35)$$

有

$$I_S = \frac{qAD_n n_{p0}}{W_B} \quad (1.36)$$

式中, I_S 为用来描述正向放大区中晶体管传输特性的常数。式(1.36)可根据基区中掺杂浓度的计算来表示⁸(参见第二章)

$$n_{p0} = \frac{n_i^2}{N_A} \quad (1.37)$$

将式(1.37)代入式(1.36)得

$$I_S = \frac{qAD_n n_i^2}{W_B N_A} = \frac{qA \bar{D}_n n_i^2}{Q_B} \quad (1.38)$$

其中, $Q_B = W_B N_A$ 为单位面积基区中杂质原子的总数, n_i 为硅的本征载流子浓度。式(1.38)的表示形式适用于均匀基区和非均匀基区, 在非均匀器件中, 基极中电子扩散系数为掺杂浓度的函数, 所以需用扩散区系数的平均有效值 \bar{D}_n 来代替 D_n 。由式(1.38)得出的 I_S 典型值为 $10^{-14} \sim 10^{-16}$ A。

式(1.35)给出了集电极电流与发射结电压的函数关系。在电流平缓区, 基极电流 I_B 也是一个重要参数, 它由两个主要部分组成。一部分(I_{B1})表现了基极中空穴和电子的重组, 与基极中少子电量 Q_c 成比例。由图 1.6c 可知, 基极中的少子电量为

$$Q_c = \frac{1}{2} n_p(0) W_B qA \quad (1.39)$$

又有

$$I_{B1} = \frac{Q_c}{\tau_b} = \frac{1}{2} \frac{n_p(0) W_B qA}{\tau_b} \quad (1.40)$$

其中, τ_b 为基极中少子的寿命。 I_{B1} 表示了从基极引入基区的多子空穴的流动。将式(1.27)代入式(1.40)有

$$I_{B1} = \frac{1}{2} \frac{n_{p0} W_B qA}{\tau_b} \exp \frac{V_{BE}}{V_T} \quad (1.41)$$

基极电流的第二个主要部分(常为集成电路 npn 器件的决定性部分)是由基区向发射区

注入的空穴电流。这部分电流取决于发射极少子空穴的梯度,其值为⁹

$$I_{R2} = \frac{qAD_p}{L_p} p_{nE}(0) \quad (1.42)$$

D_p 为空穴的扩散常数, L_p 为发射极中空穴的扩散长度(常为较小值)。 $p_{nE}(0)$ 为发射极耗尽区边缘的空穴浓度,为

$$p_{nE}(0) = p_{nE0} \exp \frac{V_{BE}}{V_T} \quad (1.43)$$

若 N_D 为发射极中的施主原子浓度(设为常量),则

$$p_{nE0} \approx \frac{n_i^2}{N_D} \quad (1.44)$$

发射极掺杂浓度比基极高很多,使得 N_D 很高, p_{nE0} 很小,此时基极电流的第二部分 I_{R2} 将达到最小。

将式(1.43)和式(1.44)代入式(1.42)有

$$I_{R2} = \frac{qAD_p}{L_p} \frac{n_i^2}{N_D} \exp \frac{V_{BE}}{V_T} \quad (1.45)$$

总的基极电流 I_B 为 I_{B1} 与 I_{R2} 之和

$$I_B = I_{B1} + I_{R2} = \left(\frac{1}{2} \frac{n_{p0} W_B q A}{\tau_b} + \frac{qAD_p}{L_p} \frac{n_i^2}{N_D} \right) \exp \frac{V_{BE}}{V_T} \quad (1.46)$$

尽管此式是假定基极和发射极的掺杂浓度一定,它也给出了实际双扩散非均匀管器件的 I_B 与器件参数的正确函数关系。 I_B 的第二部分比低电流强度更重要,这将在后面讨论。

由于在分析过程中,式(1.35)中的 I_C 和式(1.46)中的 I_B 都与 $\exp(V_{BE}/V_T)$ 成比例关系,基极电流可以由集电极电流来表示为

$$I_B = \frac{I_C}{\beta_F} \quad (1.47)$$

β_F 为正向电流放大系数。 β_F 的表达式可以通过将式(1.34)和式(1.46)代入式(1.47)求得

$$\beta_F = \frac{\frac{qAD_n n_{p0}}{W_B}}{\frac{1}{2} \frac{n_{p0} W_B q A}{\tau_b} + \frac{qAD_p n_i^2}{L_p N_D}} = \frac{1}{\frac{W_B^2}{2\tau_b D_n} + \frac{D_p W_B N_A}{D_n L_p N_D}} \quad (1.48)$$

这里式(1.37)被 n_{p0} 代替。式(1.48)说明当基区宽度 W_B 达到最小值,发射极与基极掺杂浓度比值 N_D/N_A 达最大值时, β_F 为最大值。集成电路中 npn 管 β_F 的典型值为 50~500,而 pnp 管(在第二章中介绍)的值为 10~100。可得,发射极电流为

$$I_E = -(I_C + I_B) = -\left(I_C + \frac{I_C}{\beta_F}\right) = -\frac{I_C}{\alpha_F} \quad (1.49)$$

其中

$$\alpha_F = \frac{\beta_F}{1 + \beta_F} \quad (1.50)$$

α_F 的值可以通过将式(1.48)代入式(1.50),利用器件参数来表示,得到

$$\alpha_F = \frac{1}{1 + \frac{1}{\beta_F}} = \frac{1}{1 + \frac{W_B^2}{2\tau_b D_n} + \frac{D_p W_B N_A}{D_n L_p N_D}} \approx \alpha_T \gamma \quad (1.51)$$

其中

$$\alpha_T = \frac{1}{1 + \frac{W_B^2}{2\tau_b D_n}} \quad (1.51a)$$

$$\gamma = \frac{1}{1 + \frac{D_p W_B N_A}{D_n L_p N_D}} \quad (1.51b)$$

当 $W_B^2/2\tau_b D_n \ll 1$, 且 $(D_p/D_n)(W_B/L_p)(N_A/N_D) \ll 1$ 时, 式(1.51)有效, 通常只要 β_F 很大即可[见在(1.48)]。式(1.51)中的 γ 被称为发射极注入效率, 等同于由发射极注入基极的电流(npn管)与穿过发射结的空穴电子总电流的比值。通过增大 N_D/N_A , 减小 W_B 可以达到理想状态 $\gamma \rightarrow 1$ 。这种情况下, 从基极到发射极的反向注入就非常小了。

式(1.51)中的 α_T 被称为基极迁移率, 它表示了(由发射极)注入基极, 到达集电极的载流子部分。通过减小 W_B 值可以达到理想情况 $\alpha_T \rightarrow 1$ 。从以上过程可以明显地看出, 使 α_T 和 γ 接近一致的结构变化也可以使晶体管的 β_F 值达到最大。

以上结果可以用于晶体管大信号模型的公式表达式, 适用于器件工作在放大区的偏置电路的计算。图 1.7 为一电路示例, 包含了一个实现式(1.46)的基-射二极管和一个实现式(1.47)的受控集电极电流源。注意在理想情况下集电极电压对集电极电流无影响, 且集电极结点等同于一高阻抗的电流源。该等效电路常用图 1.7b 所示的简化形式表示, 用一电压为 $V_{BE(on)}$ 通常为 0.6~0.7 V 的电源来替代输入端的二极管, 这说明在正向放大区中, 由于指数特性的陡峭性, 基极-发射极电压变化很小。在某些电路中, $V_{BE(on)}$ 的温度系数很重要, 其典型值为 -2 mV/°C。图 1.7 是 npn 管的等效电路。对于 pnp 器件, 相应的等效电路如图 1.8 所示。

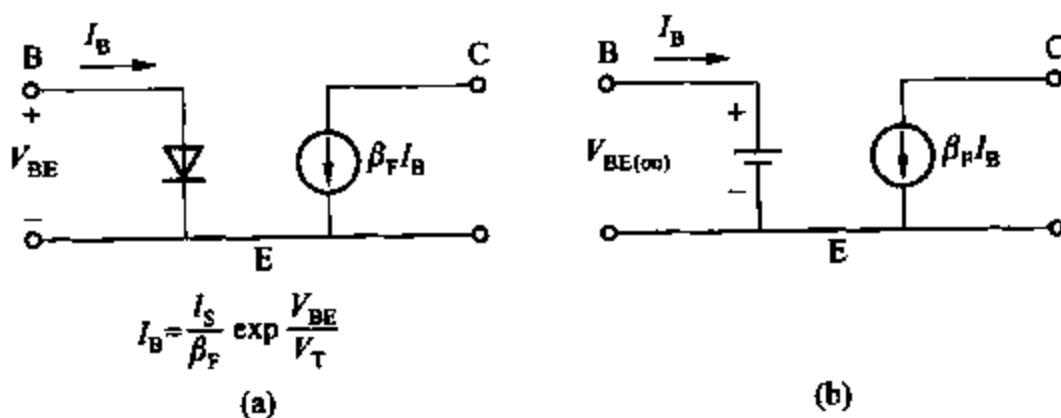


图 1.7 npn 晶体管偏置计算的大信号模型

(a) 输入为二极管的电路; (b) 输入为电压源的简化电路

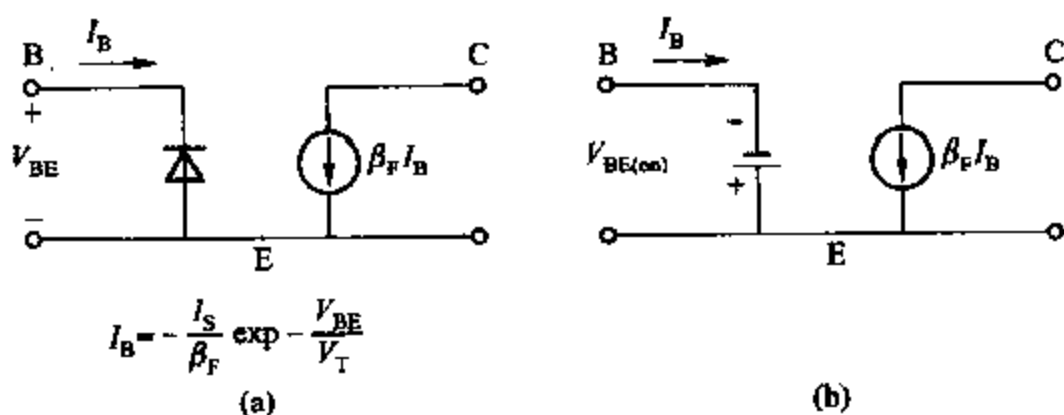


图 1.8 与图 1.7 电路对应的 pnp 晶体管大信号模型
(a) 输入为二极管的电路; (b) 输入为电压源的简化电路

1.3.2 集电极电压对正向放大区大信号特性的影响

在前面部分的分析中,假定在理想状况时集电结反向偏置,且对集电极电流无影响。对一阶计算来说这是个较方便的近似,但在实际情况中并不是严格遵循的。在有些情况下集电极电压对集电极电流的影响很重要,下面将对此进行分析。

在器件工作的两个区域内集电极电压对集电极电流有较大影响。后面章节将会讨论饱和区(V_{CE} 趋于零)和击穿区(V_{CE} 极大)。集射极电压 V_{CE} 在这两种极端值情况下,集电极电流随着 V_{CE} 的增大而缓慢增大。原理参见图 1.9,图中绘出了晶体管基区的少数浓度曲线,考虑 V_{BE} 为一常量时 V_{CE} 的变化对载流子浓度的影响。由于 V_{BE} 为常量, V_{CB} 和 V_{CE} 的变化量相等,集电极耗尽层宽度就会增大。晶体管基区宽度的变化量 ΔW_B , 等于耗尽层宽度的变化量,并导致集电流 ΔI_C 增加。

由式(1.35)和式(1.38)有

$$I_C = \frac{qA\bar{D}_n n_i^2}{Q_B} \exp \frac{V_{BE}}{V_T} \quad (1.52)$$

对式(1.52)求微分得

$$\frac{\partial I_C}{\partial V_{CE}} = -\frac{qA\bar{D}_n n_i^2}{Q_B^2} \left(\exp \frac{V_{BE}}{V_T} \right) \frac{dQ_B}{dV_{CE}} \quad (1.53)$$

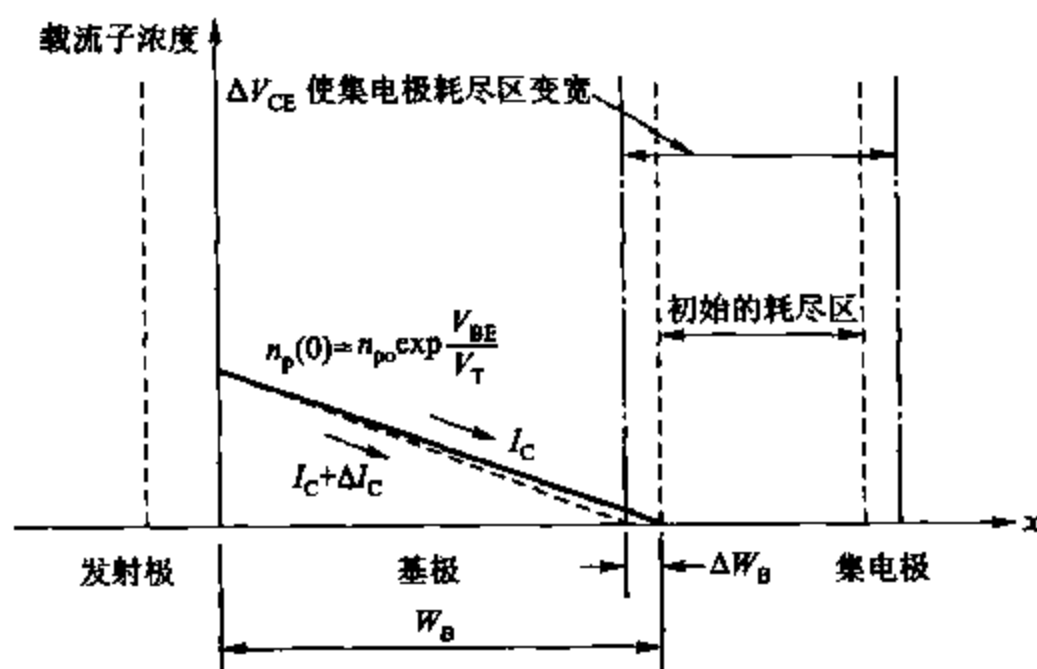
将式(1.52)代入式(1.53)得

$$\frac{\partial I_C}{\partial V_{CE}} = -\frac{I_C}{Q_B} \frac{dQ_B}{dV_{CE}} \quad (1.54)$$

对于均匀基区晶体管 $Q_B = W_B N_A$, 式(1.54)可化为

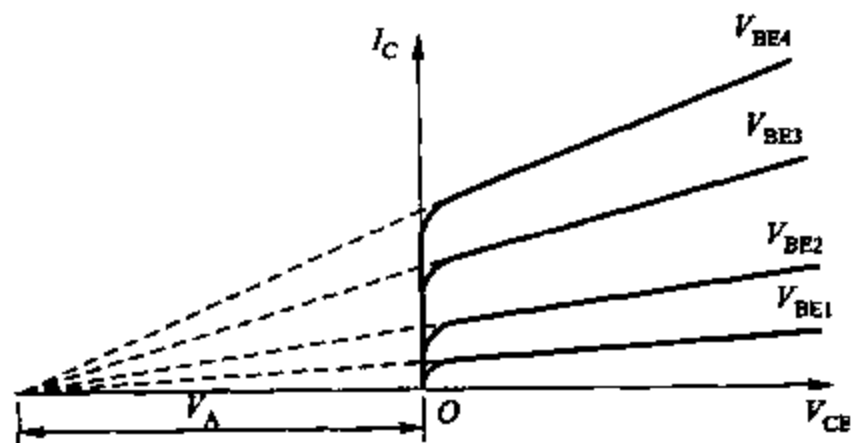
$$\frac{\partial I_C}{\partial V_{CE}} = -\frac{I_C}{W_B} \frac{dW_B}{dV_{CE}} \quad (1.55)$$

注意基区宽度随着 V_{CE} 的增加而减小, 式(1.55)中的 dW_B/dV_{CE} 为负值, $\partial I_C/\partial V_{CE}$ 即为正值。均匀基区晶体管的 dW_B/dV_{CE} 可由(1.18)计算出来。该式说明 dW_B/dV_{CE} 为 V_{CE} 偏置值的函数, 但对于反偏结来说变化值非常小, 常将 dW_B/dV_{CE} 视为常量。估算结果与实验结

图 1.9 V_{CE} 的增量对晶体管集电极耗尽区和基区宽度的影响

果十分吻合。

式(1.55)说明 $\partial I_C / \partial V_{CE}$ 与集电极偏置电流成正比, 与晶体管基区宽度成反比。窄带基区晶体管在正向线性区中, V_{CE} 对 I_C 的影响更加明显。典型晶体管输出特性中 I_C 对 $\partial I_C / \partial V_{CE}$ 的影响如图 1.10 所示。按照前述分析的假设, V_{BE} 值为常数。然而, 在大多数集成电路晶体管中, 基极电流仅由 V_{BE} 决定, 而不是 V_{CE} , 因而基极电流常量特性经常用如下方法计算。原因在于基极电流常由式(1.45)中与 V_{CE} 无关的 I_{B2} 部分来决定。图 1.10 中特性曲线的延长线与 V_{CE} 轴交于 V_A 点, 该点电压称为厄尔利电压, 有

图 1.10 说明厄尔利电压 V_A 的双极型晶体管输出特性

$$V_A = \frac{I_C}{\frac{\partial I_C}{\partial V_{CE}}} \quad (1.56)$$

将式(1.55)代入式(1.56)得

$$V_A = -W_B \frac{dV_{CE}}{dW_B} \quad (1.57)$$

该值是与 I_C 无关的常数,所有特性曲线的延长线都与 V_{CE} 轴交于同一点。 I_C 随 V_{CE} 的变化被称为厄尔利效应, V_A 为计算机电路分析程序的一个常用模型参数。集成电路晶体管的 V_A 典型值为 15~100 V。考虑计算过程的复杂性,在计算机分析中,常不包含在直流偏置计算中的厄尔利效应。在进行小信号计算时,厄尔利效应对高增益电路的影响是不容忽视的,这一点将在后面进行说明。

最后,厄尔利效应对工作于正向放大区的晶体管大信号分析的影响可以通过修改式 (1.35) 近似表示为

$$I_C = I_S \left(1 + \frac{V_{CE}}{V_A} \right) \exp \frac{V_{BE}}{V_T} \quad (1.58)$$

这也是在计算机仿真中表示器件输出特性的常用方式。

1.3.3 饱和区和反向放大区

在模拟电路分析中饱和区是经常要避免的一个器件工作区,因为在该区中晶体管增益非常低。饱和区在数字电路中更为常见,它可以提供一个指定的输出电压作为一个逻辑状态。

在饱和区中,发射结和集电结都是正向偏置。因此,集电极-发射极电压 V_{CE} 非常小,常在 0.05~0.3 V 之间。图 1.11 所示为一个均匀掺杂基区 npn 晶体管饱和时的载流子浓度。式 (1.28) 给出的耗尽区边缘的基极少数子浓度即

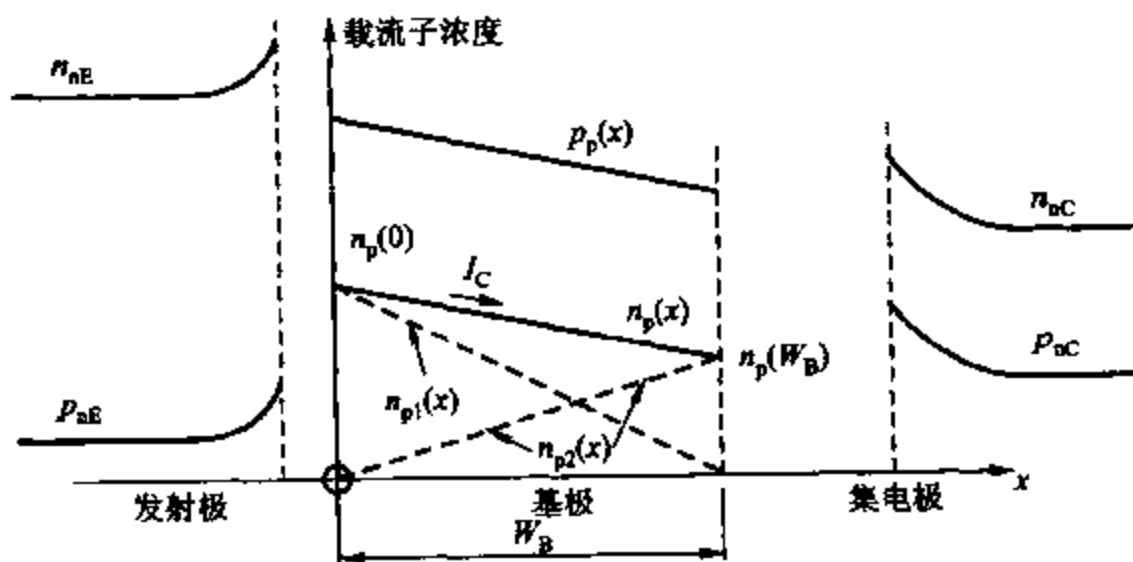


图 1.11 饱和 npn 晶体管中的载流子浓度(未按实际比例)

$$n_p(W_B) = n_{p0} \exp \frac{V_{BC}}{V_T} \quad (1.59)$$

由于 V_{BC} 此时为正, $n_p(W_B)$ 的值不再为负。因此,由常量 V_{BE} 引起 V_{CE} 的变化(也引起 V_{BC} 等量变化)直接影响到 $n_p(W_B)$ 。由于集电极电流与基极少数子浓度的梯度成正比(见式 (1.31)),同理,由图 1.11 可以看出它与 $[n_p(0) - n_p(W_B)]$ 成正比。这样 $n_p(W_B)$ 的变化

直接影响到集电极电流,晶体管集电极结点表现为低阻抗。在饱和区中 V_{BE} 为常量, V_{CE} 减小, V_{BC} 增大,式(1.59)中的 $n_p(W_B)$ 增大。如图 1.11 所示,由于载流子浓度的梯度减小,集电极电流减小。图 1.12 中的饱和区 $I_C - V_{CE}$ 特性更加明显。由于 n 型集电极器件的电阻系数有限,该区中的 $I_C - V_{CE}$ 特性曲线斜率很大程度上取决于与集电极引线串联的电阻。图 1.13 为该区的实用晶体管模型,由一个表示 $V_{BE(on)}$ 的稳压源和一个表示集电极-发射极电压 $V_{CE(sat)}$ 的稳压源组成。集电极串联一电阻时的模型更加精确,也更加复杂。这个串联电阻的值可以是 $20 \sim 500 \Omega$,取决于器件结构。

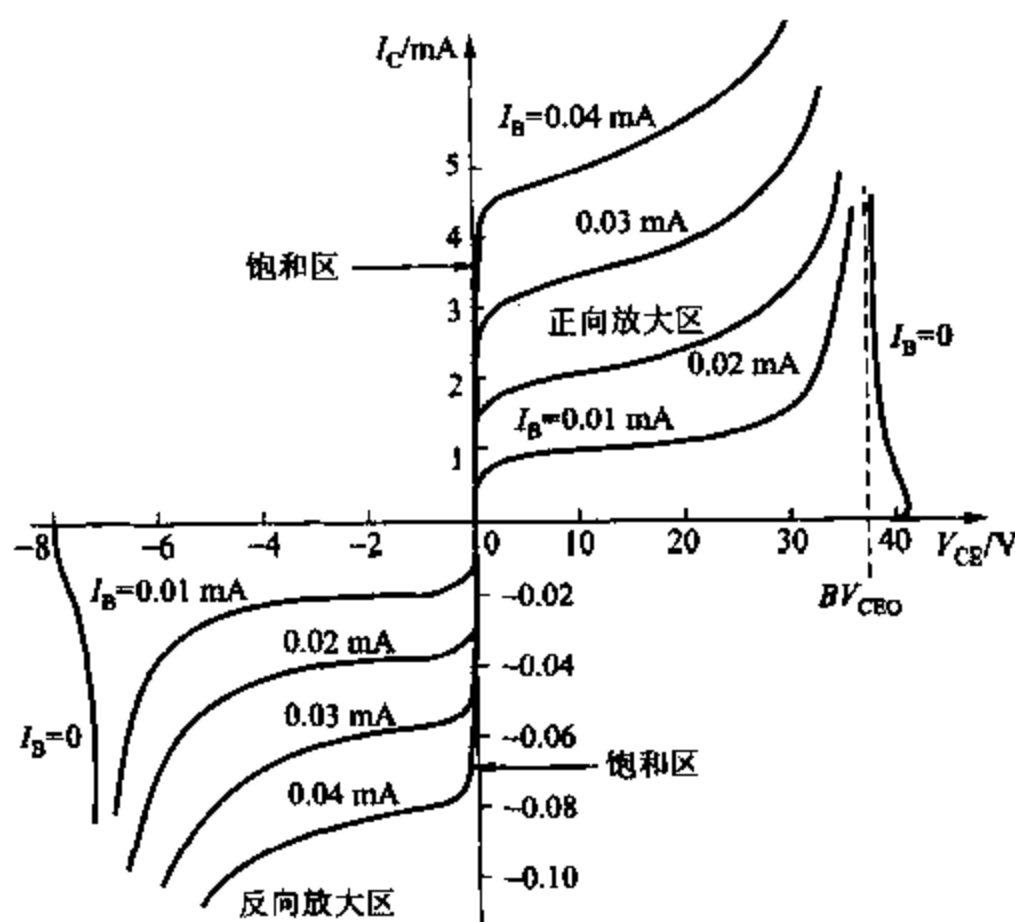


图 1.12 npn 双极型晶体管的典型 $I_C - V_{CE}$ 特性
(注意电流电压正负轴的单位长度不同)

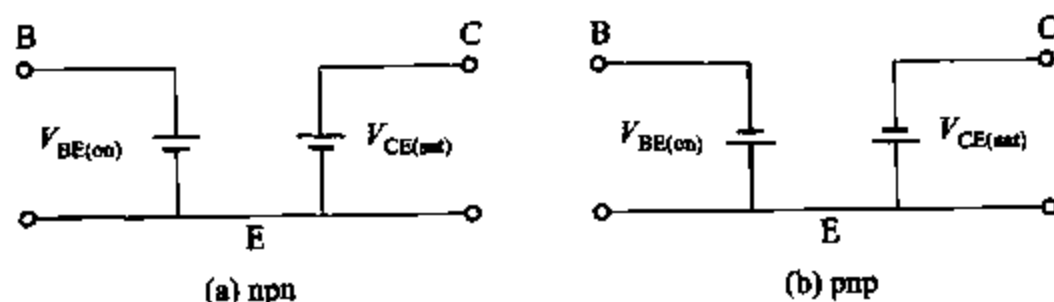


图 1.13 双极型晶体管处于饱和区的大信号模型

晶体管饱和区特性的一个补充现象由图 1.11 可明显看出。对于特定的集电极电流,与正向放大区相比,基极具有更多电荷累聚,故在饱和区中,由式(1.41)表示的基极电流作用

更大。此外,由于此时集电结为正向偏置,由基极注入集电极的载流子会产生一个新的基极电流分量。对于一给定的集电极电流 I_C 而言,这两个影响使得饱和区中的基极电流 I_B 比正向放大区中的要大。饱和区中的 I_C/I_B 的比值常被表示为受迫 β ,一般比 β_F 值小。由于受迫 β 相对 β_F 要低,器件被看成饱和度更深。

假定重组率很低时,图 1.11 所示的饱和区少数浓度为一条连接两个端点的直线。这可以看作是两个点分布区的线性重叠,因终端电流线性取决于浓度 $n_p(0)$ 和 $n_p(W_B)$ 。器件载流子浓度图可以推出一些描述晶体管特性的常规等式。图 1.11 分别考虑了每种分布,并将两种分布结合起来。通过标准二极管方程给出了由以上 $n_{p1}(x)$ 产生的发射极电流为

$$I_{EF} = -I_{ES} \left(\exp \frac{V_{BE}}{V_T} - 1 \right) \quad (1.60)$$

其中, I_{ES} 为一常数,常被作为结的饱和电流(与前面描述的晶体管饱和无关)。式(1.60)说明加一反偏电压时,结电流由 $I_{EF} \approx I_{ES}$ 得出。注意,式(1.60)只适用于正向偏置区,因为在反偏条件下次要影响起主导作用,会导致结电流比 I_{ES} 大出几个数量级。在反偏条件下的结电流常被称作结的漏电流。

回到图 1.11,可以得出仅由 $n_{p2}(x)$ 产生的集电极电流为

$$I_{CR} = -I_{CS} \left(\exp \frac{V_{BC}}{V_T} - 1 \right) \quad (1.61)$$

I_{CS} 为一常数。总的集电极电流 I_C 等于 I_{CR} 与 I_{EF} 到达集电极的部分之和(考虑重组和反向射极注入),有

$$I_C = \alpha_F I_{ES} \left(\exp \frac{V_{BE}}{V_T} - 1 \right) - I_{CS} \left(\exp \frac{V_{BC}}{V_T} - 1 \right) \quad (1.62)$$

其中, α_F 在前面式(1.51)中已经定义。同理,当晶体管工作在反向模式时,总的发射极电流等于 I_{EF} 与 I_{CR} 到达发射极的部分之和。有

$$I_E = -I_{ES} \left(\exp \frac{V_{BE}}{V_T} - 1 \right) + \alpha_R I_{CS} \left(\exp \frac{V_{BC}}{V_T} - 1 \right) \quad (1.63)$$

α_R 为晶体管工作在反向模式时(即在集电结正偏,发射载流子到基极,发射结反偏,聚集载流子时)射极与集电极电流的比值。 α_R 的典型值为 0.5~0.8。还定义了一个反向电流增益 β_R

$$\beta_R = \frac{\alpha_R}{1 - \alpha_R} \quad (1.64)$$

其典型值为 1~5。这就是当晶体管反向工作时的电流增益,它比 β_F 要低得多,因为器件几何图形和掺杂浓度是为达到 β_F 最大值而设计的。在 npn 晶体管的 V_{CE} 为负值时器件工作在反向区,如图 1.12 所示。在同一图中为充分表现出像正向放大区的特性,扩大了电压和电流负轴的单位长度。反向放大工作模式在模拟电路中极少出现。

式(1.62)和式(1.63)描述了当 npn 晶体管的 V_{BE} 和 V_{BC} 均为正值时,晶体管在饱和区、正向放大区和反向放大区中的工作情况,这两式称为埃伯斯-莫尔方程。在正向放大区

中,两式可化简为同前面推出的式(1.35),式(1.47)和式(1.49)的形式。可以通过在式(1.62)和式(1.63)中使 V_{BE} 为正, V_{BC} 为负得

$$I_C = \alpha_F I_{ES} \left(\exp \frac{V_{BE}}{V_T} - 1 \right) + I_{CS} \quad (1.65)$$

$$I_E = -I_{ES} \left(\exp \frac{V_{BE}}{V_T} - 1 \right) - \alpha_R I_{CS} \quad (1.66)$$

除了包含以前被忽略的漏电流以外,式(1.65)与式(1.35)在形式上很相似。这个细微差别只有在高温或是极低工作电流下才表现得重要。通过将式(1.65)与式(1.35)对比,可以推出 $I_S = \alpha_F I_{ES}$, 概括得¹⁰

$$\alpha_F I_{ES} = \alpha_R I_{CS} = I_S \quad (1.67)$$

该式表示了互易准则。将式(1.67)代入式(1.62)和式(1.63)可以使埃伯斯-莫尔方程用通式来表示,即

$$I_C = I_S \left(\exp \frac{V_{BE}}{V_T} - 1 \right) - \frac{I_S}{\alpha_R} \left(\exp \frac{V_{BC}}{V_T} - 1 \right) \quad (1.62a)$$

$$I_E = -\frac{I_S}{\alpha_F} \left(\exp \frac{V_{BE}}{V_T} - 1 \right) + I_S \left(\exp \frac{V_{BC}}{V_T} - 1 \right) \quad (1.63a)$$

这种形式常用于计算机中晶体管大信号模型特性的表示。

上面提到的漏电流产生的影响可进行如下说明。在正向放大区中,由式(1.66)得

$$I_{ES} \left(\exp \frac{V_{BE}}{V_T} - 1 \right) = -I_E - \alpha_R I_{CS} \quad (1.68)$$

将式(1.68)代入式(1.65)有

$$I_C = -\alpha_F I_E + I_{CO} \quad (1.69)$$

其中

$$I_{CO} = I_{CS}(1 - \alpha_R \alpha_F) \quad (1.69a)$$

I_{CO} 为发射极开路时集电结的漏电流。虽然式(1.69a)从理论上给出了 I_{CO} , 实际上,当集电结反偏时, I_{CO} 比式(1.69a)给出的值大出了几个数量级,表面漏电流起主要作用。不过,当 I_{CO} 取合适数值时,式(1.69)仍然成立。 I_{CO} 的典型值为 25℃ 下 $10^{-10} \sim 10^{-12}$ A, 且每升高 8℃ 就增加一倍。因此,在高温条件下,泄漏参数十分重要。例如,考虑基极电流 I_B , 由图 1.5 有

$$I_B = -(I_C + I_E) \quad (1.70)$$

如果由式(1.69)求出 I_E 并代入式(1.70), 结果为

$$I_B = \frac{1 - \alpha_F}{\alpha_F} I_C - \frac{I_{CO}}{\alpha_F} \quad (1.71)$$

但由式(1.50), 即

$$\beta_F = \frac{\alpha_F}{1 - \alpha_F} \quad (1.72)$$

将式(1.72)代入式(1.71)有

$$I_B = \frac{I_C}{\beta_F} - \frac{I_{CO}}{\alpha_F} \quad (1.73)$$

由于式(1.73)中的两项符号相反,在一定集电极电流值下, I_{CO} 使外部的基极电流值减小。

示例

若在 $24\text{ }^{\circ}\text{C}$ 时, I_{CO} 为 10^{-10} A , 估算它在 $120\text{ }^{\circ}\text{C}$ 时的值。设每升高 $8\text{ }^{\circ}\text{C}$ I_{CO} 的值增加一倍, 有

$$I_{CO}(120^{\circ}\text{C}) = 10^{-10} \times 2^{12} \mu\text{A} = 0.4 \mu\text{A}$$

1.3.4 晶体管击穿电压

在 1.2.2 节中描述了 pn 结的雪崩击穿结构。在晶体管的发射结和集电结中也有类似效果, 限制了可加于器件的最大电压值。

首先考虑图 1.14a 中所示的有恒定射极电流的共基极晶体管结构。图 1.14b 表现了在共基极情况下 npn 晶体管的 $I_C - V_{CB}$ 特性。对于 $I_E = 0$ 时集电结在电压 BV_{CBO} 下击穿, 表示发射极开路时集电极击穿。对于 I_E 的一定值, 小于 BV_{CBO} 的 V_{CB} 值发生很明显的雪崩式增加。在示例中, 受影响的共基极电流增益 $\alpha_F = I_C/I_E$ 比当 V_{CB} 为高于 60 V 的定值时要大。不过, 如果器件功耗在一定额度内, 则可以安全工作在该工作区 (低于 BV_{CBO})。将 1.2.2 节中的考虑应用于此, 忽略漏电流, 可以算出图 1.14a 中的集电极电流为

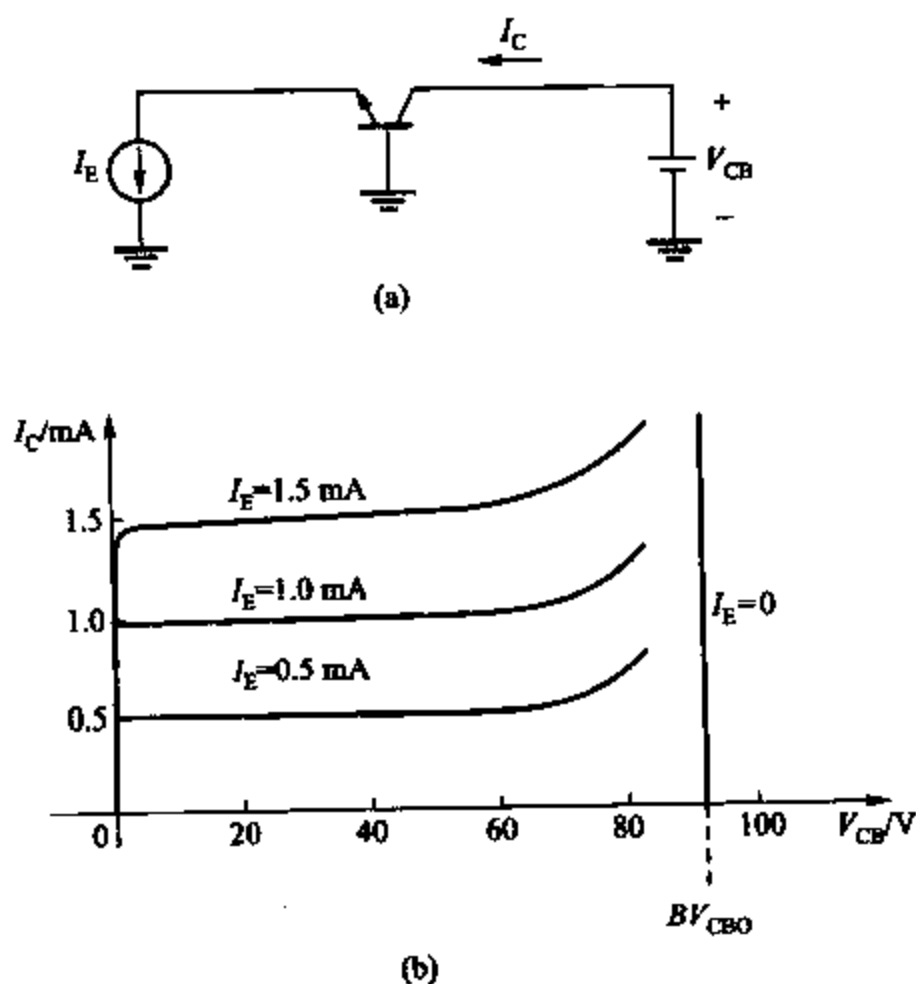


图 1.14 共基极晶体管
(a) 测试电路; (b) $I_C - V_{CB}$ 特性

$$I_C = -\alpha_F I_E M \quad (1.74)$$

式中 M 由式(1.26)定义,有

$$I_C = -\alpha_F I_E \frac{1}{1 - \left(\frac{V_{CB}}{BV_{CBO}} \right)^n} \quad (1.75)$$

对于图 1.14b 的共基极特性,要进一步注意的是 V_{CB} 值较小时,雪崩效应可忽略,曲线很难表现出共射特性的厄尔利效应。在此结构中, V_{CB} 增大,基区宽度仍变宽,但不同于共射连接, I_C 的变化很小,这是因为此时 I_F 为定量,而不是 V_{BE} 或 I_B 。在图 1.9 中,这表示发射极基区边缘的少子浓度斜率一定,因此集电极电流基本保持不变。

再考虑器件共射特性的雪崩击穿效应。图 1.12 为典型特性曲线,在 BV_{CEO} 值处发生击穿。 BV_{CEO} 有时被称为连续电压 LV_{CEO} 。在以前的情况中,当且仅当电流(引起功耗)过大时,在击穿电压附近工作对器件有破坏性。

雪崩击穿效应对共射特性的影响比在共基结构中更为复杂。因为空穴-电子对是由雪崩过程产生的,空穴扫入基极,对基极电流产生影响。在某种意义上,雪崩电流被晶体管放大,基极电流仍满足

$$I_B = -(I_C + I_E) \quad (1.76)$$

式(1.74)仍成立,代入式(1.76)有

$$I_C = \frac{M\alpha_F}{1 - M\alpha_F} I_B \quad (1.77)$$

且

$$M = \frac{1}{1 - \left(\frac{V_{CB}}{BV_{CBO}} \right)^n} \quad (1.78)$$

式(1.77)说明当 $M\alpha_F$ 趋于 1 时, I_C 趋于无穷。即自身雪崩过程产生的基极电流使 β 趋于无穷。 BV_{CEO} 的值可通过解

$$M\alpha_F = 1 \quad (1.79)$$

得到。设 $V_{CB} \approx V_{CE}$, 有

$$\frac{\alpha_F}{1 - \left(\frac{BV_{CEO}}{BV_{CBO}} \right)^n} = 1 \quad (1.80)$$

因此

$$\frac{BV_{CEO}}{BV_{CBO}} = \sqrt[n]{1 - \alpha_F}$$

有

$$BV_{CEO} \approx \frac{BV_{CBO}}{\sqrt[n]{\beta_F}} \quad (1.81)$$

式(1.81)说明参数 BV_{CEO} 小于 BV_{CBO} 。然而,忽略所有边缘效应时平面结的集电结击

穿,必须用式(1.81)的 BV_{CBO} 值。因为实际上只有发射极底部的集电结雪崩电流被放大,如前面计算所述。但由 1.2.2 节可知, BV_{CBO} 的精确值常由远离放大基区的集电极曲线区中的雪崩所决定。因此,对于典型值 $\beta_F = 100$ 和 $n = 4$, BV_{CEO} 的值约为 BV_{CBO} 的一半,而不是式(1.81)得出的 30%。

式(1.81)解释了当考虑集电极电流对 β_F 的影响时图 1.12 的击穿特性。 $I_B = 0$, V_{CE} 从零开始增加,由式(1.73)看出,初始集电极电流约为 $\beta_F I_{CO}$; I_{CO} 典型值为几微安,集电极电流非常小。下一节会介绍,在低电流时 β_F 很小,由式(1.81)得击穿电压很高。不过,由于器件中开始雪崩击穿, I_C 值增大, β_F 增大。由式(1.81)可知这会致使击穿电压减小,图 1.12 所示特性曲线向后弯,表现为负斜率。在集电极电流较高时, β_F 接近一定值, $I_B = 0$ 的击穿曲线与 V_{CE} 轴垂直。该段曲线的 V_{CE} 值常被定义为 BV_{CEO} ,因为它为器件可承受的最大电压。在式(1.81)中用于计算 BV_{CEO} 的 β_F 值因此为 β_F 的最高值。注意式(1.81)中高- β 晶体管的 BV_{CEO} 值很低。

晶体管的发射结也受雪崩击穿的影响。不过,为保证 β_F 的较高值,发射极中的掺杂浓度很高(为降低 I_{B2} ,式(1.45)中的 N_D 很大)。因此,基极为结低掺杂的一边,决定了击穿特性。对比集电结,集电极为低掺杂的一边,导致 BV_{CBO} 典型值为 20~80 V 或更高。基极掺杂浓度一般比集电极高一个数量级,故发射结击穿电压比 BV_{CBO} 小得多,一般为 6~8 V,指定为 BV_{EBO} 。图 1.12 所示反向放大区的击穿电压与该值基本相等,因为在这种工作模式下发射结反偏。

发射结 6~8 V 的击穿电压为集成电路设计提供了一个便利的参考电压,常以齐纳管的形式加以利用。但是,必须确保电路中的其他晶体管未加能使其击穿的反向发射结电压。这是因为,与集电结击穿不同,发射结击穿对器件有破坏性,会导致 β_F 大幅减低,这取决于击穿电流的持续时间和幅度。¹¹ 如果器件仅作为齐纳管,这就无关紧要,但如果器件为放大晶体管, β_F 的降低应引起重视。

示例

若晶体管集电极掺杂浓度为 2×10^{15} atoms/cm³ 且远小于基极掺杂,当 $\beta = 100$, $n = 4$ 时,计算 BV_{CEO} 。设 $E_{crit} = 3 \times 10^5$ V/cm。

集电极平面击穿电压可以利用 $E_{max} = E_{crit}$ 由式(1.24)求得

$$BV_{CBO} = \frac{\epsilon(N_A + N_D)}{2qN_A N_D} E_{crit}^2$$

由于 $N_D \ll N_A$, 有

$$BV_{CBO} \Big|_{plane} = \frac{\epsilon}{2qN_D} E_{crit}^2 = \frac{1.04 \times 10^{-12}}{2 \times 1.6 \times 10^{-19} \times 2 \times 10^{15}} \times 9 \times 10^{10} \text{ V} = 146 \text{ V}$$

由式(1.81)得

$$BV_{CEO} = \frac{146}{\sqrt{100}} \text{ V} = 46 \text{ V}$$

1.3.5 工作条件决定晶体管电流增益

尽管大多数集成电路的前提是假定 β_F 为常数, 实际上该参数取决于晶体管工作条件。例如, 如 1.3.2 节中所示, 增大 V_{CE} 的值使得 I_C 增大, 同时引起的 I_B 变化很小, 因此晶体管的有效 β_F 增大。在 1.3.4 节中, 当 V_{CE} 趋于击穿电压 BV_{CEO} 时, 由于集电极的雪崩倍增, 集电极电流增大。式(1.77)说明了当 V_{CE} 趋于 BV_{CEO} 时, 电流增益趋于无穷。

除了前面描述的影响外, β_F 还随着温度和晶体管集电极电流变化而变化。图 1.15 对此进行了说明, 图中画出了 npn 集成电路晶体管三种温度下 β_F 相对 I_C 变化的典型曲线。很明显 β_F 随温度升高而增大, β_F 的典型温度系数为 +7 000 ppm/°C (ppm 表示百万分之)。温度决定 β_F 是因为发射极中高掺杂浓度的影响,¹² 导致发射极注入率 γ 随温度增加。

在图 1.15 中可明显看出, β_F 随集电极电流变化可分为三个区。I 区为低电流区, β_F 随着 I_C 的降低而减少。II 区为中电流区, β_F 近似为常数。III 区为高电流区, β_F 随 I_C 的升高而减小。 β_F 随 I_C 变化的原因可以通过在对数坐标系中画出基极电流 I_B 和集电极电流 I_C 关于 V_{BE} 的函数来理解。如图 1.16 所示, 由于垂直轴的对数单位, $\ln \beta_F$ 的值可以通过两曲线间距直接得到。

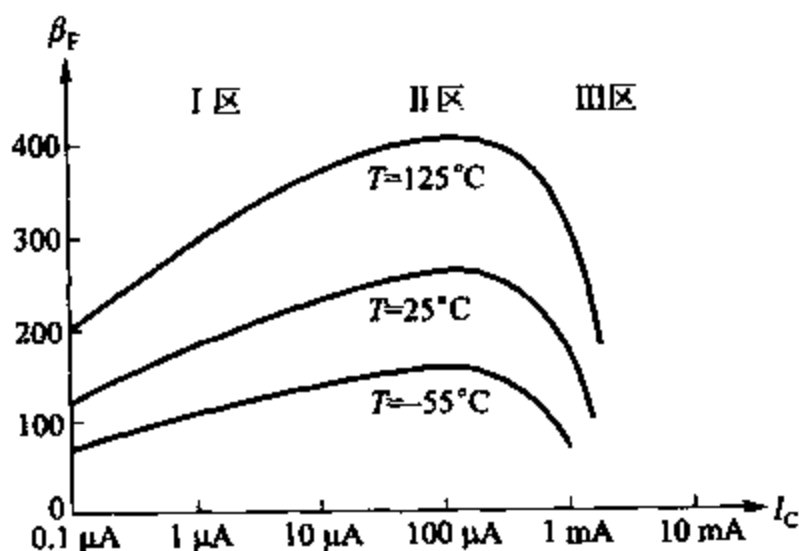


图 1.15 发射区面积为 $6 \mu\text{m}^2$ 的 npn 集成电路晶体管中 β_F 随 I_C 变化的典型曲线

当达到图 1.15 和 1.16 中 II 区表示的适当电流值时, I_C 和 I_B 都有理想特性, 满足

$$I_C = I_S \exp \frac{V_{BE}}{V_T} \quad (1.82)$$

$$I_B \approx \frac{I_S}{\beta_{FM}} \exp \frac{V_{BE}}{V_T} \quad (1.83)$$

β_{FM} 由式(1.48)给出, 且为 β_F 的最大值。

在低电流值时, I_C 仍满足式(1.82)的理想关系, β_F 的降低是由于 I_B 的增加部分, 这部分主要是因为发射结耗尽区中载流子的重组, 可在任何电流值中产生。不过, 在高电流时,

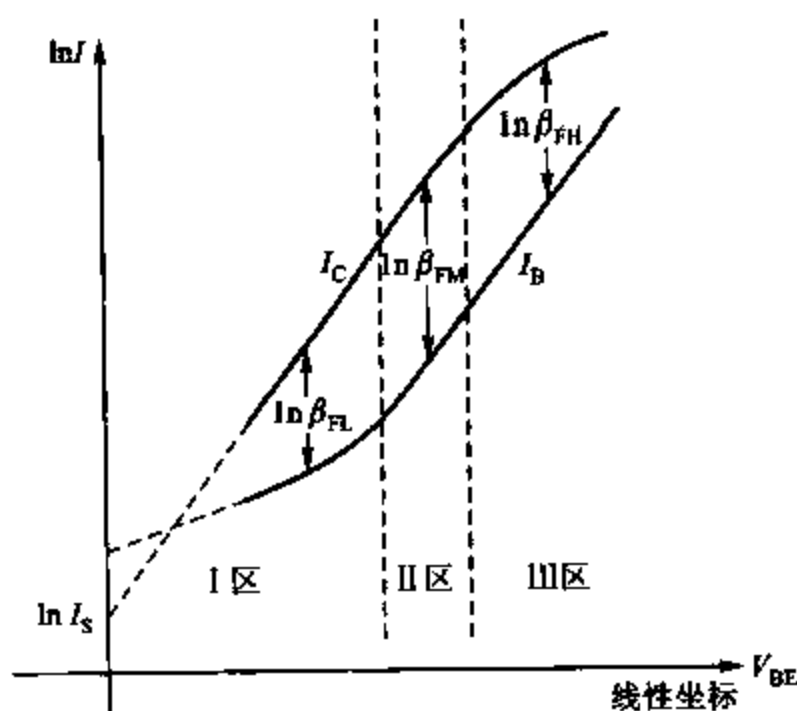


图 1.16 双极型晶体管基极和集电极电流的对数坐标和 V_{BE} 线性坐标的关系图，
曲线间距为 $\ln \beta_F$ 的直接测量值

式(1.83)给出的基极电流起主要作用,增加的这部分影响很小。由于耗尽区中的重组产生的基极电流为⁵

$$I_{BX} \approx I_{SX} \exp \frac{V_{BE}}{m V_T} \quad (1.84)$$

其中 $m \approx 2$ 。

在集电极电流极低时,式(1.84)决定了基极电流,电流增益可通过式(1.82)和式(1.84)求得,即

$$\beta_{FL} \approx \frac{I_C}{I_{BX}} = \frac{I_S}{I_{SX}} \exp \frac{V_{BE}}{V_T} \left(1 - \frac{1}{m}\right) \quad (1.85)$$

将式(1.82)代入式(1.85)有

$$\beta_{FL} \approx \frac{I_S}{I_{SX}} \left(\frac{I_C}{I_S}\right)^{[1-(1/m)]} \quad (1.86)$$

若 $m \approx 2$,由式(1.86)可知在集电极电流很低时, β_F 与 $\sqrt{I_C}$ 成正比。

在高电流值时,基极电流 I_B 趋于关系式(1.83), III区中 β_F 降低的主要原因是 I_C 的值低于式(1.82)的所给值(实际上在高电流时,图 1.16 所示 I_B 相对 V_{BE} 的精确曲线也可能不是一条直线)。 I_C 的降低是因为高注入部分的影响,在高电流值时集电极电流约为⁷

$$I_C \approx I_{SH} \exp \frac{V_{BE}}{2 V_T} \quad (1.87)$$

该区电流增益可以通过式(1.87)和式(1.83)求得

$$\beta_{FH} \approx \frac{I_{SH}}{I_S} \beta_{FM} \exp \left(-\frac{V_{BE}}{2 V_T} \right) \quad (1.88)$$

将式(1.87)代入式(1.88)得

$$\beta_{\text{FM}} \approx \frac{I_{\text{SH}}^2}{I_{\text{S}}} \beta_{\text{FM}} \frac{1}{I_{\text{C}}}$$

故 β_{F} 在高集电极电流时急剧降低。

除了高注入的影响,高电流时的 β_{F} 值也会因 Kirk 效应降低,¹³ Kirk 效应在集电极中少子浓度与施主原子掺杂浓度具有可比性时产生。晶体管基区延伸至集电极内,并且大大增加。

1.4 双极型晶体管的小信号模型

通常模拟电路工作信号值相对电路中的偏置电流和电压值较小。在这些条件下,通过不考虑偏置量计算电路增益和终端阻抗可以推出增量或小信号模型。还可推出一个更复杂的模型体系,这些复杂模型常用于计算机分析。设计者需要掌握的一部分技能是知道对一特定电路进行手算时,哪些模型参数可以省略,这一点在以后再进行讨论。

考虑如图 1.17a 中加偏压 V_{BE} 和 V_{CC} 的双极型晶体管。有一静态集电极电流 I_{C} 和一静态基极电流 I_{B} ,器件处于正向放大区。一小信号输入电压 V_{i} 与 V_{BE} 串联,产生基极电流上的小变化量 i_{b} 和一集电极电流的小变化量 i_{c} 。基极和集电极电流的总值分别为 I_{b} 和 I_{c} ,因此,分别为 $I_{\text{b}} = (I_{\text{B}} + i_{\text{b}})$ 和 $I_{\text{c}} = (I_{\text{C}} + i_{\text{c}})$ 。与图 1.17a 情况对应的晶体管基区载流子浓度如图 1.17b 所示。仅加偏置电压时,载流子浓度如实线所示。加入小信号电压 v_{i} 使基极发射区边缘的 $n_{\text{p}}(0)$ 增大,浓度如虚线所示。这些图可用来推算双极型晶体管小信号等效电路中的各个参数。

1.4.1 跨导

跨导的定义为

$$g_{\text{m}} = \frac{\text{d}I_{\text{C}}}{\text{d}V_{\text{BE}}} \quad (1.89)$$

由

$$\Delta I_{\text{C}} = \frac{\text{d}I_{\text{C}}}{\text{d}V_{\text{BE}}} \Delta V_{\text{BE}}$$

有

$$\Delta I_{\text{C}} = g_{\text{m}} \Delta V_{\text{BE}}$$

故

$$i_{\text{c}} = g_{\text{m}} v_{\text{i}} \quad (1.90)$$

g_{m} 值可以通过将式(1.35)代入式(1.89)得到

$$g_{\text{m}} = \frac{\text{d}}{\text{d}V_{\text{BE}}} I_{\text{S}} \exp \frac{V_{\text{BE}}}{V_{\text{T}}} = \frac{I_{\text{S}}}{V_{\text{T}}} \exp \frac{V_{\text{BE}}}{V_{\text{T}}} = \frac{I_{\text{C}}}{V_{\text{T}}} = \frac{qI_{\text{C}}}{kT} \quad (1.91)$$

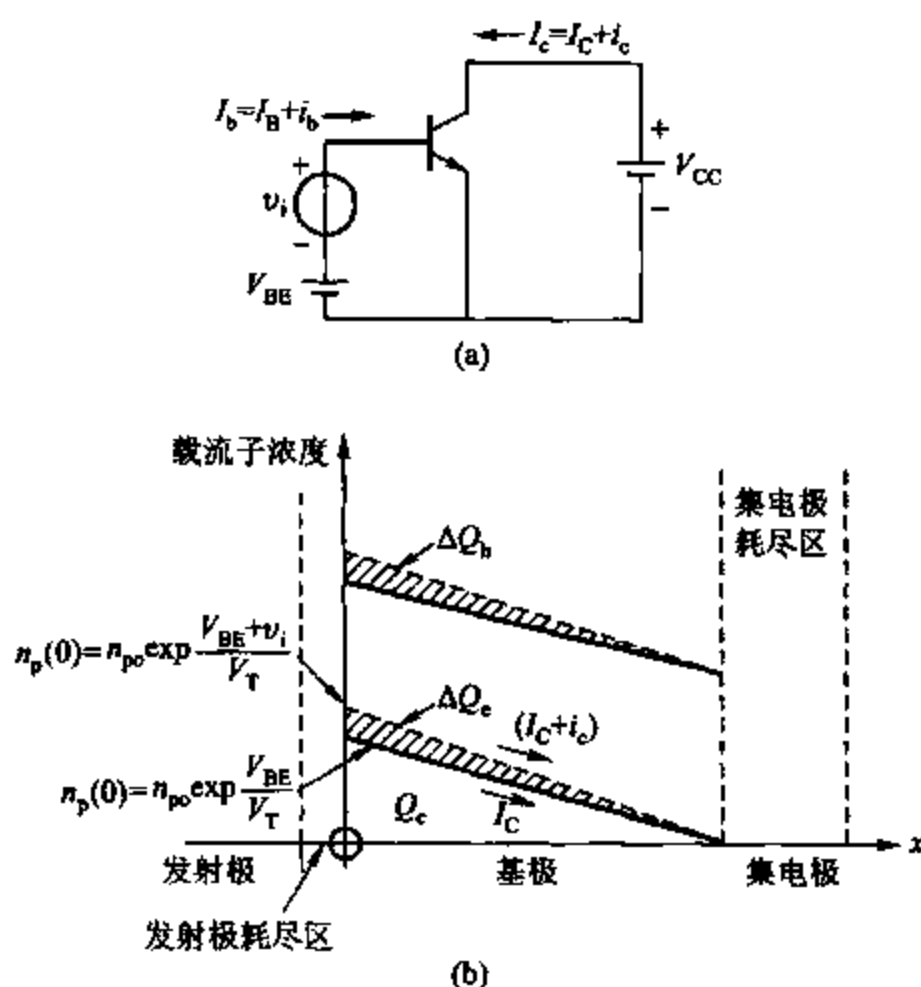


图 1.17 双极型晶体管加小信号输入电压的影响

(a) 电路原理; (b) 器件处于正向线性区中时基极载流子浓度的相应变化

对于任意极性(npn 或 pnp),任意大小,任意材料(硅,锗,镓化砷)的晶体管,其跨导都与偏置电流 I_C 成线性关系,且在 25℃下,当 $I_C = 1 \text{ mA}$ 时,其值为 38 mS。

为说明使用小信号分析的局限性,前面的关系由另外一种方法来表示。由式(1.35)可算出图 1.17a 中的总集电极电流为

$$I_c = I_s \exp \frac{V_{BE} + v_i}{V_T} = I_s \exp \frac{V_{BE}}{V_T} \exp \frac{v_i}{V_T} \quad (1.92)$$

但集电极偏置电流为

$$I_C = I_s \exp \frac{V_{BE}}{V_T} \quad (1.93)$$

将式(1.93)代入式(1.92)有

$$I_c = I_C \exp \frac{v_i}{V_T} \quad (1.94)$$

若 $v_i < V_T$, 式(1.94)中的指数可用级数表示为

$$I_c = I_C \left[1 + \frac{v_i}{V_T} + \frac{1}{2} \left(\frac{v_i}{V_T} \right)^2 + \frac{1}{6} \left(\frac{v_i}{V_T} \right)^3 + \dots \right] \quad (1.95)$$

则集电极电流增量为

$$i_c = I_c - I_C \quad (1.96)$$

将式(1.96)代入式(1.95)有

$$i_c = \frac{I_C}{V_T} v_i + \frac{1}{2} \frac{I_C}{V_T^2} v_i^2 + \frac{1}{6} \frac{I_C}{V_T^3} v_i^3 + \dots \quad (1.97)$$

若 $v_i \ll V_T$, 式(1.97)简化为式(1.90), 小信号分析是有效的。判断使用小信号分析的标准为 25°C 时 $v_i = \Delta V_{BE} \ll 26 \text{ mV}$ 。实际上, 如果 ΔV_{BE} 小于 10 mV , 小信号分析仅为其值的 10% 。

1.4.2 基区寄生电容

图 1.17b 表示了发射结电压变化量 $\Delta V_{BE} = v_i$ 引起了基极少数电量的变化 $\Delta Q_e = q_e$ 。由电中性条件, 基极多子电荷电量变化为 $\Delta Q_h = q_h$ 。由于多子由基极引线提供, 电压 v_i 需要基极中 q_h 的电量, 显然, 器件输入电容为

$$C_b = \frac{q_h}{v_i} \quad (1.98)$$

C_b 值与如下器件基本参数有关。式(1.39)除以式(1.33), 可得

$$\frac{Q_e}{I_C} = \frac{W_B^2}{2D_n} = \tau_F \quad (1.99)$$

τ_F 量为时间常数, 被称为正向基极扩散时间。因为它是扩散电量(Q_e)与电流(I_C)的比值, 它可以通过平均每个载流子穿过基区的时间来确定。首先它与工作条件无关, 对于集成 npn 晶体管典型值为 $10 \sim 500 \text{ ps}$, 对 pnp 晶体管典型值为 $1 \sim 40 \text{ ns}$ 。对于非均匀基区掺杂扩散晶体管, τ_F 的实际值比式(1.99)求得的价值要低一些。¹⁴ 不过, 基区宽度 W_B 与扩散常数 D_n 的函数关系同式(1.99)。

由式(1.99)

$$\Delta Q_e = \tau_F \Delta I_C \quad (1.100)$$

但因为 $\Delta Q_e = \Delta Q_h$, 有

$$\Delta Q_h = \tau_F \Delta I_C \quad (1.101)$$

可以化为

$$q_h = \tau_F i_c \quad (1.102)$$

将式(1.102)代入式(1.98)可得

$$C_b = \tau_F \frac{i_c}{v_i} \quad (1.103)$$

将式(1.90)代入式(1.103)有

$$C_b = \tau_F g_m \quad (1.104)$$

$$= \tau_F \frac{q I_C}{k T} \quad (1.105)$$

因此, 小信号基区寄生电容与集电极偏置电流成正比。

在反向放大工作模式下, 与式(1.99)相似的一个方程将储存电荷和电流通过时间常数 τ_R 联系起来。由于在正向放大区中的器件结构和掺杂浓度均为最优化, 这个值一般比 τ_R

的值大几个数量级。由于饱和区为正向放大区和反向放大工作区的结合, SPICE 网表文件中包含参数 τ_R 可以模拟出饱和区中发生的大的电量储存。

1.4.3 输入电阻

在正向放大区, 式(1.47)给出了基极电流和集电极电流的关系为

$$I_B = \frac{I_C}{\beta_F} \quad (1.47)$$

利用式(1.47)得 I_B 和 I_C 中的增量关系为

$$\Delta I_B = \frac{d}{dI_C} \left(\frac{I_C}{\beta_F} \right) \Delta I_C \quad (1.106)$$

故

$$\beta_0 = \frac{\Delta I_C}{\Delta I_B} = \frac{i_c}{i_b} = \left[\frac{d}{dI_C} \left(\frac{I_C}{\beta_F} \right) \right]^{-1} \quad (1.107)$$

其中 β_0 为晶体管小信号电流增益。注意如果 β_F 为常数, $\beta_F = \beta_0$ 。 β_0 的典型值与 β_F 的很接近, 在后几章中这两个量基本不进行区分。进行晶体管交流和直流分析时, β 常设为单一值。

式(1.107)将基极电流增量 i_b 与相应的集电极电流增量 i_c 相联系, 器件的小信号输入电阻为

$$r_\pi = \frac{v_i}{i_b} \quad (1.108)$$

将式(1.107)代入式(1.108)得

$$r_\pi = \frac{v_i}{i_c} \beta_0 \quad (1.109)$$

将式(1.90)代入式(1.109)得

$$r_\pi = \frac{\beta_0}{g_m} \quad (1.110)$$

因此, 双极型晶体管的小信号输入分流电阻取决于电流增益, 且与 I_C 成反比。

1.4.4 输出电阻

在 1.3.2 节中, 集电极-发射极电压 V_{CE} 的变化对于晶体管大信号特性的影响已进行了讨论。由分析可知 V_{CE} 的小变化量 ΔV_{CE} 使 I_C 产生了相应的变化量 ΔI_C , 为

$$\Delta I_C = \frac{\partial I_C}{\partial V_{CE}} \Delta V_{CE} \quad (1.111)$$

将式(1.55)和式(1.57)代入式(1.111)有

$$\frac{\Delta V_{CE}}{\Delta I_C} = \frac{V_A}{I_C} = r_o \quad (1.112)$$

V_A 为厄尔利电压, r_o 为晶体管小信号输出电阻。 V_A 的典型值为 50~100 V, 在 $I_C = 1 \text{ mA}$

时对应的 r_o 值为 $50 \sim 100 \text{ k}\Omega$ 。注意 r_o 与 I_C 成反比, 因此和许多其他的小信号参数一样, r_o 也与 g_m 有关。

$$r_o = \frac{1}{\eta g_m} \quad (1.113)$$

且

$$\eta = \frac{kT}{qV_A} \quad (1.114)$$

若 $V_A = 100 \text{ V}$, 则在 25°C 时的 $\eta = 2.6 \times 10^{-4}$ 。注意 $1/r_o$ 为图 1.10 所示输出特性曲线的斜率。

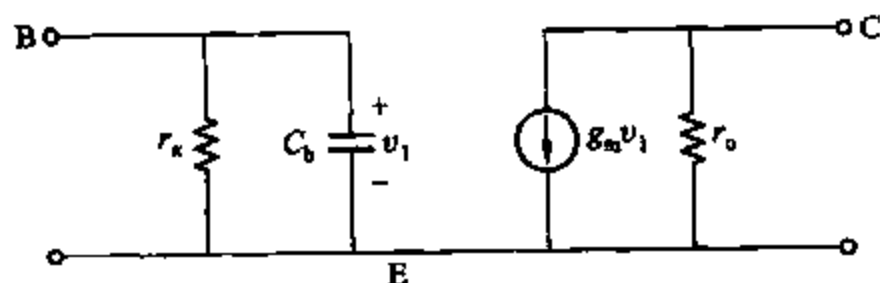
1.4.5 双极型晶体管的基本小信号模型

结合以上小信号电路单元可以画出图 1.18 所示的双极型晶体管的小信号模型。对于处于正向放大区的 npn 和 pnp 管均适用, 并被称为混合 π 模型。集电极、基极和发射极的结点分别用 C、B 和 E 表示。电路中的单元在任意双极型晶体管的等效电路中都存在, 并取决于相对少的几个参数 (β, τ_F, η, I_C)。注意在对 pnp 管的小信号参数估算时, 仅用到了 I_C 的值。在下部分中, 模型中会加入一些其他单元来说明寄生及次要影响。

1.4.6 集电极 - 基极电阻

考虑如图 1.9 所示的 V_{CE} 的变化对基极中的少子电荷产生的影响。 V_{CE} 的增加使集电极耗尽层宽度加宽, 因而基区宽度变窄。导致了基极中储存的总的少子电荷减少, 由式 (1.40) 给出的 I_{B1} 减小, 引起基极电流 I_B 减小。由于 V_{CE} 的增量 ΔV_{CE} 使 I_B 有一减量 ΔI_B , 该影响可通过在图 1.18 所示模型中的集电极和基极两端加入一电阻 r_μ 来表现。设 V_{BE} 的值保持不变, 该电阻值可以通过如下计算:

$$r_\mu = \frac{\Delta V_{CE}}{\Delta I_{B1}} = \frac{\Delta V_{CE}}{\Delta I_C} \frac{\Delta I_C}{\Delta I_{B1}} \quad (1.115)$$



$$r_\pi = \frac{\beta}{g_m}, r_o = \frac{1}{\eta g_m}, g_m = \frac{qI_C}{kT}, C_b = \tau_F g_m$$

图 1.18 双极型晶体管的基本小信号等效电路

将式 (1.112) 代入式 (1.115) 得

$$r_\mu = r_o \frac{\Delta I_C}{\Delta I_{B1}} \quad (1.116)$$

C_μ 随偏置电压的变化可以近似为

$$C_\mu = \frac{C_{\mu 0}}{\left(1 - \frac{V}{\phi_0}\right)^n} \quad (1.117a)$$

其中, V 为结的正向偏置, n 为在 $0.2 \sim 0.5$ 之间的指数。在单 npn 晶体管中的第三个寄生电容为集电极 - 衬底电容 C_{cs} , 加大的反向偏压时, 它根据结绝缘器件的突变结方程式 (1.21) 而变化。不过, 在氧化物绝缘器件中, 用于隔离器件的深度 p 扩散被氧化物取代。边阻元件 C_{cs} 包含了一个固定氧化物电容。式 (1.117a) 可能用于对 C_{cs} 建模, 但小于 0.5 的 n 值给出了最优近似。通常情况下, 式 (1.117a) 可对三个寄生电容进行建模, 将 n 和 ϕ_0 分别用下标 e、c 和 s 来区别发射极电容、集电极电容和集电极与衬底之间的电容。对于现代氧化物绝缘处理中一最小尺寸的 npn 晶体管来说, 这些寄生电容的零偏置值为 $C_{\mu 0} \approx 10$ fF, $C_{\mu c} \approx 10$ fF, $C_{cs0} \approx 20$ fF。其他器件值在第二章中归纳。

如第二章所述, pnp 晶体管基极到衬底之间有一寄生电容 C_{bs} 取代了 C_{cs} 。要注意衬底始终与电路中的最低电势相连, 以保证所有的绝缘区都与反偏结分开。故衬底为一交流地, 且连到衬底的所有寄生电容等效于接地。

加到晶体管小信号中的最后一个单元为寄生电阻。它们是由晶体管接触顶部至发射极附近的线性基区之间的有限的硅电阻产生的。如图 1.19 所示, 起主要作用的电阻 r_b 和 r_c 分别与基极和集电极串联。还有一个几欧的电阻 r_{ex} 与发射极引端相连, 在高偏置电流下起重要作用 (注意集电极电阻 r_c 实际上是由 r_{cd} 、 r_{ce} 和 r_{cs} 的三部分组成的。) 这些参数的典型值为 $r_b = 50 \sim 500 \Omega$, $r_{ex} = 1 \sim 3 \Omega$, $r_c = 20 \sim 500 \Omega$ 。由于电流阻塞,¹⁵ r_b 的值随集电极电流变化很大。¹⁵ 基极直流电流在基极产生横向压降, 使发射极边缘的发射结优先正向偏置, 这样产生了很高的集电极电流。因此, 晶体管在发射结外缘处比在发射结底部更容易工作, 基区表面到放大基区的距离缩小。结果, r_b 值减小, 在典型 npn 晶体管中, 当 I_C 从 0.1 mA 升至 10 mA 时, r_b 可能只降低了 50%。

这些寄生电容值可能随器件结构的变化而降低。例如, 对于一个多基区、多发射区的大面积晶体管来说, 可能 r_b 的值更小。集电极附近有低电阻 n^+ 掩埋层时, r_c 的值减小。

将寄生电阻和电容加入基本小信号电路图 1.18 可得图 1.20 所示的完整小信号等效电路。内部基极结点标为 B' 以区别外部基极结点 B 。电容 C_π 包含了基区寄生电容 C_b 和发射结耗尽层电容 C_{je} 。

$$C_\pi = C_b + C_{je} \quad (1.118)$$

注意图 1.20 中的寄生是已经用过的集总参数的近似。事实上, 如图 1.19 所示, C_π 分散越过 r_b , C_{cs} 分散越过 r_c 。这种集中表示适用于大多数要求, 但在极高频时可能会产生误差。另外当图 1.20 所示的寄生电阻在高偏置电流或高频工作中起主要作用时, 在低频计算中, 它们常在等效电路中被省略, 尤其是当集电极偏置电流小于 1 mA 时。

示例

一个双极型晶体管的完整小信号等效电路工作于 $I_C = 1$ mA, $V_{CB} = 3$ V, 且 $V_{be} = 5$ V。

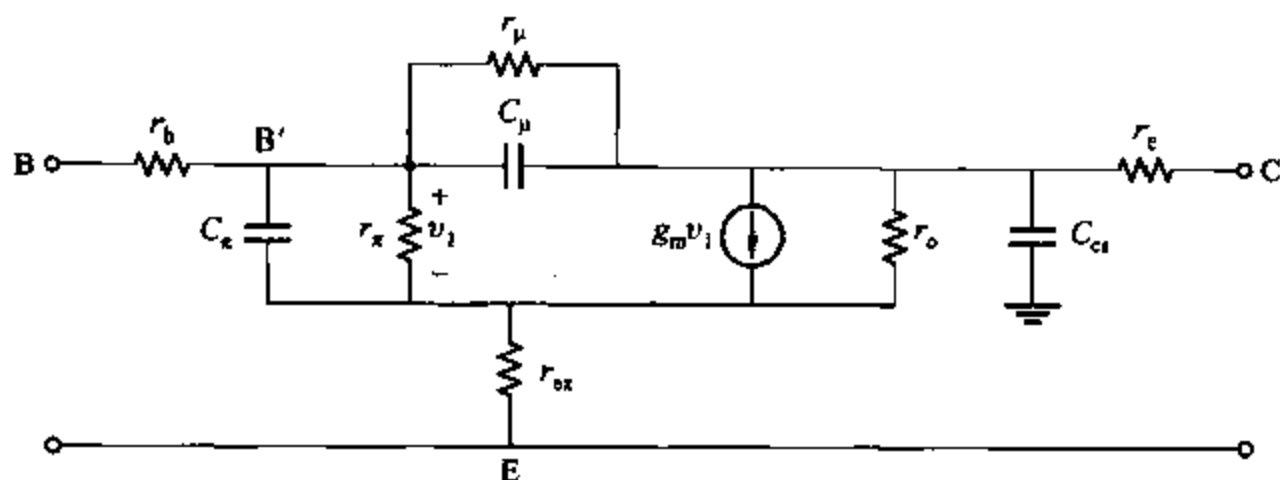


图 1.20 双极型晶体管的完整小信号等效电路

初始参数为 $C_{je0} = 10 \text{ fF}$, $n_e = 0.5$, $\psi_{0e} = 0.9 \text{ V}$, $C_{\mu0} = 10 \text{ fF}$, $n_c = 0.3$, $\psi_{0c} = 0.5 \text{ V}$, $C_{cs0} = 20 \text{ fF}$, $n_s = 0.3$, $\psi_{0s} = 0.65 \text{ V}$, $\beta_0 = 100$, $\tau_F = 10 \text{ ps}$, $V_A = 20 \text{ V}$, $r_b = 300 \Omega$, $r_c = 50 \Omega$, $r_{ex} = 5 \Omega$, $r_\mu = 10 \beta_0 r_o$ 。

由于发射结为正向偏置,由节 1.2.1 中的说明可知 C_π 的值很难确定。或者是用计算机求解,或者是合理估计为两倍的 C_{je0} 。利用后一种估算,可得

$$C_\pi = 20 \text{ fF}$$

利用式(1.117a)给出的,对于集电极电容,有

$$C_\mu = \frac{C_{\mu0}}{\left(1 + \frac{V_{CB}}{\psi_{0c}}\right)^{n_c}} = \frac{10}{\left(1 + \frac{3}{0.5}\right)^{0.3}} = 5.6 \text{ fF}$$

集电极-衬底电容也可通过式(1.117a)求得

$$C_{cs} = \frac{C_{cs0}}{\left(1 + \frac{V_{cs}}{\psi_{0s}}\right)^{n_s}} = \frac{20}{\left(1 + \frac{5}{0.65}\right)^{0.3}} = 10.5 \text{ fF}$$

由式(1.91)可得跨导为

$$g_m = \frac{qI_C}{kT} = \frac{10^{-3}}{26 \times 10^{-3}} \text{ S} = 38 \text{ mS}$$

由式(1.104)可得基区寄生电容为

$$C_b = \tau_F g_m = 10 \times 10^{-12} \times 38 \times 10^{-3} \text{ F} = 0.38 \text{ pF}$$

由式(1.118)可得 C_π 的值为

$$C_\pi = 0.38 + 0.02 \text{ pF} = 0.4 \text{ pF}$$

由式(1.110)求出输入电阻为

$$r_\pi = \frac{\beta_0}{g_m} = 100 \times 26 \Omega = 2.6 \text{ k}\Omega$$

由式(1.112)得出输出电阻为

$$r_o = \frac{20}{10^{-3}} \Omega = 20 \text{ k}\Omega$$

故集电极 - 基极电阻为

$$r_{\mu} = 10\beta_0 r_o = 10 \times 100 \times 20 \text{ k}\Omega = 20 \text{ M}\Omega$$

含这些参数值的等效电路如图 1.21 所示。

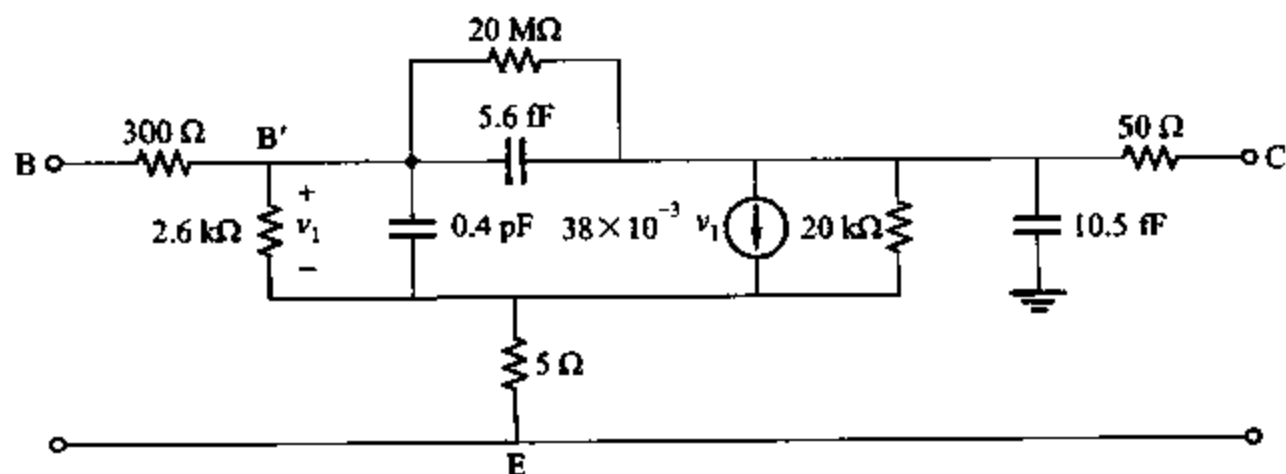


图 1.21 $I_C = 1 \text{ mA}$, $V_{CB} \approx 3 \text{ V}$, 且 $V_{CE} = 5 \text{ V}$ 时双极型晶体管的完整小信号等效电路

1.4.8 晶体管频率响应特性

晶体管高频增益是由图 1.20 等效电路中的容性单元所决定的。晶体管频率性能在实际中通常是由一个特定频率来得到的, 在这个特定频率处, 简化电路的共射极电流增益降至单位值, 该频率被称为特征频率 f_T , 它也是晶体管作为放大器时最大工作频率的度量值。 f_T 的值也可以通过图 1.22 所示的交流电路进行计算。基极加一个小信号电流 i_i , 通过集电极交流信号简化电路可得输出电流 i_o 。在这种情况下, 忽略图 1.20 的等效电路中的 r_{ex} 和 r_{μ} 可以得到一个如图 1.23 所示的小信号等效电路。如果假定 r_e 很小, 则 r_o 和 C_{cs} 不受影响, 有

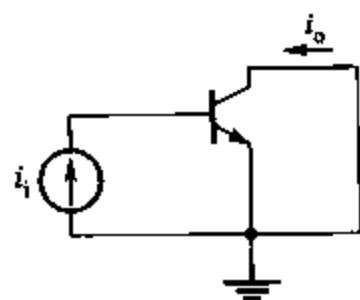


图 1.22 测量 f_T 的交流电路原理图

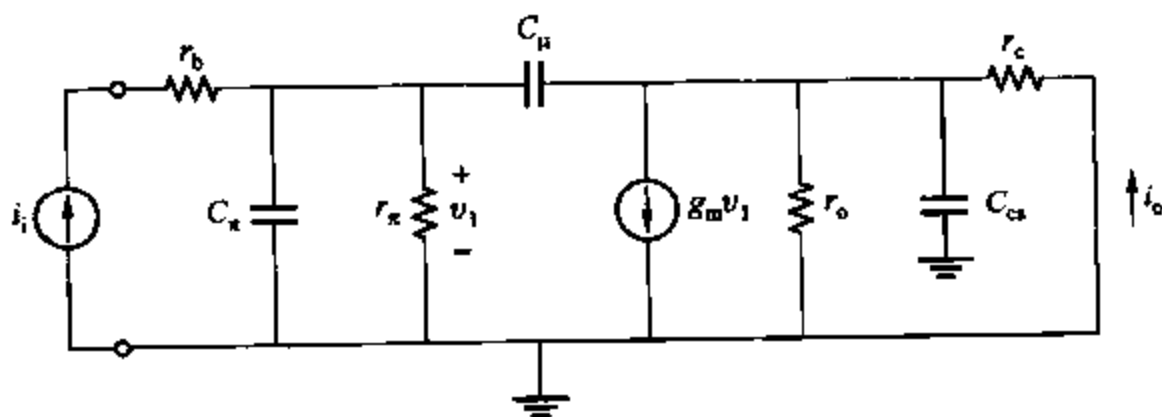


图 1.23 计算 f_T 的小信号等效电路

如果忽略 C_{μ} 的正向反馈电流, 则

$$i_o \approx g_m v_i \quad (1.120)$$

将式(1.119)代入式(1.120)有

$$i_o \approx i_i \frac{g_m r_\pi}{1 + r_\pi (C_\pi + C_\mu) s}$$

故利用式(1.110),得

$$\frac{i_o}{i_i}(j\omega) = \frac{\beta_0}{1 + \beta_0 \frac{C_\pi + C_\mu}{g_m} j\omega} \quad (1.121)$$

若令 $i_o/i_i(j\omega)$ 为 $\beta(j\omega)$ (高频小信号电流增益),有

$$\beta(j\omega) = \frac{\beta_0}{1 + \beta_0 \frac{C_\pi + C_\mu}{g_m} j\omega} \quad (1.122)$$

在高频时,式(1.122)中分母的虚部起主要作用,可以得出

$$\beta(j\omega) \approx \frac{g_m}{j\omega (C_\pi + C_\mu)} \quad (1.123)$$

由式(1.123),当

$$\omega = \omega_T = \frac{g_m}{C_\pi + C_\mu} \quad (1.124)$$

时, $|\beta(j\omega)| = 1$ 。

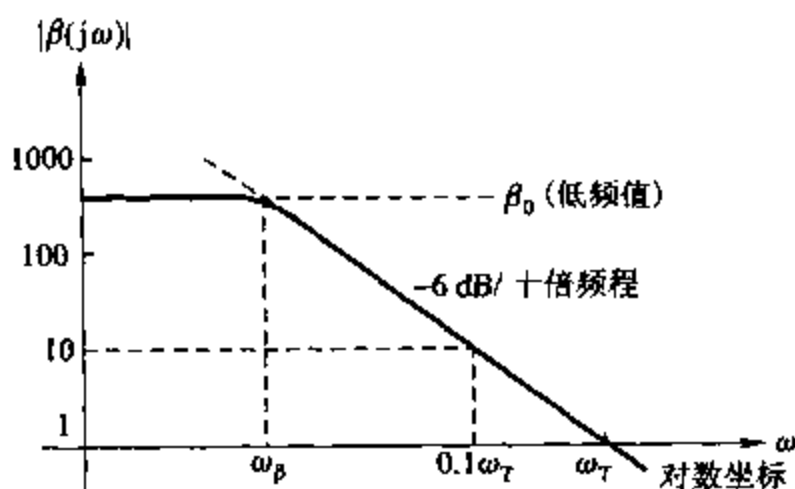


图 1.24 典型双极型晶体管小信号
交流电流增益 $|\beta(j\omega)|$ 相对频率的曲线

因此,有

$$f_T = \frac{1}{2\pi} \frac{g_m}{C_\pi + C_\mu} \quad (1.125)$$

如图 1.24 所示,利用式(1.122)绘制 $|\beta(j\omega)|$ 曲线可得晶体管特性。 ω_β 定义为当 $|\beta(j\omega)|$ 等于 $\beta_0/\sqrt{2}$ (低频值降 3 dB) 时的频率。由式(1.122)有

$$\omega_\beta = \frac{1}{\beta_0} \frac{g_m}{C_\pi + C_\mu} = \frac{\omega_T}{\beta_0} \quad (1.126)$$

由图 1.24 可以看出 ω_T 可以通过测量一特定频率 ω_x 对应的 $|\beta(j\omega)|$ 来得到, 在 ω_x 处 $|\beta(j\omega)|$ 以 6 dB/十倍频程递减, 利用

$$\omega_T = \omega_x |\beta(j\omega_x)| \quad (1.127)$$

这是实际中使用的方法, 因为在 $|\beta(j\omega)|$ 趋于单位值时容易与理想特性产生偏差。通常在某些频率下, $|\beta(j\omega)|$ 的值约为 5 或 10 时测量其值, 利用式(1.127)可以得到 ω_T 。

通过 ω_T 来求时间常数 τ_T 是很方便的。它们的关系定义为

$$\tau_T = \frac{1}{\omega_T} \quad (1.128)$$

将式(1.124)代入式(1.128)有

$$\tau_T = \frac{C_\pi}{g_m} + \frac{C_\mu}{g_m} \quad (1.129)$$

将式(1.118)和式(1.104)代入式(1.129)有

$$\tau_T = \frac{C_b}{g_m} + \frac{C_{je}}{g_m} + \frac{C_\mu}{g_m} = \tau_F + \frac{C_{je}}{g_m} + \frac{C_\mu}{g_m} \quad (1.130)$$

式(1.130)表明在高集电极偏置电流下, τ_T 取决于 I_C (通过 g_m) 且接近于常数值 τ_F 。当 I_C 较低时, 与 C_π 和 C_μ 有关的项起主导作用, 它们使得 τ_T 随着 I_C 的减小而升高, 而 f_T 降低。图 1.25 对此进行了说明, 绘制了集成电路 npn 晶体管的 f_T 相对于 I_C 的典型曲线。在高集电极电流时 f_T 的下降并不能根据这种简单理论来推断, 而是由于高电平注入和 Kirk 效应引起的 τ_T 的增加。在 1.3.5 节中谈到的高电流下引起 β_F 降低也是相同的情况。

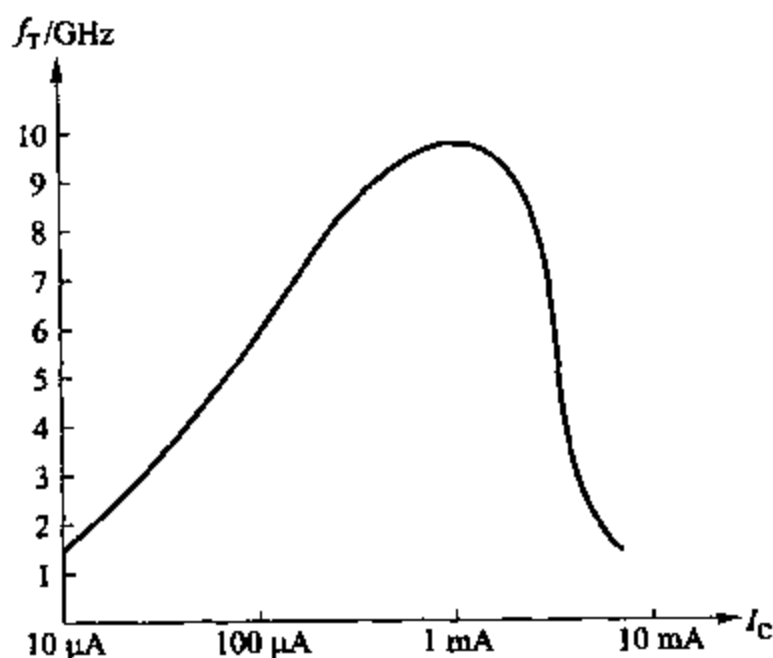


图 1.25 在高速进程中, 发射区面积为 $6 \mu\text{m}^2$ 的 npn 集成电路晶体管 f_T 相对 I_C 的典型曲线

示例

双极型晶体管可由简化电路表示, 1 GHz 条件下, 共射电流增益在 $I_C = 0.25 \text{ mA}$ 时为

8, 在 $I_C = 1 \text{ mA}$ 时为 9。设高电平注入影响可以忽略, 计算 C_{je} 和 τ_F , 假定其均为恒量。 C_{μ} 的测量值为 10 fF 。

由数据有, f_T 的值为

$$I_C = 0.25 \text{ mA 时} \quad f_{T1} = 8 \times 1 \text{ GHz} = 8 \text{ GHz}$$

$$I_C = 1 \text{ mA 时} \quad f_{T2} = 9 \times 1 \text{ GHz} = 9 \text{ GHz}$$

相应的 τ_T 值为

$$\tau_{T1} = \frac{1}{2\pi f_{T1}} = 19.9 \text{ ps}$$

$$\tau_{T2} = \frac{1}{2\pi f_{T2}} = 17.7 \text{ ps}$$

将数据代入式(1.130), 当 $I_C = 0.25 \text{ mA}$ 时, 有:

$$19.9 \times 10^{-12} = \tau_F + 104(C_{\mu} + C_{je}) \quad (1.131)$$

当 $I_C = 1 \text{ mA}$ 时, 有

$$17.7 \times 10^{-12} = \tau_F + 26(C_{\mu} + C_{je}) \quad (1.132)$$

将式(1.132)代入式(1.131)有

$$C_{\mu} + C_{je} = 28.2 \text{ fF}$$

因 C_{μ} 测量值为 10 fF , C_{je} 值为

$$C_{je} \approx 18.2 \text{ fF}$$

代入式(1.131)有

$$\tau_F = 17 \text{ ps}$$

这是一个关于如何通过高频电流增益的测量来确定基本器件参数的示例。注意假设 C_{je} 为常数在实际中是一个很有用的近似, 因为当 I_C 由 0.25 mA 增加到 1 mA 时, V_{BE} 仅变化了 36 mV 。

1.5 金属氧化物场效晶体管的大信号特性

金属-氧化物-半导体场效晶体管(简称 MOSFETs), 由于其具有高密度和低功耗的优点使得它在数字集成电路领域中占据主导地位。相反, 双极型晶体管在高性能要求的模拟集成电路领域中依然有很大优势。例如, 双极型晶体管的单位偏置电流跨导通常要比 MOS 场效应晶体管的高很多。所以, 如果一个系统, 其中一部分集成电路应用的是模拟工艺, 而其余部分集成电路应用的是数字工艺, 那么通常在模拟集成电路中人们会选用双极型工艺, 而在数字集成电路中人们会选用 MOS 工艺。为了降低系统的成本, 增加系统的便携性, 需要进一步提高电路集成度和降低电路功耗, 因而也促使了相关的模拟集成电路采用 MOS 兼容工艺。为了达到这个目标, 可以采取组合的 BJT 和 MOS 生产工艺, 这样可以使电路设计具有很大的灵活性。然而, 全 MOS 工艺比双极型-MOS 组合工艺要便宜, 因此从经济的角度考虑, 在实际生产中, 集成电路厂商一般使用全 MOS 工艺。因此, 学习影响

模拟集成电路设计的 MOS 晶体管的特性是很有意义的。

1.5.1 MOS 器件的转移特性

典型的增强型 n 沟道 MOS 晶体管(NMOS)结构剖面图如图 1.26 所示。在 p 型衬底(又称基体)上制作了两个高掺杂的 n 型源区和漏区。衬底材料表面生长着一薄层氧化硅,在源极与漏极之间的氧化物上覆盖着这一层导电的栅极材料(金属或多晶硅)。注意到在图 1.26 中栅极是横向的,今后在描述 MOS 器件的物理作用时,将一律采用这种取向。在工作情况下,栅-源电压可以改变栅极下方区域的导电能力,从而使得栅极电压可以控制源极和漏极之间的电流。利用上述控制特性,可以实现模拟电路中的增益特性,也可以实现数字电路中的开关特性。

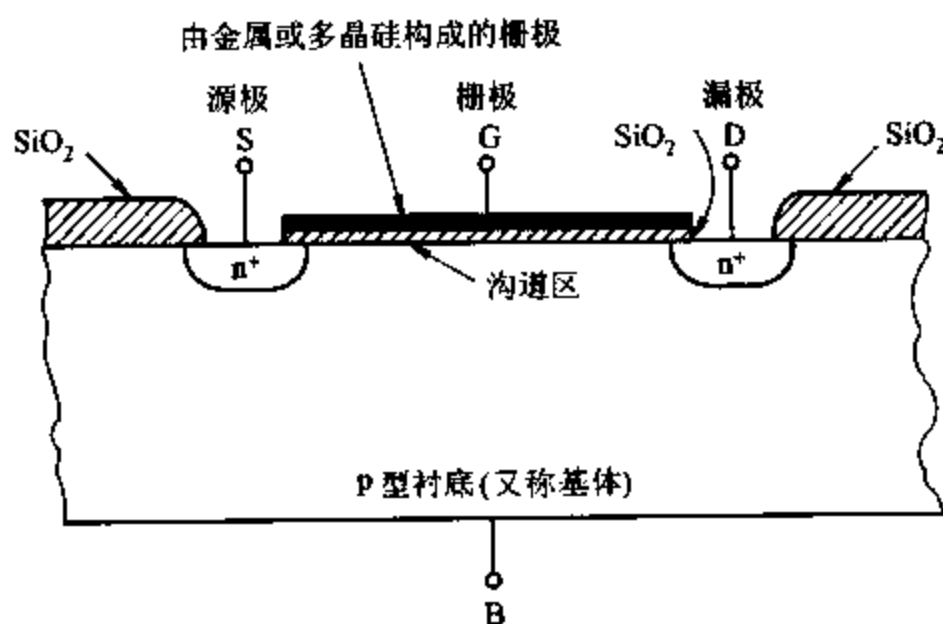


图 1.26 典型的增强型 NMOS 结构图

从图 1.26 所示增强型 NMOS 器件可以看出:只有在栅极下面存在一个 n 型沟道时才能使源极与漏极之间有很强的导电能力。这也是将其命名为 n 沟道的缘由。而所谓增强型是指:当 $V_{GS} = 0$ 时,源极与漏极之间失去导电能力。因而,为了实现导电能力必须增强沟道。MOS 器件也可以是 n 型衬底、p 型导电沟道,即为增强型 p 沟道 MOS(PMOS)晶体管。在互补 MOS 工艺(CMOS)中两种器件同时存在。

图 1.26 所示的增强型 NMOS 器件,其传输特性如下:当 $V_{GS} = 0$ 时,源极与漏极之间被背对背排列的 pn 结所隔断。当器件截止时,在 n 型源区和 n 型漏区以及 p 型衬底之间形成的 pn 结会导致源极与漏极之间形成极高的电阻(大约在 $10^{12} \Omega$)。

考虑如图 1.27 所示,栅极上加正向电压 V_{GS} ,衬底、源极、漏极均接地时,栅极与衬底构成了以 SiO_2 为电介质的“平板电容器”。正电荷积聚在栅极而负电荷积聚在衬底层。最初,在 p 型衬底层上积累了负电荷,本书 1.2 节中介绍 pn 结时提及的耗尽区的形成和栅极下方空穴的排除证实了这一现象。耗尽区在图 1.27 中有标注。这里可以直接引用 1.2 节中的结论,由式(1.10)可知氧化层下方的耗尽层宽度 X 为

$$X = \left(\frac{2\epsilon\phi}{qN_A} \right)^{\frac{1}{2}} \quad (1.133)$$

其中, ϕ 是氧化物-硅接触面上耗尽层的电势; N_A 是 p 型衬底的掺杂浓度(假定为常数), 单位是 atoms/cm^3 ; ϵ 是硅元素的介电常数。于是, 耗尽区单位面积的电量

$$Q = qN_A X = \sqrt{2qN_A\epsilon\phi} \quad (1.134)$$

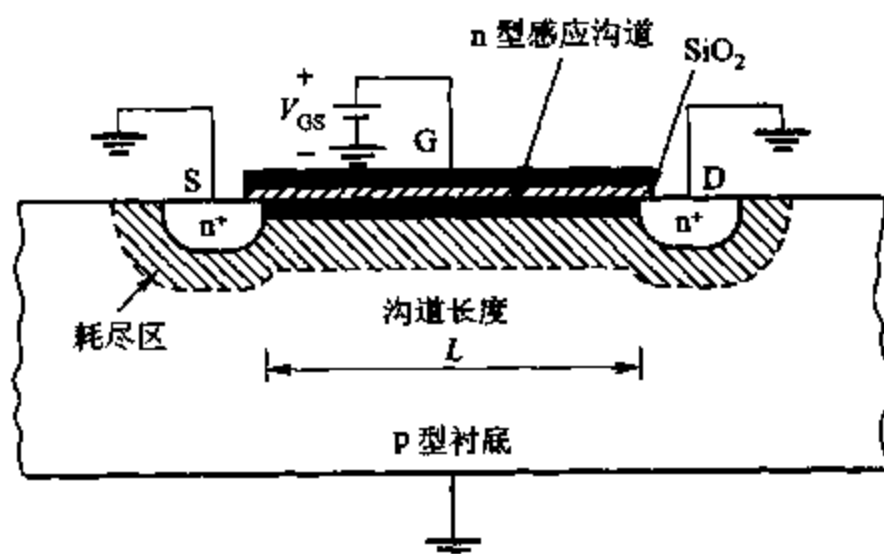


图 1.27 加正向 V_{GS} 的理想 NMOS 器件结构剖面图, 图中标出了耗尽区和感应沟道

当硅表面电势达到临界值即两倍费米值 ϕ_i 时, 会产生所谓的反型现象。费米值 ϕ_i 的定义如下

$$\phi_i = \frac{kT}{q} \ln \left[\frac{N_A}{n_i} \right] \quad (1.135)$$

其中, k 是玻耳兹曼常数。同时, 本征载流子浓度 n_i 为

$$n_i = \sqrt{N_c N_v} \exp \left(-\frac{E_g}{2kT} \right) \quad (1.136)$$

其中, E_g 是 $T=0\text{ K}$ 下硅元素的能带间隙; N_c 是在允许情况下导带边缘的浓度; N_v 是在允许情况下价带边缘的浓度。费米值 ϕ_i 通常取 0.3 V 。当硅表面电势达到 $2\phi_i$ 后, 栅极电压的继续增加而不会再引起耗尽层宽度的变化, 但是会导致氧化物层下方硅表面的耗尽区中产生一薄的电子层。“反型”现象会产生一个连续的 n 型区域, 包括源区与漏区, 并且在源极与漏极之间形成导电沟道。增加或减少栅-源电压, 可以调整导电沟道的导电能力。形成反型层后且无衬底偏压, 在耗尽区中的电子密度是定值, 即

$$Q_{b0} = \sqrt{2qN_A\epsilon 2\phi_i} \quad (1.137)$$

如果在源极与衬底加衬底偏压 V_{SB} (对于 n 型 MOS 管应是正值), 那么只有当硅表面电势达到 $(2\phi_i + V_{SB})$ 时, 才会出现反型现象, 这时耗尽区中储存的电子密度通常为

$$Q_b = \sqrt{2qN_A\epsilon (2\phi_i + V_{SB})} \quad (1.138)$$

开始形成反型层所需的栅-源电压 V_{GS} 值称为阈值电压, 用 V_t 表示, 下面开始计算 V_t 的值。 V_{GS} 包含以下几个分量: 第一是维持耗尽层电荷 Q_b 所需的电压 $[2\phi_i + (Q_b/C_{ox})]$, 其中 C_{ox} 为栅极氧化物单位面积电容量; 第二是在栅极金属与硅之间的工作压差 ϕ_{ms} ; 第三是硅表面氧化物中通常存在正电荷密度 Q_{ss} 。这些电荷是由于 Si-SiO₂ 界面上结晶的不连续性导致的, 因此需要由栅-源电压分量 $-Q_{ss}/C_{ox}$ 来补偿。综上可以得到阈值电压的表达式如下:

$$V_t = \phi_{ms} + 2\phi_i + \frac{Q_b}{C_{ox}} - \frac{Q_{ss}}{C_{ox}} \quad (1.139)$$

$$\begin{aligned} &= \phi_{ms} + 2\phi_i + \frac{Q_{b0}}{C_{ox}} - \frac{Q_{ss}}{C_{ox}} + \frac{Q_b - Q_{b0}}{C_{ox}} \\ &= V_{t0} + \gamma(\sqrt{2\phi_i + V_{SB}} - \sqrt{2\phi_i}) \end{aligned} \quad (1.140)$$

其中, 用到了式(1.137)和式(1.138); V_{t0} 是 $V_{SB} = 0$ 时的阈值电压; 参数 γ 的定义如下:

$$\gamma = \frac{1}{C_{ox}} \sqrt{2q\epsilon N_A} \quad (1.141)$$

C_{ox} 的表达式如下

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad (1.142)$$

ϵ_{ox} 和 t_{ox} 分别是氧化物的介电常数和厚度。一般取 $\gamma = 0.5 \text{ V}^{1/2}$, $C_{ox} = 3.45 \text{ fF}/\mu\text{m}^2$, $t_{ox} = 100 \text{ \AA}$ (埃)。

在实际中, V_{t0} 的值可以在加工过程中通过在沟道区掺杂另外的杂质来调节。通过向增强型 n 沟道 MOS 管的沟道区中掺杂额外的 p 型杂质可以将 V_{t0} 的值设置在 $0.5 \sim 1.5 \text{ V}$ 之间。向沟道区中掺杂 n 型杂质, 甚至可以在 $V_{GS} = 0$ 时形成导电沟道, 这样就形成了耗尽型器件, 其 V_{t0} 的取值通常在 $-1 \sim -4 \text{ V}$ 之间。如果 Q_i 是由掺杂引起的电荷密度, 那么由式(1.139)给出的阈值电压可以近似等于 Q_i/C_{ox} 。

在进行 n 沟道 MOSFET 的大信号特性计算时可以利用前面的等式。在分析中, 假定源极接地, 偏置电压 V_{GS} 、 V_{DS} 、 V_{SB} 的设置如图 1.28 所示。当 $V_{GS} > V_t$ 时, 反型现象产生, 导电沟道形成。沟道的导电性取决于垂直电场强度, 而垂直电场强度又是由 $(V_{GS} - V_t)$ 的值来控制的。当 $V_{DS} = 0$ 时, 相应的水平电场强度为零, 故从漏极流向源极的电流 I_D 也为零。当 $V_{DS} \neq 0$ 时, 相应的会产生水平电场, 从而产生漏极电流 I_D 。之所以称之为场效应管, 正是因为其电流值取决于水平电场和垂直电场的强度。正向电压 V_{DS} 使得从漏极到衬底的反偏压大于从源极到衬底的反偏压, 这样就会在漏区形成最宽的耗尽区。为了简化, 可以假定沿沟道的电压降低到很小, 因而可以将沟道的耗尽层宽度视为常数。

漏极电流 I_D 是

$$I_D = \frac{dQ}{dt} \quad (1.143)$$

其中, dQ 是 dy 长度上的沟道电荷增量, dy 是距源极 y 方向的长度增量; dt 是电荷跨越 dy

长度所需的时间。电荷量 dQ 为

$$dQ = Q_1 W dy \quad (1.144)$$

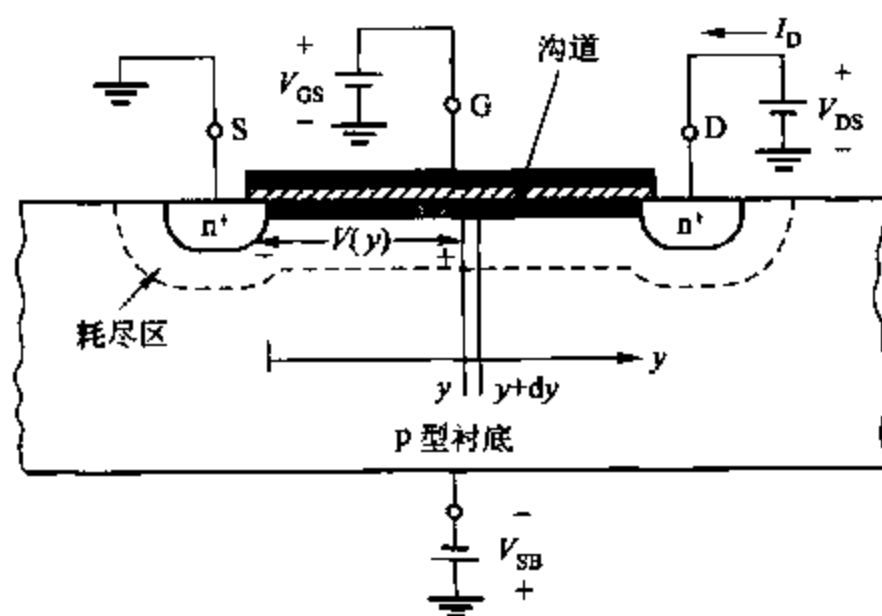


图 1.28 偏置电压加在 NMOS 器件上

其中, W 是平面图 1.28 所示器件的垂直高度; Q_1 是沟道单位面积感应电荷量。沿沟道 y 方向建立起的相对于源极的电位差是 $V(y)$, 于是该点的栅-沟道电压为 $V_{GS} - V(y)$ 。假设该电压已超过阈值电压 V_t 。故沟道中单位面积感应电荷量为

$$Q_1(y) = C_{ox} [V_{GS} - V(y) - V_t] \quad (1.145)$$

同时

$$dt = \frac{dy}{v_d(y)} \quad (1.146)$$

其中, v_d 是距源极沿 y 方向的电子漂移速度。结合式(1.144)和式(1.146)可以得到

$$I_D = WQ_1(y)v_d(y) \quad (1.147)$$

漂移速度取决于水平电场强度。当水平电场强度 $E(y)$ 很小时, 漂移速度与场强成正比, 有

$$v_d(y) = \mu_n E(y) \quad (1.148)$$

其中, 比例常数 μ_n 是沟道中电子平均迁移率。在实际中, 迁移率由温度与掺杂程度来确定, 但是在通常的掺杂程度下, 很大范围内其值为一常数。 μ_n 有时也被称之为电子表面迁移率, 因为沟道通常形成在半导体硅层的表面。 μ_n 的典型取值在 $500 \text{ cm}^2/(\text{V}\cdot\text{s})$ 到 $700 \text{ cm}^2/(\text{V}\cdot\text{s})$ 之间, 这个值是远小于硅体内的电子迁移率(大约在 $1400 \text{ cm}^2/\text{V}\cdot\text{s}$), 这是由于在晶体表面存在着晶体体内所没有的表面缺陷, 从而阻止了 MOS 管中电子的流动。电场强度 $E(y)$ 是

$$E(y) = \frac{dV}{dy} \quad (1.149)$$

其中, dV 是 dy 长度上的电压降增量, dy 是距源极 y 方向的长度增量。将式(1.145)、式(1.148)和式(1.149)代入式(1.147)可得

$$I_D = WC_{ox}(V_{GS} - V - V_t)\mu_n \frac{dV}{dy} \quad (1.150)$$

分离变量并两边积分得

$$\int_0^L I_D dy = \int_0^{V_{DS}} W\mu_n C_{ox}(V_{GS} - V - V_t)dV \quad (1.151)$$

求解积分得

$$I_D = \frac{k'}{2} \frac{W}{L} [2(V_{GS} - V_t)V_{DS} - V_{DS}^2] \quad (1.152)$$

其中

$$k' = \mu_n C_{ox} = \frac{\mu_n \epsilon_{ox}}{t_{ox}} \quad (1.153)$$

当 $V_{DS} \ll 2(V_{GS} - V_t)$ 时, 由式(1.152)可知 I_D 近似正比于 V_{DS} 。上面得出的结论是合理的, 因为平均电场强度是 V_{DS}/L , 而当场强很小时, 平均电子迁移率是正比于平均场强的。等式(1.152)是很重要的, 它给出了一个 MOS 管在假设其感应沟道为连续的情况下的 $I-V$ 特性。一个 n 沟道器件 k' 的典型值大约为 $200 \mu A/V^2$ ($t_{ox} = 100 \text{ \AA}$)。

随着 V_{DS} 值的增加, 感应导电沟道向漏极端缩小, 同时由(1.145)式知道当 V_{DS} 趋向于 $(V_{GS} - V_t)$ 时, 漏极端的 Q_1 趋向于零。这也就是说, 当 $V_{DS} > (V_{GS} - V_t)$ 时, 导电沟道将不再连续。将这种现象称为夹断, 为了有助于理解, 列写出晶体管的 KVL 方程

$$V_{DS} = V_{DG} + V_{GS} \quad (1.154)$$

因此, 当 $V_{DS} > (V_{GS} - V_t)$ 时,

$$V_{DG} + V_{GS} > V_{GS} - V_t \quad (1.155)$$

对上式做等价变换得

$$V_{GD} < V_t \quad (1.156)$$

由式(1.156)可知当漏-源电压大于 $(V_{GS} - V_t)$ 时, 栅-漏电压将小于阈值电压, 这意味着在漏极导电沟道将不再存在。上面得出的结论是合理的, 沟道消失点处的栅-沟道电压应等于 V_t , 而 V_t 本身就是定义的沟道阈值电压。所以在夹断点的沟道电压为 $(V_{GS} - V_t)$ 。结果, 在夹断区, 沟道的平均水平电场强度不再与漏-源电压有关, 相反取决于整个沟道上的电压降, 即 $(V_{GS} - V_t)$ 。因此, 当 $V_{DS} > V_{GS} - V_t$ 时, 式(1.152)将不再正确。在这里求解 I_D , 应将 $V_{DS} = V_{GS} - V_t$ 代入式(1.152)计算, 得到

$$I_D = \frac{k'}{2} \frac{W}{L} (V_{GS} - V_t)^2 \quad (1.157)$$

式(1.157)表明, 夹断区的漏极电流并不取决于 V_{DS} 。然而, 在实际情况下, 夹断区漏极电压的变化对漏极电流的影响很小。这种效应是由于在沟道漏极端夹断点和漏区本身中间存在着一个耗尽区。设耗尽层宽度为 X_d , 则有效沟道长度为

$$L_{eff} = L - X_d \quad (1.158)$$

如果用 L_{eff} 值代替式(1.157)中的 L , 可以得到一个更精确的计算夹断区电流的公式

$$I_D = \frac{k'}{2} \frac{W}{L_{\text{eff}}} (V_{\text{GS}} - V_t)^2 \quad (1.159)$$

由于 X_d (相应的有 L_{eff}) 是夹断区漏-源电压作用的结果, 所以 I_D 随 V_{DS} 变化而变化。将这种效应称为沟道长度调制效应。由式(1.158)和式(1.159), 可以得到

$$\frac{\partial I_D}{\partial V_{\text{DS}}} = -\frac{k'}{2} \frac{W}{L_{\text{eff}}^2} (V_{\text{GS}} - V_t)^2 \frac{dL_{\text{eff}}}{dV_{\text{DS}}} \quad (1.160)$$

故

$$\frac{\partial I_D}{\partial V_{\text{DS}}} = \frac{I_D}{L_{\text{eff}}} \frac{dX_d}{dV_{\text{DS}}} \quad (1.161)$$

这个等式类似于双极型晶体管的式(1.55)。采用同样的方法, 可以如下定义其厄尔利电压为

$$V_A = \frac{I_D}{\partial I_D / \partial V_{\text{DS}}} \quad (1.162)$$

故

$$V_A = L_{\text{eff}} \left(\frac{dX_d}{dV_{\text{DS}}} \right)^{-1} \quad (1.163)$$

对 MOS 管来说, 通常用来描述沟道长度调制效应的参数为厄尔利电压的倒数

$$\lambda = \frac{1}{V_A} \quad (1.164)$$

在双极型晶体管的情况下, 考虑其大信号特性时可以大致认为 λ 和 V_A 为常数, 与偏置条件无关。因此, 考虑沟道长度调制效应, 式(1.157)所示的电流-电压关系应作如下修正:

$$I_D = \frac{k'}{2} \frac{W}{L} (V_{\text{GS}} - V_t)^2 \left(1 + \frac{V_{\text{DS}}}{V_A} \right) = \frac{k'}{2} \frac{W}{L} (V_{\text{GS}} - V_t)^2 (1 + \lambda V_{\text{DS}}) \quad (1.165)$$

在实际的 MOS 晶体管中, 由于漏极耗尽区中的场分布并不是一维的, 所以 X_d 随电压的变化关系是很复杂的。这就导致了通过器件结构来计算 λ 的值是很困难的, 因此十分有必要通过实验测量数据来提取 λ 的有效值。参数 λ 与有效沟道长度成反比且随沟道掺杂浓度的增加而递减。 λ 的典型值在 $0.05 \sim 0.005 \text{ V}^{-1}$ 之间。

图 1.29 所示是 NMOS 晶体管 I_D 以 V_{GS} 为参数对 V_{DS} 的变化曲线图。当 $V_{\text{DS}} > (V_{\text{GS}} - V_t)$ 时器件工作在夹断区。对于 MOS 管, 夹断区又称饱和区。在饱和区, 输出特性曲线几乎是平坦的, 这表明输出电流主要取决于栅-源电压, 而几乎不受漏-源电压的影响。另一方面, 当 $V_{\text{DS}} < (V_{\text{GS}} - V_t)$ 时器件工作在可变电阻区又可称之为三极管区。在可变电阻区, MOS 管可以等效为一接在漏-源间的非线性压控电阻, 这是因为式(1.152)中的 V_{DS}^2 项, 使得该电阻的阻值对 V_{DS} 呈非线性变化。当 V_{DS} 值很小时, 式中的 V_{DS}^2 很小可以忽略, 相应的 MOS 管所体现出的非线性特性不是很明显, 所以有时将三极管区称为线性区。曲线 $V_{\text{DS}} = (V_{\text{GS}} - V_t)$ 是三极管区与饱和区的分界线。在分界线上, 既可以用式(1.152)来计算 I_D 也可以用式(1.157)来计算。由于沿分界线有 $V_{\text{DS}} = (V_{\text{GS}} - V_t)$, 所以由式(1.157)同样可以得到 $I_D = (k'/2)(W/L)V_{\text{DS}}^2$ 。从图 1.29 中可以看到分界线具有抛物线的特性。对

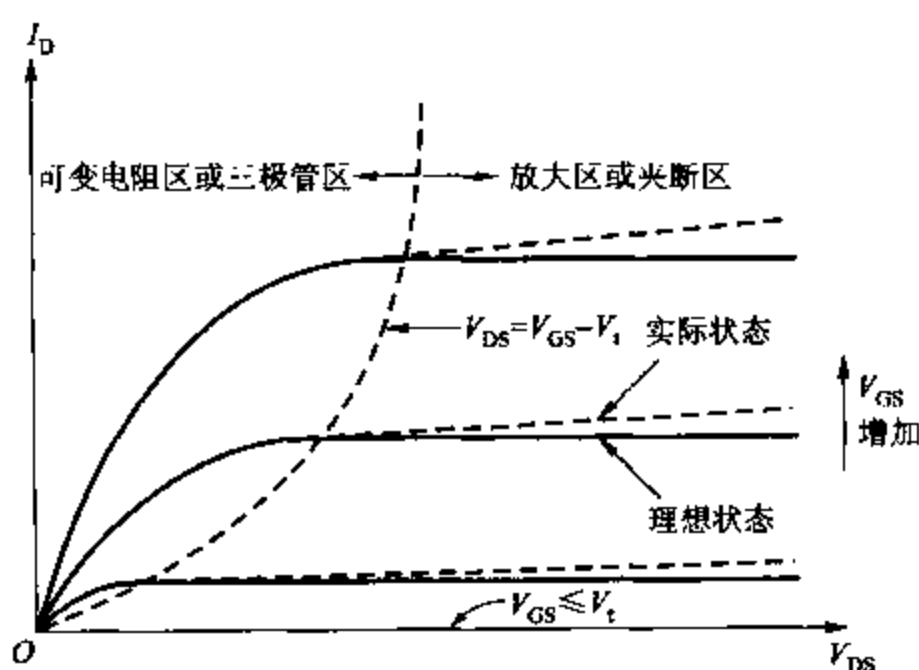


图 1.29 NMOS 器件的特性

于耗尽型 n 沟道 MOS 器件, V_t 是负值, 而且即使在 $V_{GS} = 0$ 时 I_D 也不为零。对于 PMOS 管, 所有的电压极性均取反。

从以上结论可以得到饱和状态下 NMOS 管的大信号等效模型。图 1.30 绘出了模型的拓扑结构, 在忽略沟道长度调制效应时, 可变电阻区的 I_D 可由式(1.152)给出, 饱和区的 I_D 可由式(1.157)给出。如果要考虑沟道长度调制效应, 在计算饱和区漏极电流时需式(1.159)和式(1.165)来代替式(1.157)。

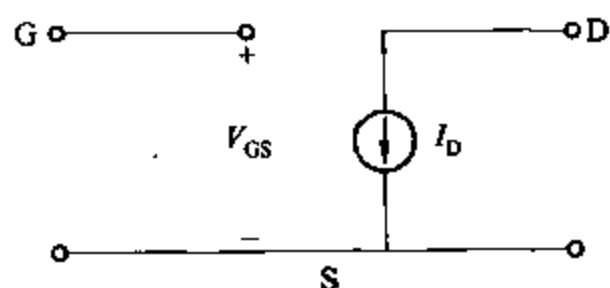


图 1.30 NMOS 晶体管的大信号等效模型

1.5.2 双极型晶体管和 MOS 晶体管工作区的比较

应该注意到 MOS 晶体管的饱和区与双极型晶体管的饱和区是有很大的区别的。一方面双极型晶体管的饱和区是指双极型晶体管工作在两个 pn 结均为正向偏置, 集电极-射极电压基本上可以视为常数或者说是饱和的。另一方面 MOS 晶体管的饱和区是指 MOS 晶体管工作在沟道仅在源区连续而在漏区被夹断的模式下。这时漏极电流基本上可以视为常数或者说是饱和的。为了避免混淆, 在本书中将用“放大区”这个名词来描述图 1.29 中所示的 MOS 晶体管特性曲线族中特性平坦的那部分区域。这样就可以在 MOS 晶体管和双极型晶体管之间建立一定的联系。将这种联系归纳在图 1.31 所示的表格中, 其中总结了 npn 双极型晶体管和 n 沟道 MOS 晶体管的各種工作模式。

当发射结正向偏置、集电结反向偏置时, 双极型晶体管工作在正向放大区。当发射结反向偏置、集电结正向偏置时, 双极型晶体管工作在反向放大区。区分双极型晶体管的这两种工作模式是很重要的, 因为集成双极型晶体管通常是不对称的, 也就是说对于少数载流子集电极的收集功能比发射功能要强, 同样的对于少数载流子发射极的发射功能比收集功能要

强。这种不对称性是由于在集成双极型晶体管中集电极是包围着发射极的,参见图 1.19。正是由于这种不对称性使得正向放大区的电流增益 β_F 要比反向放大区的电流增益 β_R 高很多。

npn 双极型晶体管			n 沟道 MOS 晶体管		
工作区	V_{BE}	V_{BC}	工作区	V_{GS}	V_{GD}
截止区	$< V_{BE(on)}$	$< V_{BC(on)}$	截止区	$< V_t$	$< V_t$
正向放大区	$\geq V_{BE(on)}$	$< V_{BC(on)}$	饱和区(放大)	$\geq V_t$	$< V_t$
反向放大区	$< V_{BE(on)}$	$\geq V_{BC(on)}$	饱和区(放大)	$< V_t$	$\geq V_t$
饱和区	$\geq V_{BE(on)}$	$\geq V_{BC(on)}$	三极管区	$\geq V_t$	$\geq V_t$

图 1.31 npn 双极型晶体管和 n 沟道 MOS 晶体的各种工作模式

相反,就前面的描述而言,MOS 晶体管的源极与漏极是完全可以互换的(在实际中,两者是基本上对称的,但并不是说完全对称)。所以,对于 MOS 晶体管,没有必要严格区分正向放大区和反向放大区。

在图 1.31 中还能看到,当 npn 双极型晶体管的两个 pn 结均加反向偏置时,晶体管将工作在截止区;相应的,当 MOS 晶体管所加的栅极偏置未使源极区与漏极区出现反型层时,MOS 管也将工作在截止区。另外,当 npn 双极型晶体管的两个 pn 结均加正向偏置时,晶体管将工作在饱和区,而当 MOS 晶体管所加栅极偏置足以使源极与漏极间产生连通的导电沟道时,MOS 管也将工作在饱和区。因此,通过上面的比较,可以看到 MOS 晶体管表面反型时的阈值电压类似于双极型晶体管中 pn 结正偏时的阈值电压。为了体现出这种类似,将使用图 1.32a 中所示的电路符号来表示 MOS 晶体管。在选择这些符号时,有意选择了那些和对应的双极型晶体管符号很相似的符号。在双极型晶体管符号中,发射结上箭头的方向即是发射结正偏时的电流方向。MOS 晶体管在通常的工作模式下,源区与衬底之间的 pn 结以及漏区与衬底之间的 pn 结均为反向偏置。因此,图 1.32a 中所示的箭头方向并不表示 pn 结,相反其表示的是在各端加偏置使得源极与漏极均正常工作时的电流方向。对于 NMOS 晶体管,所谓源极指的是电子的源极,因此在工作模式下,源极的电位比漏极的要低,而且沟道中电流的方向与电子流动的方向相反。对于 PMOS 晶体管,所谓源极指的是空穴的源极,因此在工作模式下,源极的电位比漏极的要高,并且沟道中电流的方向与空穴流动的方向一致。

在所有的 CMOS 工艺器件中,一种类型的管子将做在衬底上且通常总是与直流电压源相连接,因此通常也不在电路图中标示出来。然而,另一种类型的管子将做在一些单独的隔离区上。这些隔离区又称之为阱,它们之间既可以是连接的也可以是分离的,它们既可以与电压源相连接也可以不与电压源相连接。如果隔离区与适当的电源相连接,那么将使用图 1.32a 中所示的符号来表示且衬底的连线不标示出来。另一方面,如果这些单独的隔离区是与别处相连接,那么将使用图 1.32b 中所示的符号来表示且将衬底标注为 B 端。最后耗尽型 MOS 管在 $V_{GS} = 0$ 的沟道形式时用的符号如图 1.32c 所示。

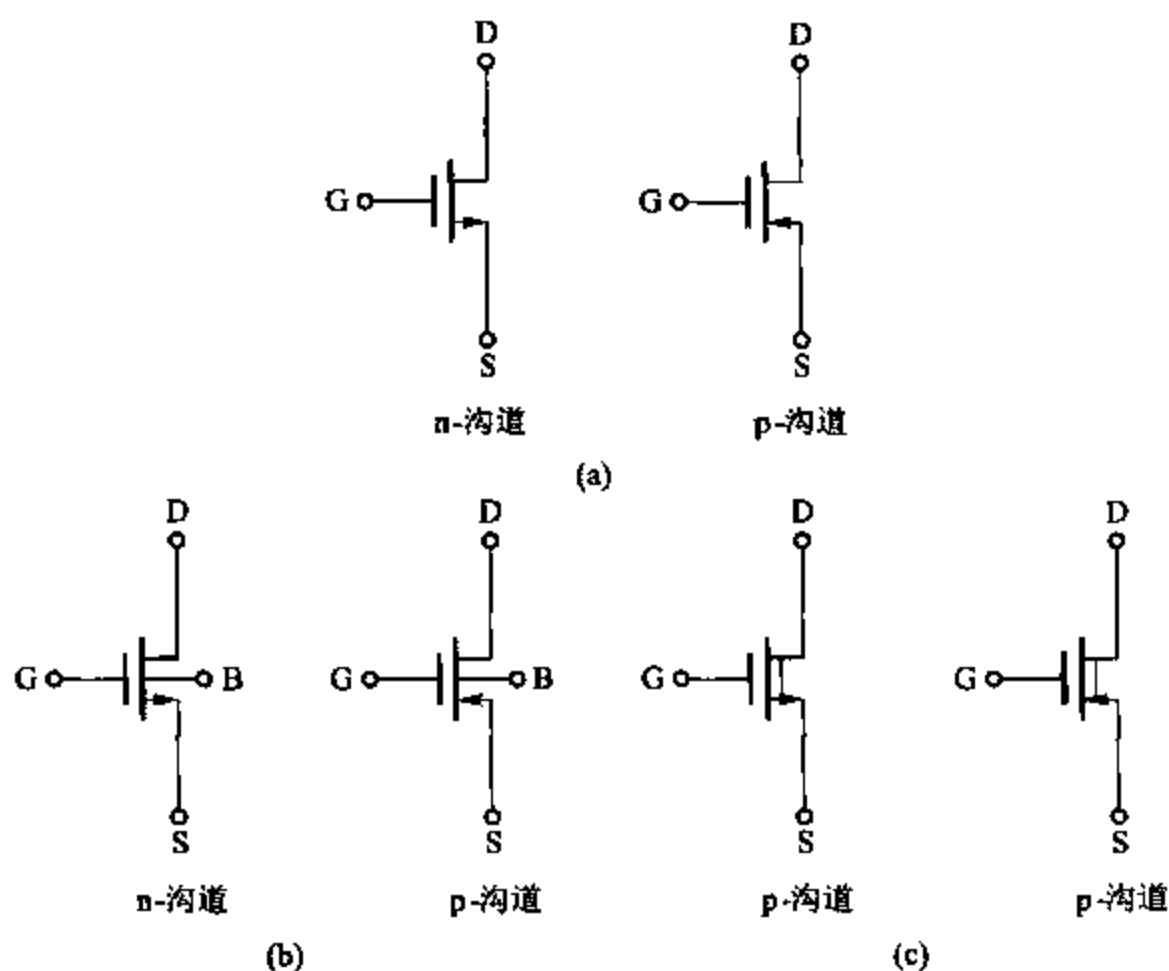


图 1.32 (a) CMOS 电路中用来表示 NMOS 管和 PMOS 管的符号;

(b) 衬底未按通常接法时用来表示 NMOS 管和 PMOS 管的符号;

(c) 耗尽型 MOS 管的符号

1.5.3 栅 - 源电压的分解

通常可以将一个 MOS 晶体管栅 - 源电压分成两部分,一部分为阈值电压 V_t ,另一部分为超过阈值电压的那部分 $V_{GS} - V_t$ 。在此将后者称之为过载电压。之所以将栅 - 源电压分成两部分,是因为这两部分电压具有不同的性质。对式(1.157)开方可得,过载电压的值为

$$V_{ov} = V_{GS} - V_t = \sqrt{\frac{2I_D}{k'(W/L)}} \quad (1.166)$$

由于跨导参数 k' 正比于迁移率,而迁移率又随着温度的升高而下降,所以过载电压随着温度的升高而升高。另外,在以后的章节中可看到阈值电压随着温度的升高而下降。不仅存在着上述的区别,从式(1.140)中也可以看到阈值电压与源 - 衬底电压有关,与电流无关,而从式(1.166)中看到,过载电压直接取决于电流,而与源 - 衬底电压无关。

1.5.4 阈值的温度独立性

假定源 - 衬底电压为零。将式(1.138)代入式(1.139)得

$$V_T = \frac{\sqrt{2qN_A\epsilon(2\phi_i)}}{C_{ox}} + 2\phi_i + \phi_{ms} - \frac{Q_{ss}}{C_{ox}} \quad (1.167)$$

假定 ϕ_{ms} , Q_{ss} 以及 C_{ox} 与温度无关。¹⁹ 对式(1.167)求微分得

$$\frac{dV_T}{dT} = \frac{\sqrt{2qN_A\epsilon(2)}d\phi_i}{2C_{ox}\sqrt{\phi_i}} \frac{d\phi_i}{dT} + 2 \frac{d\phi_i}{dT} = \frac{d\phi_i}{dT} \left[2 + \frac{1}{C_{ox}} \sqrt{\frac{qN_A\epsilon}{\phi_i}} \right] \quad (1.168)$$

将式(1.136)代入式(1.135)得

$$\phi_i = \frac{kT}{q} \ln \left[\frac{N_A \exp\left(\frac{E_g}{2kT}\right)}{\sqrt{N_c N_v}} \right] \quad (1.169)$$

假设 N_c 与 N_v 均与温度无关, 再对式(1.169)求微分得

$$\frac{d\phi_i}{dT} = \frac{kT}{q} \left[-\frac{E_g}{2kT^2} \right] + \frac{k}{q} \ln \left[\frac{N_A \exp\left(\frac{E_g}{2kT}\right)}{\sqrt{N_c N_v}} \right] \quad (1.170)$$

将式(1.169)代入式(1.170)并化简得

$$\frac{d\phi_i}{dT} = -\frac{E_g}{2qT} + \frac{\phi_i}{T} = -\frac{1}{T} \left[\frac{E_g}{2q} - \phi_i \right] \quad (1.171)$$

将式(1.141)和式(1.171)代入式(1.135)得

$$\frac{dV_T}{dT} = -\frac{1}{T} \left[\frac{E_g}{2q} - \phi_i \right] \left[2 + \frac{\gamma}{\sqrt{2\phi_i}} \right] \quad (1.172)$$

等式(1.172)表明当 $\phi_i < E_g/(2q)$ 时, 阈值电压随温度升高而下降。下降率通常为 $-0.5 \sim -4 \text{ mV/}^\circ\text{C}$ 之间²¹。

示例

假设 $T = 300 \text{ K}$, $N_A = 10^{15} \text{ cm}^{-3}$, 且 $t_{ox} = 100 \text{ \AA}$, 求 dV_T/dT 。

由式(1.135)得

$$\phi_i = (25.8 \text{ mV}) \ln \left(\frac{10^{15} \text{ cm}^{-3}}{1.45 \times 10^{10} \text{ cm}^{-3}} \right) = 287 \text{ mV} \quad (1.173)$$

此外

$$\frac{E_g}{2q} = \frac{1.12 \text{ eV}}{2q} = 0.56 \text{ V} \quad (1.174)$$

将式(1.173)和式(1.174)代入式(1.171)得

$$\frac{d\phi_i}{dT} = -\frac{1}{300} (560 - 287) \frac{\text{mV}}{\text{K}} = -0.91 \frac{\text{mV}}{\text{K}} \quad (1.175)$$

从式(1.142)得

$$C_{ox} = \frac{3.9 \times (8.854 \times 10^{-14} \text{ F/cm})}{100 \times 10^{-8} \text{ cm}} = 3.45 \frac{\text{fF}}{\mu\text{m}^2} \quad (1.176)$$

此外

$$\begin{aligned}\frac{\gamma}{\sqrt{2}\phi_i} &= \frac{1}{C_{ox}} \sqrt{\frac{(2)(1.6 \times 10^{-19} \text{ C})(11.7)(8.854 \times 10^{-14} \text{ F/cm})(10^{15} \text{ cm}^{-3})}{(2)(0.287 \text{ V})}} \\ &= \frac{2.4 \times 10^{-8} \text{ F/cm}^2}{3.45 \times 10^{-15} \text{ F}/\mu\text{m}^2} = \frac{2.4 \times 10^{-16} \text{ F}/\mu\text{m}^2}{3.45 \times 10^{-15} \text{ F}/\mu\text{m}^2} = 0.07\end{aligned}\quad (1.177)$$

将式(1.173)至式(1.177)代入式(1.172)得

$$\frac{dV_i}{dT} = \left(-0.91 \frac{\text{mV}}{\text{K}} \right) (2 + 0.07) \approx -1.9 \frac{\text{mV}}{\text{K}} = -1.9 \frac{\text{mV}}{^\circ\text{C}} \quad (1.178)$$

1.5.5 MOS 器件的电压限制

下面将讨论 MOS 晶体管的一些主要的电压极限。^{22,23} 其中一些电压极限主要取决于栅极长度 L , 另一些电压极限受栅极长度 L 的影响不大。同样, 超过一些电压极限将会造成永久性损坏, 而超过另一些电压极限, 只要能够避免过热现象的发生, 不会造成任何损伤。

结击穿 对于沟道较长的器件, 漏极耗尽区对沟道的影响可以忽略, 且 $I_D - V_{DS}$ 曲线与图 1.29 所示的理想曲线非常接近。然而随着 V_{DS} 的增大, 最后将超过漏 - 衬底间 pn 结的击穿电压, 这时漏极电流会由于雪崩击穿的作用而迅速增大, 就像 1.2.2 节中所描述。这种现象不是永久性损坏。

穿通击穿 在 MOS 晶体管中, 如果在结击穿发生前, 漏极附近的耗尽区已经和源极附近的耗尽区相连, 那么, 增加漏 - 源电压会降低电子在这两极间迁移的阻力, 从而增加漏极电流。将这种现象称为穿通击穿。由于这种现象是否发生依赖于两耗尽区是否相连, 所以也就与栅极长度有关。穿通击穿不会造成永久性损伤, 而且其所引起的漏极电流的增加要比由于雪崩击穿而造成的漏极电流的增加要平缓得多。穿通击穿通常发生在硅表面的下方, 所以通常用加大硅表面的下方的离子掺杂浓度以减小耗尽区尺寸的方法来预防这种现象的发生。

热载流子 足够强的水平电场或垂直电场会使得电子或空穴达到足够的速度以注入氧化物层, 其中除了一些被捕获的载流子, 大部分汇入了栅极电流。之所以称其为热载流子, 上面所说的速度一般是大于随机热速度。在氧化物层被捕获的载流子会改变阈值电压的值, 因此会导致晶体管在本应截止的时候而依然开启, 反之亦然。这就意味着, 热载流子的注入是一种破坏性的过程。上述的这个问题通常在短沟道器件中比较严重, 因为其水平电场强度一般比较大。

氧化物击穿 除了 V_{DS} 有限制外, 为保护 MOS 器件应不在过大的栅极电压下工作。栅极氧化物发生击穿时的电场强度通常在 $6 \times 10^6 \sim 7 \times 10^6 \text{ mV/cm}$ 之间,^{24,25} 相当于在栅极和沟道间氧化物层厚度为 100 \AA 时, 加入 $6 \sim 7 \text{ V}$ 的电压。由于上述击穿依赖于垂直电场强度, 所以与沟道长度无关。但是, 这种击穿是有破坏性的, 其会导致栅极与沟道间有连接阻抗。氧化物击穿会由静态电荷引起, 所以为了防止这种击穿, MOS 集成电路的输入输出级器件常常在一些敏感的结点上接入 pn 结二极管和电阻用来限制电压。

1.6 MOS 晶体管的小信号模型

正如 1.5 节中所说的,在模拟电路中也会经常用到 MOS 晶体管。可以利用小信号模型来简化电路增益以及终端电阻的计算。和双极型晶体管的情况一样, MOS 管也存在着很多复杂程度不同的模型,因此在实际中如何针对所需的分析选择最简单的模型是个很重要的问题。

下面讨论图 1.33 所示的 MOS 晶体管,加偏置电压 V_{GS} 和 V_{DD} ,由这些偏置电压产生静态漏极电流 I_D 。当 $V_{GS} > V_t$ 且 $V_{DD} > (V_{GS} - V_t)$ 时,晶体管工作在饱和区或放大区。在 V_{GS} 上串联一个小信号输入电压 v_i ,由此就会在漏极电流上产生一小的增量 i_d 。故总的漏极电流 $I_d = (I_D + i_d)$ 。

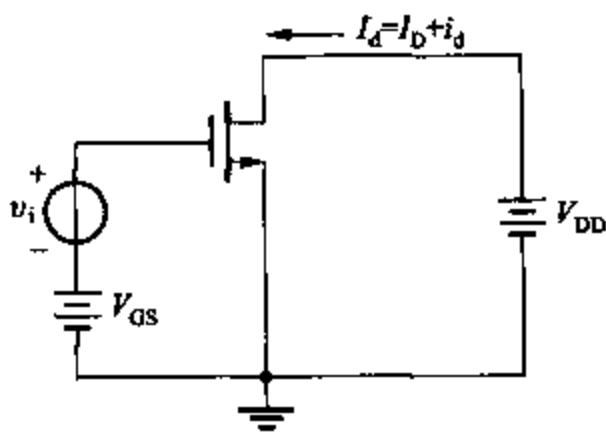


图 1.33 加偏置的 MOS 晶体管的电路原理图

1.6.1 跨导

假设对式(1.165)求导可以得到栅极跨导

$$g_m = \frac{\partial I_D}{\partial V_{GS}} = k' \frac{W}{L} (V_{GS} - V_t)(1 + \lambda V_{DS}) \quad (1.179)$$

假设 $\lambda V_{DS} \ll 1$, 则式(1.179)可以化简为

$$g_m = k' \frac{W}{L} (V_{GS} - V_t) = \sqrt{2k' \frac{W}{L} I_D} \quad (1.180)$$

与双极型晶体管不同的是, MOS 晶体管的跨导正比于偏置电流平方根, 且依赖于器件的几何尺寸(氧化物层的厚度 k' 以及 W/L)。下面可以通过计算跨导与电流的比值得到另一个双极型晶体管与 MOS 晶体管间的重要区别。对于 MOS 晶体管, 利用式(1.157)和式(1.180)可得

$$\frac{g_m}{I_D} = \frac{2}{V_{GS} - V_t} = \frac{2}{V_{ov}} \quad (1.181)$$

同样, 对于双极型晶体管, 由式(1.91)可得

$$\frac{g_m}{I_C} = \frac{q}{kT} = \frac{1}{V_T} \quad (1.182)$$

在室温下, 热电压 V_T 通常取 26 mV。相反的, 对于 MOS 晶体管, 在很多的应用中, 为了能得到很高的工作频率, 将过载电压 V_{ov} 设置在几百毫伏。(在 1.6.8 节中将看到, MOS 晶体管的工作频率 f_T 正比与过载电压的值。)在这些条件下, 双极型晶体管的单位电流的跨导值是远大于 MOS 晶体管的。因此对于 MOS 模拟电路的设计, 其中一个重要的挑战就是如何设计出具有低跨导 - 电流率的高性能模拟电路。

式(1.180)中计算的跨导仅在小信号分析中是正确的。当漏极电流的变化是由栅 - 源

电压的变化引起的时候,小信号分析就不再适用了,这时候就要用大信号的观点来分析了。此时图 1.33 所示的总的漏极电流可用式(1.157)计算得

$$I_d = \frac{k'}{2} \frac{W}{L} (V_{GS} + v_i - V_t)^2 = \frac{k'}{2} \frac{W}{L} [(V_{GS} - V_t)^2 + 2(V_{GS} - V_t)v_i + v_i^2] \quad (1.183)$$

将式(1.157)代入式(1.183)得

$$I_d = I_D + \frac{k'}{2} \frac{W}{L} [2(V_{GS} - V_t)v_i + v_i^2] \quad (1.184)$$

整理(1.184)式得

$$i_d = I_d - I_D = k' \frac{W}{L} (V_{GS} - V_t) v_i \left[1 + \frac{v_i}{2(V_{GS} - V_t)} \right] \quad (1.185)$$

假设小信号输入 $|v_i|$ 的数量级远小于式(1.166)中定义的过载电压的两倍,则在式(1.185)中代入式(1.180)得

$$i_d \approx g_m v_i \quad (1.186)$$

特别指出的是:若 $|v_i| < |\Delta V_{GS}|$ 小于过载电压的 20%, 则小信号分析的误差小于 10%。

1.6.2 栅-源以及栅-漏固有电容

由于 C_{ox} 是从栅极到沟道的单位面积的氧化物电容,所以栅极下的总电容就是 $C_{ox}WL$ 。在一定的模式下,器件的电容是固有的。在器件的可变电阻区,导电沟道贯通在源极与漏极之间,因此栅-沟道电容由分别来自于漏极和源极相同的两部分组成

$$C_{gs} = C_{gd} = \frac{C_{ox}WL}{2} \quad (1.187)$$

然而,在饱和区或放大区,沟道在到达漏极区之前就被夹断,相应的漏极电压也就对沟道以及栅极电荷的影响很小。因此,固有电容中 C_{gd} 的那部分必然为零。为了计算固有电容中的另一部分 C_{gs} ,先计算沟道中储存的总的电荷数 Q_T 。将(1.145)式代入式(1.144)并求积分可得

$$Q_T = WC_{ox} \int_0^L [V_{GS} - V(y) - V_t] dy \quad (1.188)$$

从式(1.150)中解出 dy , 并将其代入式(1.188)得

$$Q_T = \frac{W^2 C_{ox}^2 \mu_n}{I_D} \int_0^{V_{GS} - V_t} (V_{GS} - V - V_t)^2 dV \quad (1.189)$$

其中,积分上限 $y=L$ 在饱和区或放大区对应于 $V = (V_{GS} - V_t)$ 。求解式(1.189)并结合式(1.153)以及式(1.157)可得

$$Q_T = \frac{2}{3} WLC_{ox} (V_{GS} - V_t) \quad (1.190)$$

因此,在饱和区或放大区有

$$C_{gs} = \frac{\partial Q_T}{\partial V_{GS}} = \frac{2}{3} WLC_{ox} \quad (1.191)$$

和

$$C_{gd} = 0 \quad (1.192)$$

1.6.3 输入电阻

在 MOS 晶体管中,栅极与沟道之间有 SiO_2 作为绝缘层。因此,低频时栅极电流必然为零即输入电阻为无穷大。上述特性在有些电路中是很重要的,如采样-保持放大器,可以在 MOS 晶体管的栅极上接一电容来感应电压变化,以避免泄漏维持电压所需的电荷。相反,双极型晶体管有一个很小但非零的基极电流即在基区存在有限的输入电阻,这就使得双极型晶体管采样-保持放大器的设计变得复杂了。

1.6.4 输出电阻

在 1.5.1 节中描述了 MOS 晶体管漏-源电压变化对其大信号特性的影响。对于 n 沟道 MOS 晶体管,当其工作在饱和区或放大区时,增加漏-源电压会增加漏极附近耗尽区的宽度,减少有效沟道长度。这种效应称为沟道长度调制效应,其会使得漏极电流随漏-源电压增加而增加。由此,可以计算出由漏-源电压的增量 ΔV_{DS} 而引起的漏极电流的增量 ΔI_{D} 为

$$\Delta I_{\text{D}} = \frac{\partial I_{\text{D}}}{\partial V_{\text{DS}}} \Delta V_{\text{DS}} \quad (1.193)$$

将式(1.161)、(1.163)和(1.164)代入式(1.193)得

$$\frac{\Delta V_{\text{DS}}}{\Delta I_{\text{D}}} = \frac{V_{\text{A}}}{I_{\text{D}}} = \frac{1}{\lambda I_{\text{D}}} = r_{\text{o}} \quad (1.194)$$

其中, V_{A} 是厄尔利电压; λ 是沟道长度调制系数; I_{D} 是忽略沟道长度调制效应的漏极电流,由式(1.157)给出; r_{o} 是晶体管小信号输出电阻。

1.6.5 MOS 晶体管的基本小信号模型

综合前述小信号电路的原理,可以得到 MOS 晶体管的小信号模型如图 1.34 所示。该模型表征的是饱和模式(放大模式)下的 n 沟道晶体管,称之为混合 π 模型。分别用字母 D、G 和 S 来表示漏极、栅极和源极。从该模型中可以得知,当栅-源电压增加时,引起从漏极流向源极的增量电流 i_{d} 也将增加。由于在 NMOS 晶体管中,直流漏极电流 I_{D} 的流向也是从漏极流向源极,因此增加栅-源电压同样会增加总的漏极电流 I_{d} 。可以从物理的角度来解释上述这个合理的结论,因为增加栅-源电压就会增加沟道的导电性,从而增加漏极电流。

图 1.34 所示模型同样适用于 p 沟道晶体管。因此,从该模型中同样可以得知,当栅-源电压增加时,引起从漏极流向源极的增量电流 i_{d} 也将增加。然而与 n 沟道晶体管不同的是,在 p 沟道晶体管中直流漏极电流 I_{D} 的流向是从源极流向漏极,因为这里的源极是空穴的源极。因此增加栅-源电压时,漏极电流的增量与直流漏极电流的方向相反,这就减少了总的漏极电流 I_{d} 。同样可以从物理的角度来解释上述结论的合理性,因为增加 p 沟道晶体管的栅-源电压就会降低沟道的导电性,从而减少漏极电流。

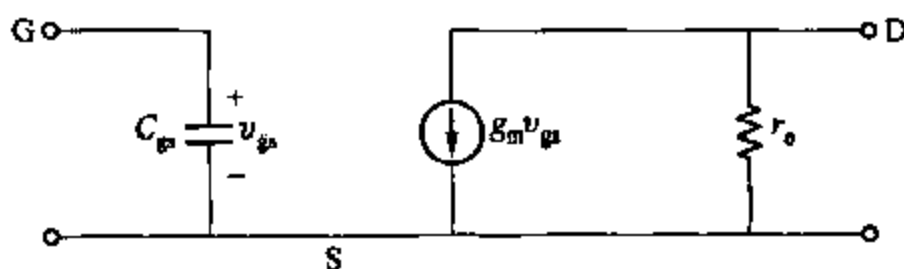


图 1.34 MOS 晶体管饱和模式(放大模式)下的基本的小信号模型

1.6.6 衬底跨导

漏极电流是栅-源电压和衬底-源电压共同作用的结果。一方面,栅-源电压控制着垂直电场强度,垂直电场强度又控制着导电沟道的导电能力,因此也就控制着漏极电流;另一方面,衬底-源电压改变着阈值电压的值,阈值电压在一定的栅-源电压下又可以改变漏极电流。这种由衬底层引起的类似于次栅极的效应又称为衬底效应。注意:MOS 晶体管的衬底层通常与一个固定的电压源相连接,这个电压源为一小信号电源或为交流接地点。然而,源极的接法对 MOS 管的交流电压有很大的影响,在衬底电压一定的情况下,其可以改变衬底-源电压。因此,当衬底-源电压值不为常数时,需要用两个跨导来表征 MOS 晶体管:一个与主栅极有关,另一个与衬底或者说是次栅极有关。

利用式(1.165)可得衬底或说是次栅极跨导为

$$g_{mb} = \frac{\partial I_D}{\partial V_{BS}} = -k' \frac{W}{L} (V_{GS} - V_t)(1 + \lambda V_{DS}) \frac{\partial V_t}{\partial V_{BS}} \quad (1.195)$$

由式(1.140)得

$$\frac{\partial V_t}{\partial V_{BS}} = -\frac{\gamma}{2\sqrt{2\phi_f + V_{SB}}} = -\chi \quad (1.196)$$

该式定义了因子 χ , 表示阈值电压对衬底偏置电压的偏导率。将式(1.141)代入式(1.196)并结合式(1.20)得

$$\chi = \frac{C_{js}}{C_{ox}} \quad (1.197)$$

其中, C_{js} 是沟道下耗尽区的单位面积电容。假设单边结内电势为 $\phi_0 = 2\phi_f$ 。将式(1.196)代入式(1.195)得

$$g_{mb} = \frac{\gamma k' (W/L) (V_{GS} - V_t)(1 + \lambda V_{DS})}{2\sqrt{2\phi_f + V_{SB}}} \quad (1.198)$$

假设 $\lambda V_{DS} \ll 1$, 得

$$g_{mb} = \frac{\gamma k' (W/L) (V_{GS} - V_t)}{2\sqrt{2\phi_f + V_{SB}}} = \gamma \sqrt{\frac{k' (W/L) I_D}{2(2\phi_f + V_{SB})}} \quad (1.199)$$

比率 g_{mb}/g_m 在实际中是很重要的量。从式(1.179)和式(1.198)得

$$\frac{g_{mb}}{g_m} = \frac{\gamma}{2\sqrt{2\phi_f + V_{SB}}} = \chi \quad (1.200)$$

因子 χ 通常取值在 0.1~0.3 之间。因此,主栅极跨导通常是次栅极跨导的 3~10 倍。

1.6.7 小信号模型的寄生单元

上面所描述的 MOS 晶体管小信号模型中的各要素是最基本的,因为它们直接关系到器件的基本工作模式。然而,就双极型晶体管而言,由于其制造工艺上的局限性,导致在绝大多数集成电路晶体管的电路方程中不得不引入大量寄生单元。图 1.35 所示为典型 NMOS 晶体管的横截面图和顶视图。器件的制造工艺将在第二章介绍。

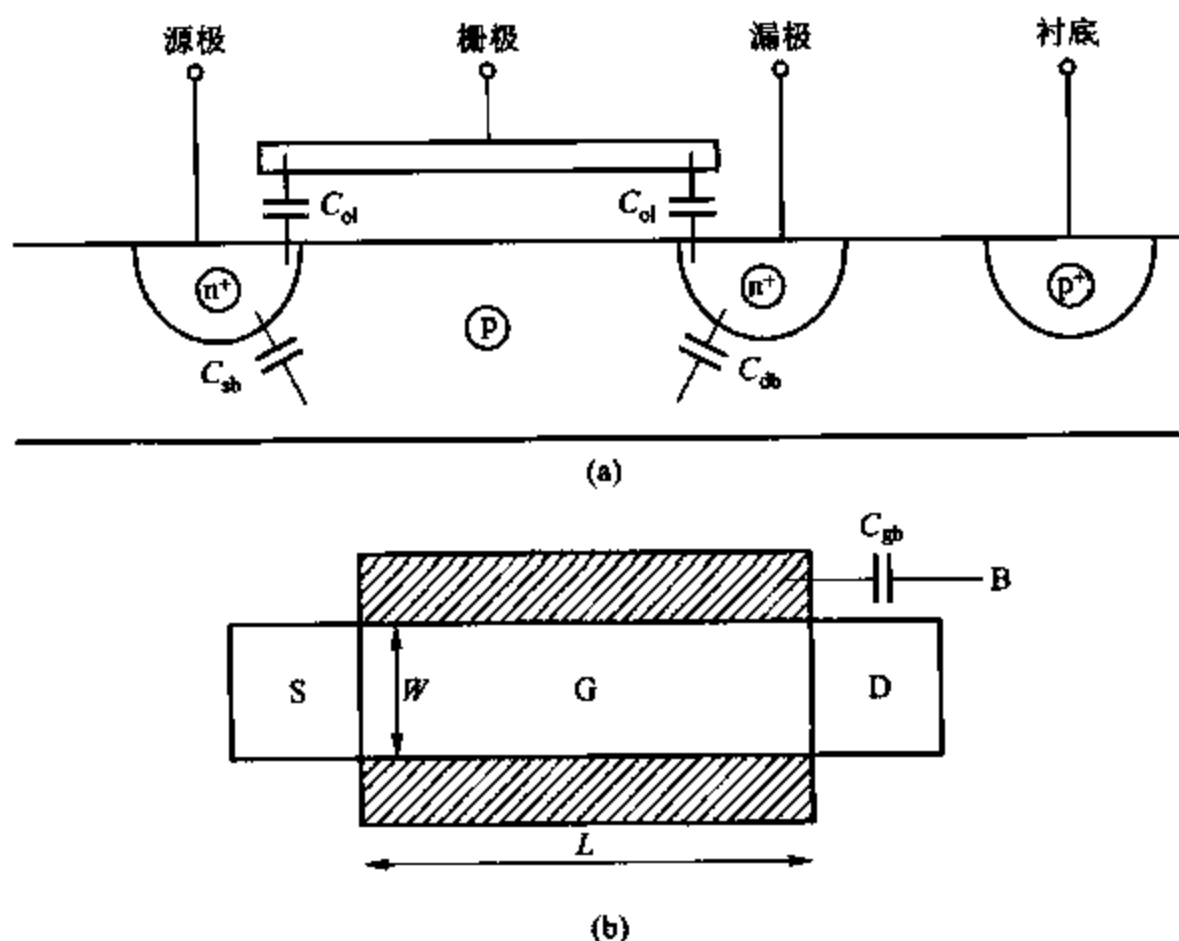


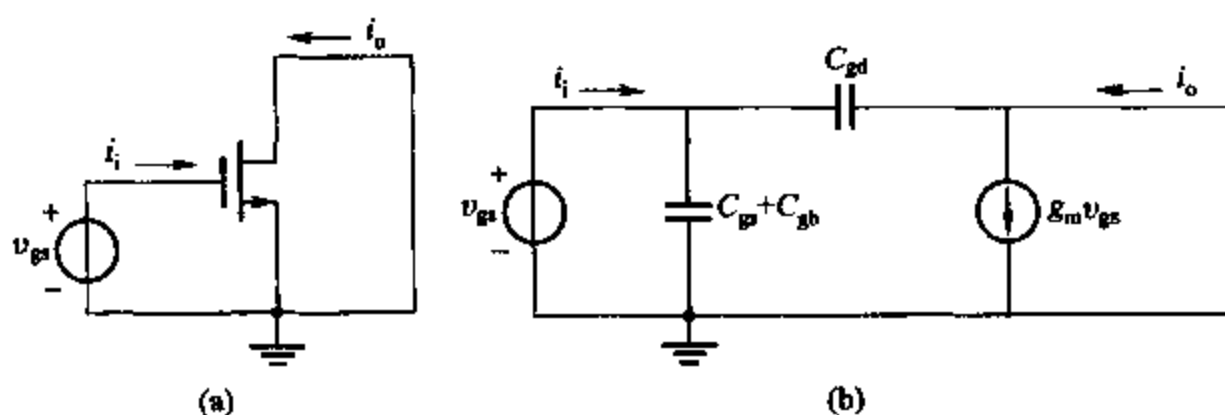
图 1.35 n 沟道 MOS 器件的横截面图和顶视图

在正常工作模式下,MOS 晶体管中的所有 pn 结都须反向偏置,且每个 pn 结都会表现出与耗尽区相关的依赖于电压的寄生电容,源-衬底间和漏-衬底间的结电容在图 1.35a 中分别用 C_{sb} 和 C_{db} 表示。假设源区、漏区及衬底区的掺杂浓度为常数,则利用式(1.21)可以得到这些电容值如下:

$$C_{sb} = \frac{C_{sb0}}{\left(1 + \frac{V_{SB}}{\psi_0}\right)^{1/2}} \quad (1.201)$$

$$C_{db} = \frac{C_{db0}}{\left(1 + \frac{V_{DB}}{\psi_0}\right)^{1/2}} \quad (1.202)$$

这些电容正比于源区与漏区的面积(包括侧面)。由于在饱和区或放大区,沟道和源极相连, C_{sb} 也应包括从感应沟道到衬底层的耗尽区的电容。有关沟道-衬底电容的详细讨论见

图 1.37 计算 MOS 晶体管 f_T 的电路图

(a) 交流原理图; (b) 小信号等效电路

$$i_i = s(C_{gs} + C_{gb} + C_{gd})v_{gs} \quad (1.203)$$

如果忽略流过 C_{gd} 的电流, 则

$$i_o \approx g_m v_{gs} \quad (1.204)$$

从式(1.203)中解出 v_{gs} 并代入式(1.204)得

$$\frac{i_o}{i_i} \approx \frac{g_m}{s(C_{gs} + C_{gb} + C_{gd})} \quad (1.205)$$

为了计算频率响应, 令 $s = j\omega$, 则

$$\frac{i_o}{i_i} \approx \frac{g_m}{j\omega(C_{gs} + C_{gb} + C_{gd})} \quad (1.206)$$

当

$$\omega = \omega_T = \frac{g_m}{C_{gs} + C_{gb} + C_{gd}} \quad (1.207)$$

小信号电流增益为单位值。因此

$$f_T = \frac{1}{2\pi} \omega_T = \frac{1}{2\pi} \frac{g_m}{C_{gs} + C_{gb} + C_{gd}} \quad (1.208)$$

假设器件固有电容 C_{gs} 远大于 $(C_{gb} + C_{gd})$, 则将式(1.180)和式(1.191)代入式(1.208)得

$$f_T = 1.5 \frac{\mu_n}{2\pi L^2} (V_{GS} - V_T) \quad (1.209)$$

忽略耗尽层寄生电容的影响, 将上式与双极型晶体管的固有频率 f_T 相比较。由式(1.128)和式(1.130)并结合 $\tau_F \gg (C_{je} + C_{jc})/g_m$ 得

$$f_T = \frac{1}{2\pi \tau_F} \quad (1.210)$$

利用式(1.99)并应用爱因斯坦关系式 $D_n/\mu_n = kT/q = V_T$, 得到双极型晶体管的

$$f_T = 2 \frac{\mu_n}{2\pi W_B^2} V_T \quad (1.211)$$

式(1.211)和式(1.209)之间的相似之处是很明显的。两种器件的固有频率 f_T 都与载流子

传输时所经过的器件的关键尺寸的平方成反比。对于双极型晶体管, $V_T = 26 \text{ mV}$ 是固定的, 但是对于 MOS 晶体管, 则可以工作在很高的 $(V_{GS} - V_T)$ 下。注意双极型晶体管的基极宽度 W_B 是一垂直尺寸, 而且可以做得比 MOS 晶体管的沟道长度 L 小很多。因为双极型晶体管的 W_B 取决于其扩散或掺杂浓度, 而 MOS 晶体管的 L 是取决于其几何尺寸和照相平版印刷工艺。因此, 双极型晶体管的 f_T 通常要比同工艺水平生产出来的 MOS 晶体管要高。最后, 式(1.209)得出的结论是在以假设 MOS 晶体管满足平方律即式(1.157)成立为前提的。但是正如 1.7 节中所描述的, 亚微型 MOS 晶体管是偏离平方律的, 且会发现对于亚微型 MOS 晶体管, f_T 是正比于 L^{-1} 而不是 L^{-2} 。

示例

根据 NMOS 晶体管的小信号模型有: $I_D = 100 \mu\text{A}$, $V_{SB} = 1 \text{ V}$, $V_{DS} = 2 \text{ V}$ 。器件参数有: $\phi_t = 0.3 \text{ V}$, $W = 10 \mu\text{m}$, $L = 1 \mu\text{m}$, $r = 0.5 \text{ V}^{1/2}$, $k' = 200 \mu\text{A/V}^2$, $\lambda = 0.02 \text{ V}^{-1}$, $t_{ox} = 100 \text{ \AA}$, $\phi_0 = 0.6 \text{ V}$, $C_{sb0} = C_{db0} = 10 \text{ fF}$ 。栅源间以及栅漏间的交叠电容为 1 fF 。假定 $C_{gb} = 5 \text{ fF}$ 。

由式(1.166)得

$$V_{ov} = V_{GS} - V_T = \sqrt{\frac{2I_D}{k'(W/L)}} = \sqrt{\frac{2 \times 100}{200 \times 10}} \text{ V} \approx 0.316 \text{ V}$$

因为 $V_{DS} > V_{ov}$, 晶体管工作在饱和区或放大区。由式(1.180), 得

$$g_m = \sqrt{2k' \frac{W}{L} I_D} = \sqrt{2 \times 200 \times 10 \times 100} \mu\text{S} \approx 632 \mu\text{S}$$

由式(1.199), 得

$$g_{mb} = \gamma \sqrt{\frac{k'(W/L)I_D}{2(2\phi_t + V_{SB})}} = 0.5 \sqrt{\frac{200 \times 10 \times 100}{2 \times 1.6}} \mu\text{A/V} \approx 125 \mu\text{S}$$

由式(1.194), 得

$$r_o = \frac{1}{\lambda I_D} = \frac{1000}{0.02 \times 100} \text{ k}\Omega = 500 \text{ k}\Omega$$

利用式(1.201)且 $V_{SB} = 1 \text{ V}$, 可以发现

$$C_{sb} = \frac{10}{\left(1 + \frac{1}{0.6}\right)^{1/2}} \text{ fF} \approx 6 \text{ fF}$$

漏极到衬底的电位差

$$V_{DB} = V_{DS} + V_{SB} = 3 \text{ V}$$

代入式(1.202)得

$$C_{db} = \frac{10}{\left(1 + \frac{3}{0.6}\right)^{1/2}} \text{ fF} \approx 4 \text{ fF}$$

由式(1.142), 单位面积氧化物层的电容

$$C_{ox} = \frac{3.9 \times 8.854 \times 10^{-14} \frac{\text{F}}{\text{cm}} \times \frac{100 \text{ cm}}{10^6 \mu\text{m}}}{100 \text{ \AA} \times \frac{10^6 \mu\text{m}}{10^{10} \text{ \AA}}} \approx 3.45 \frac{\text{fF}}{\mu\text{m}^2}$$

栅-源固有电容可以用式(1.191)计算,得

$$C_{gs} \approx \frac{2}{3} \times 10 \times 1 \times 3.45 \text{ fF} \approx 23 \text{ fF}$$

附加交叠电容为

$$C_{gs} \approx 24 \text{ fF}$$

最后,由于器件工作在饱和区或放大区,栅-漏电容仅由交叠电容组成,而且有

$$C_{gd} = 1 \text{ fF}$$

完整的小信号等效电路如图 1.38 所示。器件的 f_T 可由式(1.208)计算,得

$$f_T = \frac{1}{2\pi} \frac{g_m}{C_{gs} + C_{gb} + C_{gd}} = \frac{1}{2\pi} \times 632 \times 10^{-6} \times \frac{10^{15}}{24 + 5 + 1} \text{ Hz} = 3.4 \text{ GHz}$$

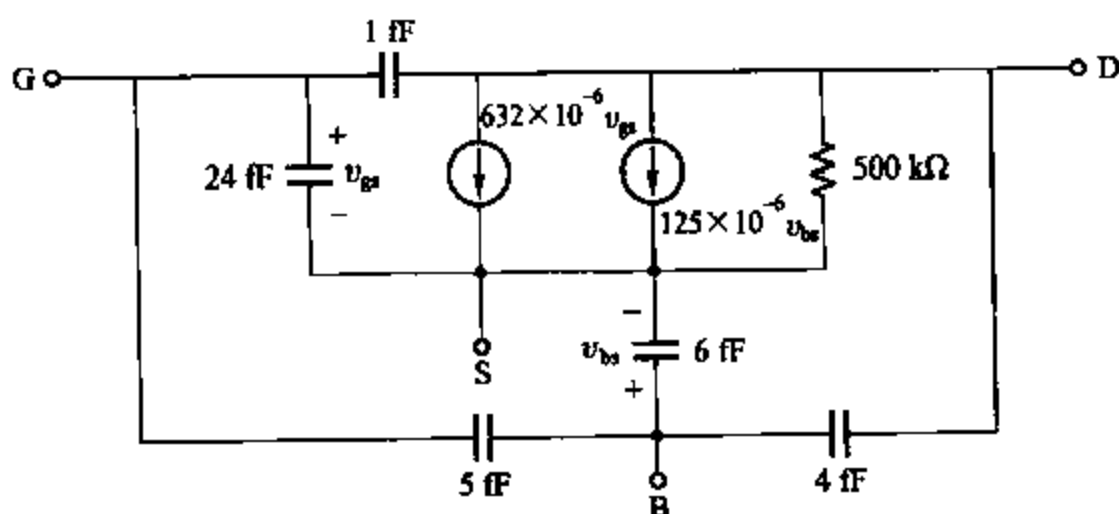


图 1.38 NMOS 晶体管的完整的小信号等效电路

1.7 MOS 晶体管的短沟道效应

集成电路工艺的发展导致有源器件的水平和垂直尺寸都在不断降低。(无源器件所需的最小尺寸也相应的降低了。)这种趋势主要是由经济利益所驱动的,因为减小尺寸就可以一次在一个给定的晶片上生产更多的元器件和电路。另一个益处就是放大器件的频率特性会不断改善,因为特征频率 f_T 的值随着尺寸的减小而增加,同时寄生电容也会相应减少。

器件的垂直尺寸,如双极型晶体管的基极宽度,现在在制造工艺中规定为 $0.05 \mu\text{m}$ 以下;器件的水平尺寸,如双极型晶体管的射极宽度或 MOS 晶体管的栅极长度,一般远小于 $1 \mu\text{m}$ 。即使在这么小的尺寸下,前面章节所介绍的双极型晶体管的大信号和小信号模型依然成立。然而对于 MOS 晶体管,当沟道长度小于 $1 \mu\text{m}$ 时,就会显示出显著的短沟道效应,因而就要修改前面所给出的 MOS 管模型。主要的效应表现在使 MOS 管在饱和区或放大

区的经典平方律传输特性变得更加线性。然而,即便是在亚微型工艺中,有些模拟电路中的 MOS 晶体管有意将沟道长度设计为大于最小值,这样就可以得到十分近似的平方律模型。

1.7.1 水平场中的速率饱和

MOS 晶体管最主要的短沟道效应来源于沟道中载流子的饱和速率。²⁷当 MOS 晶体管工作在三极管区时,沿沟道的平均水平电场强度 V_{DS}/L 。当 V_{DS} 较小或 L 较大时,水平电场强度较低,式(1.148)所表示的载流子速率与场强间的线性关系是成立的。但是,当场强很高时,载流子速率达到热力学速率后,载流子的加速度就会随着场强的增加而降低。将这种效应表示于图 1.39 中,图中显示出标准情况下 NMOS 管表面沟道中的电子漂移速率 v_d 的测量值与水平电场强度 E 的关系。当场强较低时,漂移速度正比于场强;当场强较高时,漂移速率就会达到一个常数,称之为极限散射速率 v_{sd} 。曲线的近似解析表达式为

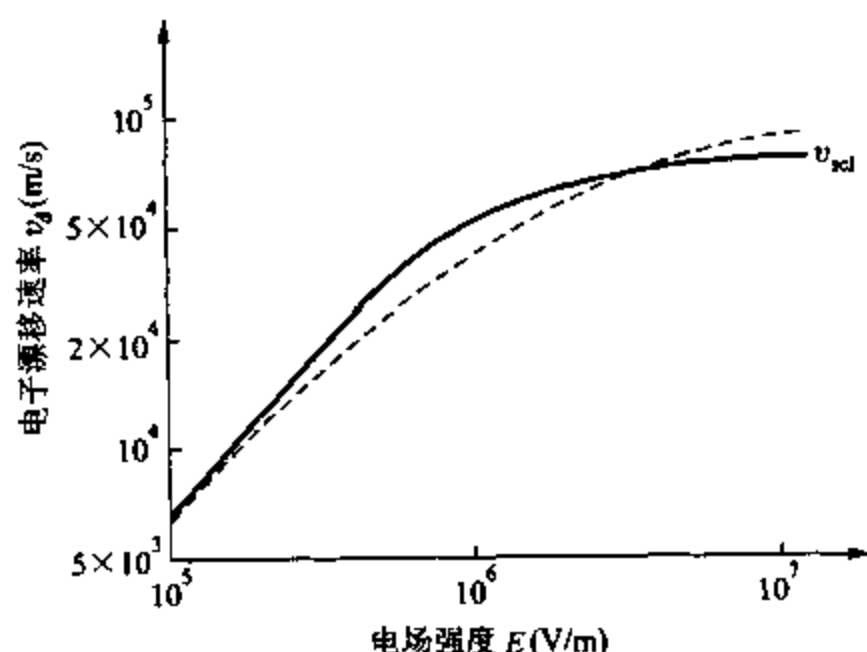


图 1.39 标准情况下 MOS 管表面沟道中的电子漂移速率 v_d 的测量值对水平电场强度 E_c 的关系。同时用虚线表示出式(1.212)的近似解析表达式。

$$\text{取 } E_c \approx 1.5 \times 10^{16} \text{ V/m}, \mu_n \approx 0.07 \text{ m}^2/\text{V}\cdot\text{s}$$

$$v_d = \frac{\mu_n E}{1 + E/E_c} \quad (1.212)$$

其中, $E_c \approx 1.5 \times 10^{16} \text{ V/m}$ 和 $\mu_n \approx 0.07 \text{ m}^2/\text{V}\cdot\text{s}$ 是近栅极区的低场强迁移率。式(1.212)所示曲线在图 1.39 中同样标示出来。由式(1.212),取 $E \rightarrow \infty$, 则 $v_d \rightarrow v_{sd} = \mu_n E_c$ 。在临界场强点 E_c , 载流子速率比场强公式的计算值的 1/2 还小。如果一个器件的沟道长度 $L = 0.5 \mu\text{m}$, 则沿沟道只需要 0.75 V 的电势差就可以产生一个平均强度为 E_c 的电场, 而上述这种情形在短沟道 MOS 晶体管中很容易实现。同样的结论可以从 PMOS 器件得出。

将式(1.212)和式(1.149)代入式(1.147), 整理可得

$$I_D \left(1 + \frac{1}{E_c} \frac{dV}{dy} \right) = W Q_1(y) \mu_n \frac{dV}{dy} \quad (1.213)$$

注意:当 $E_c \rightarrow \infty$ 且饱和速率变得不可忽略时,式(1.213)接近原始等式(1.147)。对式(1.213)沿沟道积分,可以得到

$$\int_0^L I_D \left(1 + \frac{1}{E_c} \frac{dV}{dy} \right) dy = \int_0^{V_{DS}} W Q_1(y) \mu_n dV \quad (1.214)$$

因此

$$I_D = \frac{\mu_n C_{ox}}{2 \left(1 + \frac{V_{DS}}{E_c L} \right)} \frac{W}{L} [2(V_{GS} - V_t) V_{DS} - V_{DS}^2] \quad (1.215)$$

取极限 $E_c \rightarrow \infty$, 式(1.215)式就等价于式(1.152), 式(1.152)是在忽略饱和速率影响的情况下给出的漏极电流。式(1.215)中的 V_{DS}/L 可以解释为沟道中的平均水平电场强度。如果这个电场强度与 E_c 可比, 则对于给定的 V_{DS} 漏极电流将小于式(1.152)的计算值。

在三极管区式(1.215)有效, 令 $V_{DS(ack)}$ 取 MOS 管工作在三极管区的最大 V_{DS} 电压值, 也就是 MOS 管工作在放大区的最小 V_{DS} 电压值。在放大区, 电流与 V_{DS} 是无关的, 因为这里不存在沟道长度调制效应。因此, $V_{DS(ack)}$ 就是 $\partial I_D / \partial V_{DS} = 0$ 时的 V_{DS} 的取值。由式(1.215)

$$\frac{\partial I_D}{\partial V_{DS}} = \frac{k' W}{2 L} \left[\frac{\left(1 + \frac{V_{DS}}{E_c L} \right) [2(V_{GS} - V_t) - 2V_{DS}] - \frac{[2(V_{GS} - V_t) V_{DS} - V_{DS}^2]}{E_c L}}{\left(1 + \frac{V_{DS}}{E_c L} \right)^2} \right] \quad (1.216)$$

其中, $k' = \mu_n C_{ox}$ 由式(1.153)给出。令 $\partial I_D / \partial V_{DS} = 0$

$$\left(1 + \frac{V_{DS}}{E_c L} \right) [2(V_{GS} - V_t) - 2V_{DS}] - \frac{[2(V_{GS} - V_t) V_{DS} - V_{DS}^2]}{E_c L} = 0 \quad (1.217)$$

整理(1.217)得

$$\frac{V_{DS}^2}{E_c L} + 2V_{DS} - 2(V_{GS} - V_t) = 0 \quad (1.218)$$

求解二阶方程得

$$V_{DS(ack)} = V_{DS} = -E_c L \pm E_c L \sqrt{1 + \frac{2(V_{GS} - V_t)}{E_c L}} \quad (1.219)$$

因为漏-源电压远大于 0,

$$V_{DS(ack)} = V_{DS} = E_c L \sqrt{1 + \frac{2(V_{GS} - V_t)}{E_c L}} - 1 \quad (1.220)$$

为了确定在忽略饱和速率的影响的情况下的 $V_{DS(ack)}$, 令 $E_c \rightarrow \infty$, 则饱和速率正比于电场强度, 令 $x = (V_{GS} - V_t)/(E_c L)$ 则当 $x \rightarrow 0$, 利用泰勒级数可以看到

$$\sqrt{1+2x} = 1 + x - \frac{x^2}{2} + \dots \quad (1.221)$$

利用式(1.221)和式(1.220)得

$$V_{DS(akt)} = (V_{GS} - V_t) \left(1 - \frac{V_{GS} - V_t}{2E_c L} + \dots \right) \quad (1.222)$$

当 $E_c \rightarrow \infty$, 式(1.222)表明 $V_{DS(akt)} \rightarrow (V_{GS} - V_t)$, 这个结果和预期的相一致,²⁸ 通过观察图 1.40 所示的 $V_{DS(akt)}$ 与过载电压 V_{ov} 的比值对 $E_c L$ 的曲线可以进一步确认上述结论。式(1.222)表明当 $E_c \rightarrow \infty$ 时, $V_{DS(akt)} \rightarrow V_{ov} = (V_{GS} - V_t)$ 。另一方面, 当 E_c 足够小以至于饱和速率很明显时, 由图 1.40 可知 $V_{DS(akt)} < V_{ov}$ 。

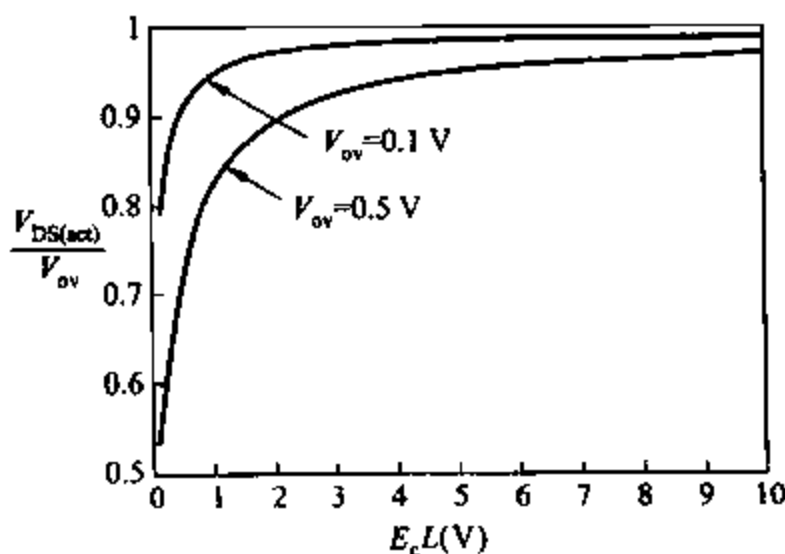


图 1.40 工作在放大区所需的漏-源电压与过载电压最小的比值和临界场强与沟道长度乘积的关系曲线图。当 $E_c \rightarrow \infty$ 时, 极限迁移速率不是一个常数, 当极限迁移速率很重要时, $V_{DS(akt)} < V_{ov}$ 。

为了计算考虑饱和速率的放大区漏极电流, 将式(1.220)中的 $V_{DS(akt)}$ 代入式(1.215)中的 V_{DS} 。整理后, 结果为

$$I_D = \frac{\mu_n C_{ox}}{2} \frac{W}{L} (V_{DS(akt)})^2 \quad (1.223)$$

式(1.223)与忽略饱和速率的(1.157)式有相同的形式, 除非当饱和速率很显著时, $V_{DS(akt)}$ 小于 $(V_{GS} - V_t)$, 如图 1.40 所示。因此, 当载流子速率饱和时, 式(1.157)估计的电流值比实际的高。为了检验速率完全饱和的极限情况, 令 $E_c \rightarrow \infty$ 。然后式(1.212)表明漂移速率达到极限散射速率 $v_d \rightarrow v_{sd} = \mu_n E_c$ 。将式(1.220)代入式(1.223)得

$$\lim_{E_c \rightarrow \infty} I_D = \mu_n C_{ox} W (V_{GS} - V_t) E_c = W C_{ox} (V_{GS} - V_t) v_{sd} \quad (1.224)$$

与式(1.157)所预测的平方控制律相反, 式(1.224)表明当载流子速率达到极限时, 漏极电流和过载电压 $(V_{GS} - V_t)$ 成线性关系。式(1.224)同样表明, 当载流子速率达到极限时, 漏极电流与沟道长度无关。在这种情况下, 沟道中的电荷数与穿越沟道所需要的时间均正比于 L 。由于电流是沟道中的电荷数与穿越沟道所需时间的比值, 所以只要沟道长度足够短而不足以产生一个使速率饱和的强电场时, 电流就和 L 无关。²⁹ 相反, 当载流子速率并未饱和而是正比于电场强度的时候, 沟道中电荷穿越沟道所需的时间是正比于 L^2 , 因为增加 L 的同时会降低载流子速率和增加源漏极之间的距离。因此, 当极限运动速率不显著时, 正如从

式(1.157)中所得到的,漏极电流反比于 L 。最后式(1.224)表明当速率饱和时,放大区漏极电流正比于极限散射速率 $v_{sd} = \mu_n E_c$ 。

将式(1.222)代入式(1.223)得

$$\begin{aligned} I_D &= \frac{\mu_n C_{ox}}{2} \frac{W}{L} (V_{GS} - V_t)^2 \left(1 - \frac{V_{GS} - V_t}{2E_c L} + \dots \right)^2 \\ &= \frac{\mu_n C_{ox}}{2} \frac{W}{L} (V_{GS} - V_t)^2 \left(1 - \frac{x}{2} + \dots \right)^2 \\ &= \frac{\mu_n C_{ox}}{2} \frac{W}{L} (V_{GS} - V_t)^2 (1 - x + \dots) \\ &= \frac{\mu_n C_{ox}}{2} \frac{W}{L} (V_{GS} - V_t)^2 \left(1 - \frac{V_{GS} - V_t}{E_c L} + \dots \right) \end{aligned} \quad (1.225)$$

其中 $x = (V_{GS} - V_t)/(E_c L)$ 。如果 $x \ll 1$, $(1 - x) \approx 1/(1 + x)$, 则

$$I_D \approx \frac{\mu_n C_{ox}}{2 \left(1 + \frac{V_{GS} - V_t}{E_c L} \right)} \frac{W}{L} (V_{GS} - V_t)^2 \quad (1.226)$$

等式(1.226)在忽略饱和速率时是正确的,其中 $(V_{GS} - V_t) \ll E_c L$ 。由(1.226)式指出的放大区运动速率极限对电流的影响可以等效为在一个理想平方律器件的源极上串联一个附加电阻,如图 1.41 所示。令 V'_{GS} 为理想平方律晶体管的栅-源电压,由(1.157)得

$$I_D = \frac{\mu_n C_{ox}}{2} \frac{W}{L} (V'_{GS} - V_t)^2 \quad (1.227)$$

令 V_{GS} 为 V'_{GS} 与 R_{SX} 上的压降之和。则

$$V_{GS} = V'_{GS} + I_D R_{SX} \quad (1.228)$$

该式等效了考虑饱和速率时实际 MOS 晶体管的栅-源电压。将式(1.228)代入式(1.227)得

$$I_D = \frac{\mu_n C_{ox}}{2} \frac{W}{L} (V_{GS} - I_D R_{SX} - V_t)^2$$

$$I_D = \frac{\mu_n C_{ox}}{2} \frac{W}{L} [(V_{GS} - V_t)^2 - 2(V_{GS} - V_t)I_D R_{SX} + (I_D R_{SX})^2] \quad (1.229)$$

整理(1.229)并忽略 $(I_D R_{SX})^2$ 项得

$$I_D \approx \frac{\mu_n C_{ox}}{2 \left(1 + \mu_n C_{ox} \frac{W}{L} R_{SX} (V_{GS} - V_t) \right)} \frac{W}{L} (V_{GS} - V_t)^2 \quad (1.230)$$

如果定义

$$\mu_n C_{ox} \frac{W}{L} R_{SX} = \frac{1}{E_c L} \quad (1.231)$$

则式(1.230)与式(1.226)有相同的形式。整理式(1.231)得

$$R_{SX} = \frac{1}{E_c \mu_n C_{ox} W} \quad (1.232)$$

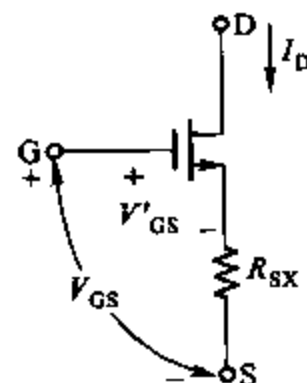


图 1.41 考虑饱和速率的 MOSFET 模型,等效为在一理想平方律器件的源极上串联一附加电阻

综上可知,饱和速率对 MOS 晶体管大信号特性的影响可以用在一理想平方律器件的源极上串联一附加电阻 R_{sx} 的一阶模型等效。注意: R_{sx} 的变化与 W 相反,就像漏极和源极连接区的一系列物理电阻。通常 R_{sx} 大于这一系列物理电阻。由 $W = 2 \mu\text{m}$ 、 $k' = \mu_n C_{ox} = 200 \mu\text{A/V}^2$ 和 $E_c = 1.5 \times 10^6 \text{V/m}$, 可得 $R_{sx} \approx 1700 \Omega$ 。

1.7.2 跨导和特征频率

在有短沟道效应存在时,小信号模型中的参数值将有很显著的变化。³⁰ 最重要的变化之一就是跨导值。将式(1.220)代入式(1.223)并计算 $\partial I_D / \partial V_{GS}$ 得

$$g_m = \frac{\partial I_D}{\partial V_{GS}} = WC_{ox} v_{sd} \frac{\sqrt{1 + \frac{2(V_{GS} - V_t)}{E_c L}} - 1}{\sqrt{1 + \frac{2(V_{GS} - V_t)}{E_c L}}} \quad (1.233)$$

其中,如图 1.39 所示 $v_{sd} = \mu_n E_c$ 。为了计算忽略饱和速率的 g_m , 令 $E_c \rightarrow \infty$ 且 $x = (V_{GS} - V_t) / E_c L$ 。将(1.221)式代入(1.233)式整理可得

$$\lim_{E_c \rightarrow \infty} g_m = k' \frac{W}{L} (V_{GS} - V_t) \quad (1.234)$$

正如式(1.180)所指出的,在这种情况下,当过载电压增加或沟道长度减小时,跨导值将增加。另一方面,为了计算饱和速率时的 g_m , 令 $E_c \rightarrow 0$ 得

$$\lim_{E_c \rightarrow 0} g_m = WC_{ox} v_{sd} \quad (1.235)$$

式(1.235)表明当速率饱和后再进一步地减小 L 或是增加 $(V_{GS} - V_t)$ 不会再改变跨导的值。

由式(1.223)和式(1.233),可得跨导与电流的比值为

$$\frac{g_m}{I} = \frac{2}{(E_c L) \sqrt{1 + \frac{2(V_{GS} - V_t)}{E_c L}} \left[\sqrt{1 + \frac{2(V_{GS} - V_t)}{E_c L}} - 1 \right]} \quad (1.236)$$

取 $E_c \rightarrow 0$, 速度饱和得到

$$\lim_{E_c \rightarrow 0} \frac{g_m}{I} = \frac{1}{V_{GS} - V_t} \quad (1.237)$$

比较式(1.237)和式(1.181)可知,在给定的过载电压下,饱和速率现象会降低跨导-电流率。

另一方面,当 $x = (V_{GS} - V_t) / (E_c L) \ll 1$, 将式(1.221)代入式(1.236)得

$$\frac{g_m}{I} \approx \frac{2}{(V_{GS} - V_t)(1 + x)} \quad (1.238)$$

因此,当 $E_c \rightarrow \infty$, $x \rightarrow 0$ 时,式(1.238)趋于

$$\lim_{E_c \rightarrow \infty} \frac{g_m}{I} = \frac{2}{V_{GS} - V_t} \quad (1.239)$$

正如式(1.181)所指出的。由式(1.238)可知,当 $x < 0.1$ 时,由式(1.181)计算出的跨导 - 电流率的误差不超过 10%。因此,可以得出结论:在手工计算中,如果

$$(V_{GS} - V_t) < 0.1(E_c L) \quad (1.240)$$

饱和速率的影响是不显著的。

图 1.42 绘出了三种情况下的跨导 - 电流率与过载电压关系的曲线。从式(1.239)和式(1.237)可以看出,当饱和速率可忽略或影响显著时,最高或最低的斜率满足渐近线。实际情况下,从一种极端情况向另一种极端情况的过度是比较平缓的,从式(1.236)中可以看出,在图 1.42 中以 $E_c = 1.5 \times 10^6 \text{ V/m}$ 和 $L = 0.5 \mu\text{m}$ 为例绘制曲线。

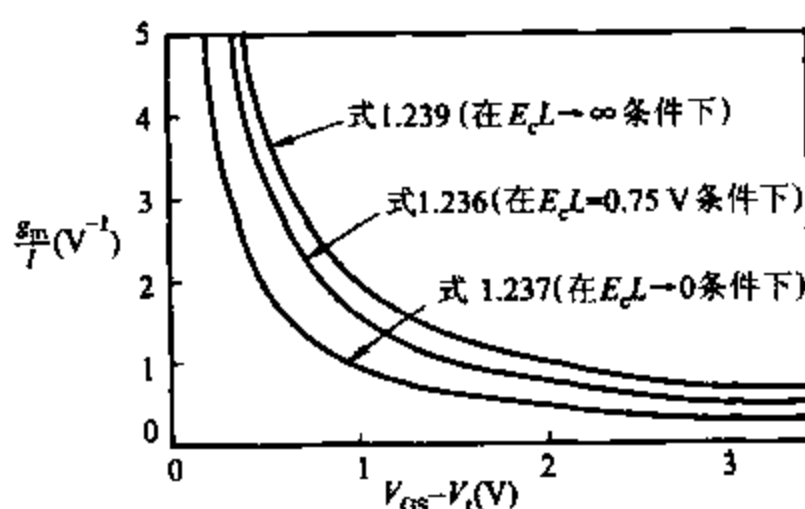


图 1.42 跨导 - 电流率与过载电压 ($V_{GS} - V_t$) 的关系曲线

饱和速率所引起的跨导的改变是很重要的,其中一个重要原因就是它会影响到器件的特征频率 f_T 。假设 $C_{gs} \gg C_{gb} + C_{gd}$,将式(1.235)代入式(1.208)可以看出

$$f_T = \frac{1}{2\pi} \frac{g_m}{C_{gs}} \propto \frac{WC_{ox} v_{sd}}{WLC_{ox}} \propto \frac{v_{sd}}{L} \quad (1.241)$$

关键的一点是:一旦饱和速率,特征频率就与过载电压无关。相反,由式(1.209)可以看到,在饱和速率之前, f_T 随 $(V_{GS} - V_t)$ 的增加而增加。同时,式(1.241)还表明:当饱和速率时,特征频率 f_T 反比于沟道长度。相反由式(1.209)可知饱和速率之前,特征频率反比于沟道长度的平方。因此,饱和速率通过减小沟道长度得以改进。

1.7.3 垂直场中的迁移率下降

到目前为止,当在考虑运动速率极限时,仅考虑了由 V_{GS} 所引起的沿沟道水平电场强度。然而,由栅极电压所引起的垂直电场也是同样存在的,而且影响着载流子的运动速率。可以从物理上来解释上述效应,增加垂直电场强度就会迫使载流子更加靠近于硅表面,而表面缺陷又会阻止载流子从源极向漏极流动,因而使得迁移率下降。³¹在任何时候,沟道中垂直电场强度都取决于栅 - 沟道电压。由于从源极到漏极各处的栅 - 沟道电压并不是恒定的,所以从原理上讲,垂直电场强度应该在式(1.214)中积分求出。³²但是,为了简化,通常将

积分后的影响等效为:将前面等式所描述的迁移率变为有效迁移率,即

$$\mu_{\text{eff}} = \frac{\mu_n}{1 + \theta(V_{\text{GS}} - V_t)} \quad (1.242)$$

其中, μ_n 是零垂直电场时的迁移率,反比于氧化物层厚度。当 $t_{\text{ox}} = 100 \text{ \AA}$, θ 的典型值为 $0.1 \sim 0.4 \text{ V}^{-1}$ 。³³ 在实际中, θ 取值于器件特性的最优测量值。

1.8 MOS 晶体管中的弱反型

1.5 节关于 MOSFET 在正常工作区的分析是在栅极下存在定义的导通阱沟道的前提下进行的。在强反型区,假设栅-源间电压的变化只改变沟道中的电荷而不改变耗尽区电荷。相反,当栅-源间电压小于理论阈值电压值 V_t ,而又足够大以至于在硅表面产生一个耗尽区时,器件工作在弱反型区。在弱反型区,沟道电荷远少于耗尽区电荷且由多数载流子漂移引起的漏极电流可以忽略。然而,弱反型区总的漏极电流是大于漂移电流的,因为少数载流子的浓度梯度会引起扩散电流的流动。在弱反型区,一个 n 沟道 MOS 晶体管类似于一个 npn 双极型晶体管,其源极相当于射极,衬底层相当于基极,漏极相当于集电极。³⁴

1.8.1 弱反型中的漏极电流

为了分析这种情况,假定源极与衬底层同时接地。同时,还假定 $V_{\text{DS}} > 0$ 。(如果 $V_{\text{DS}} < 0$,则漏极相当于射极,源极相当于集电极。)³⁵ 增加栅-源电压会提高表面电势 ψ_s ,而表面电势的提高又会降低源-衬底(发射极-基极)结的反向偏压,并且使得 p 型衬底上源区电子浓度 $n_p(0)$ 呈指数增长。由式(1.27)得

$$n_p(0) = n_{\text{po}} \exp \frac{\psi_s}{V_T} \quad (1.243)$$

其中, n_{po} 是衬底(基极)平衡电子浓度。同样,衬底上漏区电子浓度 $n_p(L)$ 为

$$n_p(L) = n_{\text{po}} \exp \frac{\psi_s - V_{\text{DS}}}{V_T} \quad (1.244)$$

由式(1.31),衬底电子扩散所引起的漏极电流为

$$I_D = qAD_n \frac{n_p(L) - n_p(0)}{L} \quad (1.245)$$

其中, D_n 是电子扩散常数; A 是扩散电流所流过面积的典型值。面积 A 是 I_D 流过的区域上晶体管宽度 W 和厚度 X 的乘积。将式(1.243)和式(1.244)代入式(1.245)并且整理得

$$I_D = \frac{W}{L} qXD_n n_{\text{po}} \exp \left(\frac{\psi_s}{V_T} \right) \left[1 - \exp \left(- \frac{V_{\text{DS}}}{V_T} \right) \right] \quad (1.246)$$

在弱反型区,表面电势与栅-源电压近似成线性关系。³⁶ 假设氧化物-硅交界面上存储的电荷量与表面电势无关,则在弱反型区,栅-源电压增量 ΔV_{GS} 通过氧化物层电容 C_{ox} 与耗尽层电容 C_{d} 间的电压隔离器控制表面电势增量 $\Delta \psi_s$ 。因此

$$\frac{d\psi_s}{dV_{GS}} = \frac{C_{ox}}{C_{js} + C_{ox}} = \frac{1}{n} = \frac{1}{1 + \chi} \quad (1.247)$$

其中, $n = (1 + C_{js}/C_{ox})$ 和 $\chi = C_{js}/C_{ox}$ 如(1.197)式定义。分离变量并且积分可得

$$\psi_s = \frac{V_{GS}}{n} + k_1 \quad (1.248)$$

其中 k_1 是常数。式(1.248)仅在晶体管工作在弱反型区时有效。当 $V_{GS} = V_t$ 和 $V_{SB} = 0$ 时,由阈值电压的定义可知 $\psi_s = 2\phi_t$ 。当 $V_{GS} > V_t$ 时,反向区表面电势保持恒定,此时式(1.248)将不再成立了。由于式(1.248)仅当 $V_{GS} \leq V_t$ 时成立,因此将式(1.248)改写为如下

$$\psi_s = \frac{V_{GS} - V_t}{n} + k_2 \quad (1.249)$$

其中 $k_2 = k_1 + V_t/n$ 。将式(1.249)代入式(1.246)得

$$I_D = \frac{W}{L} q X D_n n_{\infty} \exp\left(\frac{k_2}{V_T}\right) \exp\left(\frac{V_{GS} - V_t}{n V_T}\right) \left[1 - \exp\left(-\frac{V_{DS}}{V_T}\right)\right] \quad (1.250)$$

令

$$I_1 = q X D_n n_{\infty} \exp\left(\frac{k_2}{V_T}\right) \quad (1.251)$$

当 $V_{GS} = V_t$, $W/L = 1$ 和 $V_{DS} \gg V_T$ 时,漏极电流表述为

$$I_D = \frac{W}{L} I_1 \exp\left(\frac{V_{GS} - V_t}{n V_T}\right) \left[1 - \exp\left(-\frac{V_{DS}}{V_T}\right)\right] \quad (1.252)$$

图 1.43 绘制出了 $W = 20 \mu\text{m}$, $L = 20 \mu\text{m}$, $n = 1.5$ 和 $I_1 = 0.1 \mu\text{A}$ 时,三种过载电压下漏极电流对漏-源电压的关系曲线。注意:当 $V_{DS} > 3V_T$ 时,漏极电流接近于常数,因为在这种情况下式(1.252)中的最后一项趋近于 1。因此,与强反向区不同的是在弱反型区中,使晶体管作为电流源工作的最小漏极-源极电压与过载电压无关。³⁷ 由图 1.43 和式(1.252)可以看出当 $V_{GS} \leq V_t$ 时,漏极电流不为零。为了更进一步明确这一点,在图 1.44 中用两种不同的刻度绘制 NMOS 管的测量特性曲线。图 1.44a 为线性坐标下 $\sqrt{I_D}$ 对 V_{GS} 曲线。该器件 $W = 20 \mu\text{m}$, $L = 20 \mu\text{m}$ 且忽略短沟道效应。(参见习题 1.21,一个短沟道效应很显著的例子。)图中所示直线表明器件特性接近于理想平方律。图 1.44a 的曲线可以用来外推得 V_t (这里是 0.7 V),并且通过曲线斜率获得 k' (这里是 $54 \mu\text{A}/\text{V}^2$)。在阈值电压附近,曲线偏离直线表示平方律。在 $V_{GS} < V_t$ 时直线适用于式(1.252)中 $n = 1.5$ 。对于 $I_D < 10^{-12}$ 时,由于漏电流起主要作用,曲线斜率减小,不适于式(1.252)。这个区域就是弱反型区。在图 1.44b 中用对数坐标来表示这些数据。

工作在弱反型区的晶体管主要用途是在相对低频率信号下的低功率应用。低频率信号极限的产生主要是因为 MOSFET 的 f_T 变得很小,实际上,从式(1.152)计算小信号 g_m 与 I_D 成比例。因此,在弱反型区非常小,具体如下面所述。

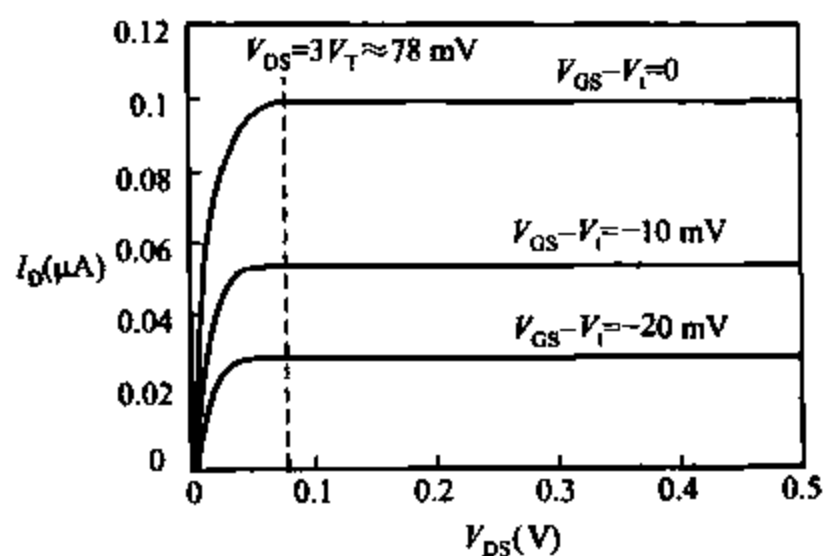


图 1.43 弱反型区下,漏极电流对漏-源电压的关系曲线

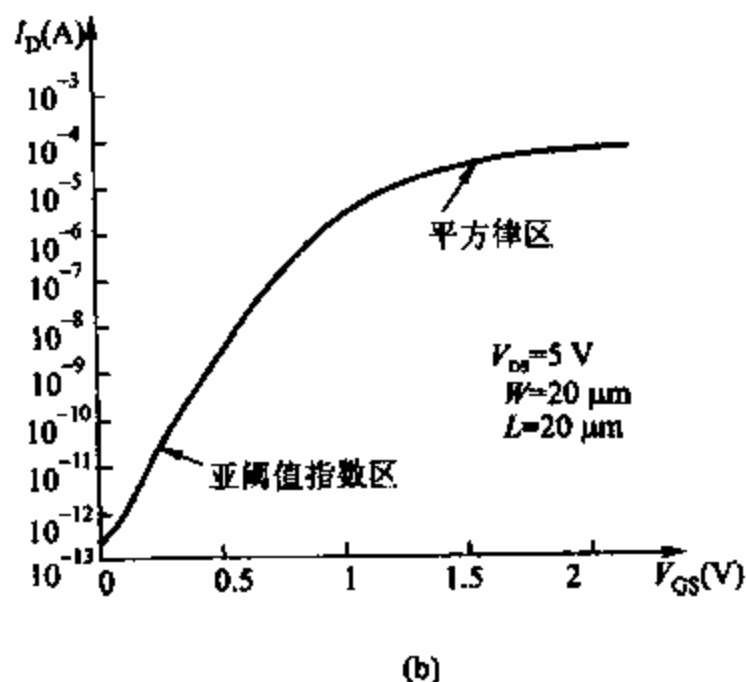
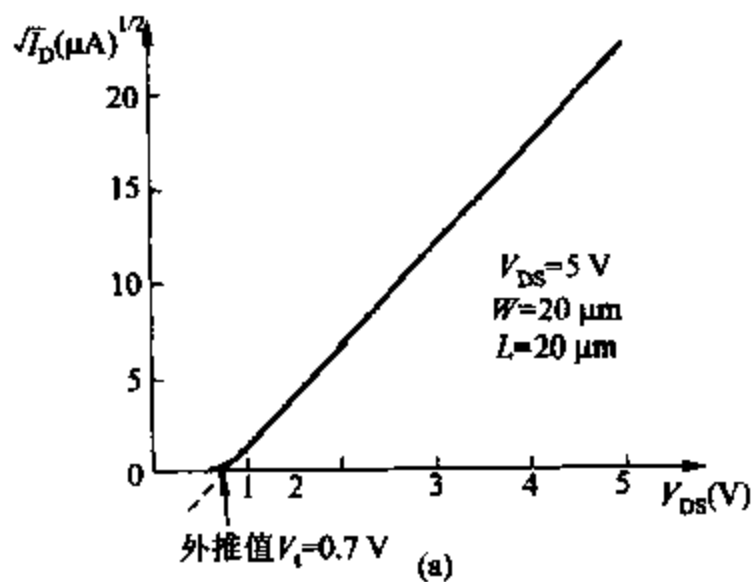


图 1.44 (a) 测量所得的 NMOS 管线性区转移特性曲线,
以线性坐标绘制的 $\sqrt{I_D}$ 与 V_{GS} 的关系曲线,从图中可以看出平方律特性;
(b) 用对数坐标重绘图 1.44(a) 中的数据,从图中可以看出亚阈区的指数特性

1.8.2 弱反型区中的跨导和特征频率

由式(1.252)计算 $\partial I_D / \partial V_{GS}$ 并且利用式(1.247)可得

$$g_m = \frac{W}{L} \frac{I_t}{nV_T} \exp\left(\frac{V_{GS} - V_t}{nV_T}\right) \left[1 - \exp\left(-\frac{V_{DS}}{V_T}\right)\right] = \frac{I_D}{nV_T} = \frac{I_D}{V_T} \frac{C_{ox}}{C_{js} + C_{ox}} \quad (1.253)$$

MOS 晶体管工作在弱反型区时的跨导与相应的双极型晶体管是一致的, 正如式(1.182)所示, 除了因子 $1/n = C_{ox}/(C_{js} + C_{ox})$, 这个因子是由于 MOS 晶体管中氧化物和耗尽电容的分压引起的, 即表面电压间接控制栅极。

由式(1.253), MOS 晶体管在弱反型区的跨导 - 电流率为

$$\frac{g_m}{I} = \frac{1}{nV_T} = \frac{1}{V_T} \frac{C_{ox}}{C_{js} + C_{ox}} \quad (1.254)$$

等式(1.254)表明, 跨导 - 电流率与过载电压无关。相反, 式(1.181)表明跨导 - 电流率反比于过载电压。因此, 当过载电压趋近于零时, 跨导 - 电流率趋向于无穷。然而, 式(1.181)仅当晶体管工作在强反型区时成立。为了推导使晶体管工作在强反型区时所需的过载电压, 令式(1.254)和式(1.181)中的 g_m/I 相等。结果是

$$V_{ov} = V_{GS} - V_t = 2nV_T \quad (1.255)$$

在室温下且令 $n = 1.5$, 计算结果大约为 78 mV。尽管这个分析表明晶体管从弱到强有突变发生, 实际中存在非零的转变宽度。介于弱反型区与强反型区之间, 晶体管工作在中度反型区, 这时扩散电流与漂移电流都很显著。³⁸

图 1.45 以 $n = 1.5$ 为例绘出了跨导 - 电流率对过载电压的曲线。当过载电压是负值, 但足以使表面产生耗尽区时, 晶体管工作在弱反型区, 跨导 - 电流率为常数, 如式(1.254)所示。当 $V_{GS} - V_t = 0$ 时, 表面电势为 $2\phi_f$, 这就意味着晶体管表面电子浓度与体内空穴浓度相等。这一点通常被定义为弱反型区的上限。当 $V_{GS} - V_t > 2nV_T$ 时, 跨导 - 电流率由式(1.181)给出, 并且假设速率饱和效应可以忽略。如果速率饱和效应显著, 在计算跨导 - 电流率和使晶体管工作在强反型区时所需的过载电压时要用式(1.236)代替式(1.181)。当 $0 \leq V_{GS} - V_t \leq 2nV_T$ 时, 晶体管工作在中度反型状态。由于在实际中这种状态小信号模型不确定, 因此在本书的后部分将其忽略, 并且假设在弱反型区 MOS 晶体管的过载电压比式(1.255)给出的极限值小。

式(1.208)可以用来求解特征频率。在弱反型区中, 因为弱反型层含有少量电荷, 所以 $C_{gs} \approx C_{gd} \approx 0$ 。³⁹ 但是, C_{gd} 可以看作氧化物和损耗电容的串联组合。因此, 有

$$C_{gs} + C_{gb} + C_{gd} \approx C_{gb} = WL \left(\frac{C_{ox} C_{js}}{C_{ox} + C_{js}} \right) \quad (1.256)$$

将式(1.253)和式(1.256)代入到式(1.208)有

$$f_T = \frac{1}{2\pi} \omega_T = \frac{1}{2\pi} \frac{\frac{I_D}{V_T} \frac{C_{ox}}{C_{js} + C_{ox}}}{WL \frac{C_{ox} C_{js}}{C_{ox} + C_{js}}} = \frac{1}{2\pi} \frac{I_D}{V_T} \frac{1}{WLC_{js}} \quad (1.257)$$

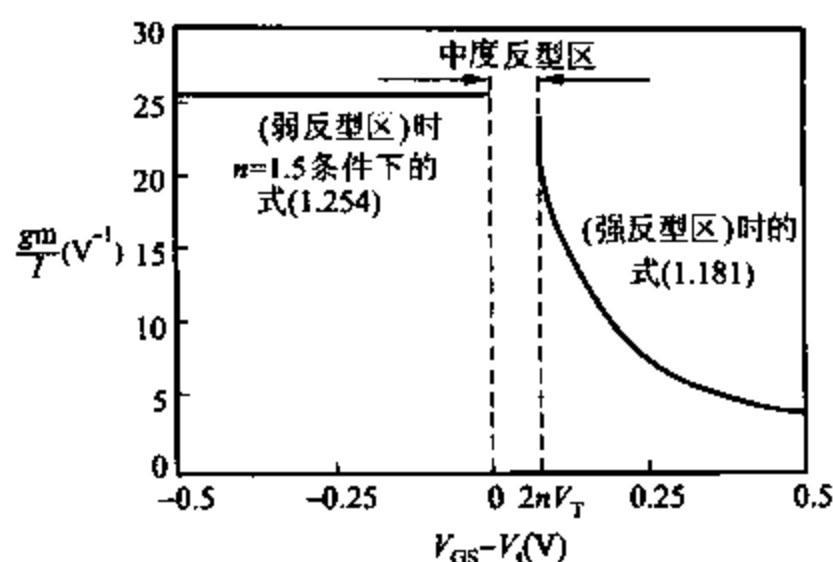


图 1.45 跨导 - 电流率对过载电压的曲线

令 I_M 表示为弱反型时流过晶体管的最大漏极电流, 则有

$$I_M = \frac{W}{L} I_t \quad (1.258)$$

在式(1.251)中已经给出 I_t 。用式(1.257)中的 I_M 来表示式(1.258)中的倍乘分子和分母, 可以得到

$$f_T = \frac{1}{2\pi} \frac{\frac{W}{L} I_t}{V_T} \frac{1}{W L C_{js}} \frac{I_D}{I_M} = \frac{1}{2\pi} \frac{I_t}{V_T} \frac{1}{C_{js}} \frac{1}{L^2} \frac{I_D}{I_M} \quad (1.259)$$

由式(1.251), $I_t \propto D_n$ 。利用爱因斯坦关系式 $D_n = \mu_n V_T$ 有

$$f_T \propto \frac{D_n}{L^2} \frac{I_D}{I_M} \propto \frac{\mu_n V_T}{L^2} \frac{I_D}{I_M} \quad (1.260)$$

式(1.260)说明工作在弱反型时的 MOS 管的特征频率与沟道长度的平方成反比。这个结果与式(1.209)中速率未饱和的强反型一致。相反, 当速率饱和很显著时, 特征频率与沟道长度成反比, 如式(1.241)中所示。式(1.260)也说明了弱反型区中的特征频率与过载电压无关, 这一特点与速率未饱和的强反型情况不同, 而是和速率饱和时的情况相似。最后, 通过更加详细的分析可以证明式(1.260)中的比例常量趋近于单位值。³⁹

示例

设器件参数为 $W = 10 \mu\text{m}$, $L = 1 \mu\text{m}$, $n = 1.5$, $k' = 200 \mu\text{A}/\text{V}^2$ 以及 $t_{ox} = 100 \text{ \AA}$ 。令 $I_D = 1 \mu\text{A}$, $I_t = 0.1 \mu\text{A}$, $V_{DS} \gg V_T$, 设温度为 27°C 。计算: 过载电压和特征频率。

由式(1.166), 假设晶体管工作在强反型区,

$$V_{ov} = V_{GS} - V_t = \sqrt{\frac{2I_D}{k'(W/L)}} = \sqrt{\frac{2 \times 1}{200 \times 10}} \text{V} \approx 32 \text{ mV}$$

由于由式(1.166)计算出的过载电压小于 $2nV_T = 78 \text{ mV}$, 所以只有当没有指明晶体管工作在强反型区时, 前面计算出的过载电压才是正确的。由式(1.252)。当 $V_{DS} \geq V_T$, 弱反型区

的过载电压为

$$V_{ov} = nV_T \ln\left(\frac{I_D}{I_1} \cdot \frac{L}{W}\right) = 1.5 \times 26 \text{ mV} \times \ln\left(\frac{1}{0.1} \times \frac{1}{10}\right) = 0$$

由式(1.253)有

$$g_m = \frac{1 \mu\text{A}}{1.5 \times 26 \text{ mV}} \approx 26 \mu\text{S}$$

由式(1.247)有

$$C_{js} = (n-1)C_{ox} = 0.5C_{ox}$$

由式(1.256)有

$$\begin{aligned} C_{gs} + C_{gb} + C_{gd} &\approx C_{gb} = WL \frac{C_{ox} \times 0.5C_{ox}}{C_{ox} + 0.5C_{ox}} = WL \frac{C_{ox}}{3} \\ &= \frac{10 \mu\text{m}^2}{3} \frac{3.9 \times 8.854 \times 10^{-14} \frac{\text{F}}{\text{cm}} \times \frac{100 \text{ cm}}{10^6 \mu\text{m}}}{100 \text{ \AA} \times \frac{10^6 \mu\text{m}}{10^{10} \text{ \AA}}} \\ &\approx 11.5 \text{ fF} \end{aligned}$$

由式(1.208)有

$$f_T = \frac{1}{2\pi} \omega_T = \frac{1}{2\pi} \times \frac{26 \mu\text{S}}{11.5 \text{ fF}} \approx 360 \text{ MHz}$$

360 MHz 看上去是一个很高的特征频率,但是应将其与 1.6 节最后部分的例题中的结果相比较,在那里同样一个晶体管工作在强反型区且过载电压为 316 mV,其特征频率为 3.4 GHz。

1.9 MOS 晶体管中的衬底电流

在 1.3.4 节中讨论了发生雪崩击穿时的双极型晶体管的特性。随着器件反向偏置电压的增大,耗尽区中的载流子可以获得足够的能量在晶格碰撞过程中产生新的电子-空穴对,这种现象称之为离子化影响。最终,当偏置电压足够大时,就会产生一个很大的雪崩电流。当集电结偏置电压远小于击穿电压值时,在集电结里会产生小的增强电流,该现象从表面上看对器件的特性影响很小。

对于 MOS 晶体管,同样会有离子化影响现象的发生,但是该现象对器件特性的影响与双极型晶体管是显著不同的。这种不同是因为,沟道中的电子(对 NMOS 而言)通过晶格碰撞在漏极耗尽区产生电子-空穴对,其中的部分空穴流向衬底形成衬底电流。(该过程中产生的电子流向漏极端。)因此,离子化影响过程中所产生的载流子不像双极型晶体管那样被限制在器件内部。对于 NMOS 器件,其结果可以等效为从漏极到衬底层间串联一个受控电流源,如图 1.46 所示。衬底层电流的数量级取决于漏极耗尽区上的压降(漏极耗尽区上的压降决定了电离沟道中电子的能量)和漏极电流(漏极电流是沟道电子进入耗尽区的比率)。研究经验表明电流 I_{FB} 可以表示为

$$I_{DB} = K_1 (V_{DS} - V_{DS(akt)}) I_D \exp\left(-\frac{K_2}{V_{DS} - V_{DS(akt)}}\right) \quad (1.261)$$

其中, K_1 和 K_2 为过程参数; $V_{DS(akt)}$ 是晶体管工作在放大区所需的最小 V_{DS} 取值。⁴⁰ 通常 NMOS 器件取 $K_1 = 5 \text{ V}^{-1}$ 和 $K_2 = 30 \text{ V}$ 。这种影响对于 PMOS 器件要小得多, 因为沟道中的空穴产生空穴-电子对的能力要比能量充足的电子的能力低得多。

上述现象对电路性能的主要影响在于在漏极与衬底间产生寄生电阻。因为在共衬底层的接法中通常将衬底端接在电路中大多数电源的负极, 所以在 p 型衬底工艺中 NMOS 器件的衬底层相当于交流接地点。故寄生电阻在漏极与交流接地点间形成了一个分流旁路, 因而也就成为电路设计中的限制因素。对式(1.261)求微分, 可以得到漏-衬底间小信号电导为

$$\begin{aligned} g_{db} &= \frac{\partial I_{DB}}{\partial V_D} = \frac{I_{DB}}{V_{DS} - V_{DS(akt)}} \left(\frac{K_2}{V_{DS} - V_{DS(akt)}} + 1 \right) \\ &\approx \frac{K_2 I_{DB}}{(V_{DS} - V_{DS(akt)})^2} \quad (1.262) \end{aligned}$$

其中, 假设栅极与源极保持在一个固定的电位上。

示例

设 $I_D = 100 \mu\text{A}$, $\lambda = 0.05 \text{ V}^{-1}$, $V_{DS(akt)} = 0.3 \text{ V}$, $K_1 = 5 \text{ V}^{-1}$ 以及 $K_2 = 30 \text{ V}$ 。计算: 当 $V_{DS} = 2 \text{ V}$ 和 4 V 时的 $r_{db} = 1/g_{db}$, 并比较器件的 r_o 。

由 $V_{DS} = 2 \text{ V}$, 利用式(1.261), 得

$$I_{DB} = 5 \times 1.7 \times 100 \times 10^{-6} \times \exp\left(-\frac{30}{1.7}\right) \text{ A} \approx 1.8 \times 10^{-11} \text{ A}$$

由式(1.262), 得

$$g_{db} \approx \frac{30 \times 1.8 \times 10^{-11}}{1.7^2} \text{ S} \approx 1.9 \times 10^{-10} \text{ S}$$

故

$$r_{db} = \frac{1}{g_{db}} \approx 5.3 \times 10^9 \Omega = 5.3 \text{ G}\Omega$$

相比于

$$r_o = \frac{1}{\lambda I_D} = \frac{1}{0.05 \times 100 \times 10^{-6}} \Omega = 200 \text{ k}\Omega$$

这个结果大到可以忽略。

然而, 对于 $V_{DS} = 4 \text{ V}$,

$$I_{DB} = 5 \times 3.7 \times 100 \times 10^{-6} \times \exp\left(-\frac{30}{3.7}\right) \text{ A} \approx 5.6 \times 10^{-7} \text{ A}$$

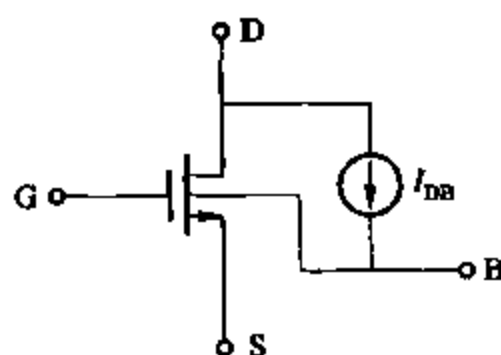


图 1.46 MOSFET 在受离子化影响时所串联的漏-衬底电流源

这时衬底层漏电流约为漏极电流的 0.5%。更重要的是,可以从式(1.262)中得到

$$g_{db} \approx \frac{30 \times 5.6 \times 10^{-7}}{3.7^2} \text{ S} \approx 1.2 \times 10^{-6} \text{ S}$$

故

$$r_{db} = \frac{1}{g_{db}} \approx 8.15 \times 10^5 \Omega = 815 \text{ k}\Omega$$

这时寄生电阻和 r_o 相当,且对高输出阻抗 MOS 镜像电流源有显著影响,这部分内容将在第四章中介绍。

附录

A.1.1 有源器件参数列表

(a) npn 双极型晶体管参数

参量	公式
大信号正向放大工作模式	
集电极电流	$I_c = I_s \exp \frac{V_{be}}{V_T}$
小信号正向放大工作模式	
跨导	$g_m = \frac{qI_c}{kT} = \frac{I_c}{V_T}$
跨导-电流率	$\frac{g_m}{I_c} = \frac{1}{V_T}$
输入电阻	$r_x = \frac{\beta_0}{g_m}$
输出电阻	$r_o = \frac{V_A}{I_c} = \frac{1}{\eta g_m}$
集电结电阻	$r_\mu = \beta_0 r_o \sim 5\beta_0 r_o$
基极旁路电容	$C_b = \tau_F g_m$
发射结电容	$C_\pi = C_b + C_{je}$
发射结耗尽电容	$C_{je} \approx 2C_{je0}$
集电结电容	$C_\mu = \frac{C_{jc0}}{\left(1 - \frac{V_{BC}}{\phi_{0c}}\right)^{n_c}}$
集电极-衬底结电容	$C_{cs} = \frac{C_{cs0}}{\left(1 - \frac{V_{SC}}{\phi_{0s}}\right)^{n_s}}$
特征频率	$f_T = \frac{1}{2\pi} \frac{g_m}{C_\pi + C_\mu}$

续表

参量	公式
小信号正向放大工作模式	
有效转移时间	$\tau_T = \frac{1}{2\pi f_T} = \tau_F + \frac{C_F}{g_m} + \frac{C_P}{g_m}$
最大增益	$g_m r_o = \frac{V_A}{V_T} = \frac{1}{\eta}$

(b) NMOS 晶体管参数

参量	公式
大信号工作模式	
漏极电流(放大区)	$I_d = \frac{\mu C_{ox}}{2} \frac{W}{L} (V_{gs} - V_t)^2$
漏极电流(三极管区)	$I_d = \frac{\mu C_{ox}}{2} \frac{W}{L} [2(V_{gs} - V_t)V_{ds} - V_{ds}^2]$
阈值电压	$V_t = V_{t0} + \gamma(\sqrt{2\phi_f + V_{sb}} - \sqrt{2\phi_f})$
阈值电压参数	$\gamma = \frac{1}{C_{ox}} \sqrt{2q\epsilon N_A}$
氧化物层电容	$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} = 3.45 \text{ fF}/\mu\text{m}^2 \quad (t_{ox} = 100 \text{ \AA})$
小信号工作模式(放大模式)	
栅极跨导	$g_m = \mu C_{ox} \frac{W}{L} (V_{GS} - V_t) = \sqrt{2I_D \mu C_{ox} \frac{W}{L}}$
跨导-电流率	$\frac{g_m}{I_D} = \frac{2}{V_{GS} - V_t}$
衬底效应跨导	$g_{mb} = \frac{\gamma}{2\sqrt{2\phi_f + V_{sb}}} g_m = \chi g_m$
沟道长度调制效应参数	$\lambda = \frac{1}{V_A} = \frac{1}{L_{eff}} \frac{dX_d}{dV_{DS}}$
输出电阻	$r_o = \frac{1}{\lambda I_D} = \frac{L_{eff}}{I_D} \left(\frac{dX_d}{dV_{DS}} \right)^{-1}$
有效沟道长度	$L_{eff} = L_{drawn} - 2L_d - X_d$
最大增益	$g_m r_o = \frac{1}{\lambda} \frac{2}{V_{GS} - V_t} = \frac{2V_A}{V_{GS} - V_t}$
源-衬底耗尽电容	$C_{sb} = \frac{C_{sb0}}{\left(1 + \frac{V_{sb}}{\phi_0}\right)^{0.5}}$
漏-衬底耗尽电容	$C_{db} = \frac{C_{db0}}{\left(1 + \frac{V_{DB}}{\phi_0}\right)^{0.5}}$

续表

参量	公式
小信号工作模式(放大模式)	
栅-源电容	$C_{gs} = \frac{2}{3} WLC_{ox}$
特征频率	$f_T = \frac{g_m}{2\pi(C_{gs} + C_{gd} + C_{gb})}$

习题

1.1 (a) 计算内建电势,耗尽层深度,以及当硅晶体掺杂浓度为 $N_A = 8 \times 10^{15} \text{ atoms/cm}^3$ 和 $N_D = 10^{17} \text{ atoms/cm}^3$ 时 pn 结平板击穿的最大场强。假定反向偏置电压为 5 V。

(b) 在零外偏置以及 0.3 V 正向偏置下重复(a)。

1.2 以习题 1.1 为例计算零偏压下的结电容,同样再计算当 5 V 反向偏置和 0.3 V 正向偏置的值。假设结面积为 $2 \times 10^{-5} \text{ cm}^2$ 。

1.3 计算习题 1.1 中的结击穿电压。假设临界场强 $E_{crit} = 4 \times 10^5 \text{ V/cm}$ 。

1.4 假设某特定 pn 结的最大场强是理论值的 1.5 倍,计算突变 pn 结击穿电压为 150 V 时的掺杂浓度。假设 pn 结一面的掺杂浓度远大于另一面且 $E_{crit} = 3 \times 10^5 \text{ V/cm}$ 。

1.5 假设集电结掺杂浓度为 $6 \times 10^{15} \text{ atoms/cm}^3$,远小于基区掺杂浓度。计算当 $\beta_F = 200$ 和 $n = 4$ 时的 BV_{CEO} 。取 $E_{crit} = 3 \times 10^5 \text{ V/cm}$ 。

1.6 取掺杂浓度为 $10^{15} \text{ atoms/cm}^3$ 以及 $\beta_F = 400$ 时,重复习题 1.5。

1.7 (a) 当 $\beta_F = 100$ (在低 V_{CE} 时测得)、 $V_A = 50 \text{ V}$ 、 $BV_{CEO} = 120 \text{ V}$ 、 $n = 4$ 时绘制 npn 晶体管正向线性放大区下的 $I_C - V_{CE}$ 特性曲线。利用 $I_C = \left(1 + \frac{V_{CE}}{V_A}\right) \frac{M\alpha_F}{1 - M\alpha_F} I_B$ 式,其中 M 由式(1.78)给出。绘图时 I_C 取 $0 \sim 10 \text{ mA}$, V_{CE} 取 $0 \sim 50 \text{ V}$ 。分别取 $I_B = 1 \mu\text{A}$ 、 $10 \mu\text{A}$ 、 $30 \mu\text{A}$ 、 $60 \mu\text{A}$ 。

(b) V_{CE} 取 $0 \sim 10 \text{ V}$,重复(a)。

1.8 推导并画出双极型晶体管的小信号等效电路。取 $I_C = 0.2 \text{ mA}$, $V_{CB} = 3 \text{ V}$, $V_{CS} = 4 \text{ V}$ 。器件参数为 $C_{\mu 0} = 20 \text{ fF}$, $C_{\mu 0} = 10 \text{ fF}$, $C_{\mu 0} = 20 \text{ fF}$, $\beta_0 = 100$, $\tau_F = 15 \text{ ps}$, $\eta = 10^{-3}$, $r_b = 200 \Omega$, $r_c = 100 \Omega$, $r_{\pi} = 4 \Omega$, 以及 $r_{\mu} = 5\beta_0 r_o$ 。假设所有的结 $\phi_0 = 0.55 \text{ V}$ 。

1.9 当 $I_C = 1 \text{ mA}$, $V_{CB} = 1 \text{ V}$, $V_{CS} = 2 \text{ V}$ 时,重复 1.8 题。

1.10 以习题 1.8 与 1.9 为例以对数坐标画出 $0.1 \sim 1000 \text{ MHz}$ 的小信号共射极电流增益与频率的关系曲线,并计算每种情况下器件的 f_T 。

1.11 一集成电路中 npn 晶体管有下列特性测量值:当 $I_C = 1 \text{ mA}$ 时, $r_b = 100 \Omega$ 、 $r_c = 100 \Omega$ 、 $\beta_0 = 100$ 、 $r_o = 50 \text{ k}\Omega$ 。而且 $I_C = 1 \text{ mA}$, $V_{CB} = 10 \text{ V}$ 时 $f_T = 600 \text{ MHz}$; $I_C = 10 \text{ mA}$, $V_{CB} = 10 \text{ V}$ 时 $f_T = 1 \text{ GHz}$; $V_{CB} = 10 \text{ V}$ 时, $C_{\mu} = 15 \text{ pF}$; $V_{CS} = 10 \text{ V}$ 时, $C_{cs} = 1 \text{ pF}$ 。并假设正向偏置时 C_{μ} 为常数。利用 $r_{\mu} = 5\beta_0 r_o$ 。

(a) 设 $V_{CB} = 2 \text{ V}$, $V_{CS} = 15 \text{ V}$,在 $I_C = 0.1 \text{ mA}$ 、 1 mA 、 5 mA 时分别求出器件的小信号等效电路。

(b) 绘出 f_T 对 I_C 的曲线。取 $V_{CB} = 2 \text{ V}$, I_C 从 $1 \mu\text{A} \sim 10 \text{ mA}$,取对数坐标。

1.12 一横向 pnp 晶体管,其有效基极宽度为 $10 \mu\text{m}$ 。

(a) 设正向偏置区发射结耗尽区电容为 2 pF ,且为常数,计算当 $I_C = -0.5 \text{ mA}$ 时的 f_T 。(忽略 C_{μ})。并且计算在此电流下晶体管基区的少数载流子电荷存储量。注:硅管的 $D_p = 13 \text{ cm}^2/\text{s}$ 。

(b) 设电压 V_{CE} 每增加 1 V, 集电结耗尽层宽度变化 $0.11 \mu\text{m}$, 计算当 $I_C = -0.5 \text{ mA}$ 时的 r_o 。

1.13 如果将两晶体管并联使得习题 1.11 中晶体管的等效面积为双倍, 那么在总的漏极电流不变的情况下, 组合晶体管的小信号等效电路中的哪些模型参数与原始器件的不同? 组合器件与原始器件的参数之间的关系是什么?

1.14 一集成 npn 晶体管具有如下特性: $\tau_F = 0.25 \text{ ns}$, $I_C = 1 \text{ mA}$ 时, 小信号、短路电流增益为 9, $f = 50 \text{ MHz}$, $V_A = 40 \text{ V}$, $\beta_0 = 100$, $r_b = 150 \Omega$, $r_c = 150 \Omega$, $C_\mu = 0.6 \text{ pF}$, 偏置电压下的 $C_{cs} = 2 \text{ pF}$ 。试计算在 $I_C = 2 \text{ mA}$ 下小信号等效电路中的所有参数, 并画出电路图。

1.15 一个 NMOS 晶体管的参数为 $W = 10 \mu\text{m}$, $L = 1 \mu\text{m}$, $k' = 194 \mu\text{A/V}^2$, $\lambda = 0.024 \text{ V}^{-1}$, $t_{ox} = 80 \text{ \AA}$, $\phi_1 = 0.3 \text{ V}$, $V_{th} = 0.6 \text{ V}$, $N_A = 5 \times 10^{15} \text{ atoms/cm}^3$ 。忽略速率饱和效应。

(a) 假定 $V_{SB} = 0$, 试分别绘出 $V_{GS} = 0.5 \text{ V}, 1.5 \text{ V}, 3 \text{ V}$ 时的 $I_D - V_{DS}$ 特性曲线。 V_{DS} 取 $0 \sim 3 \text{ V}$ 。

(b) 假定 $V_{DS} = 2 \text{ V}$, 试分别绘出 $V_{SB} = 0.5 \text{ V}, 1.5 \text{ V}, 3 \text{ V}$ 时的 $I_D - V_{GS}$ 特性曲线。 V_{GS} 取 $0 \sim 2 \text{ V}$ 。

1.16 试推导并画出习题 1.15 中器件的完整小信号等效电路, 其中 $V_{GS} = 1 \text{ V}$, $V_{DS} = 2 \text{ V}$, $V_{SB} = 1 \text{ V}$ 。取 $\phi_0 = 0.7 \text{ V}$, $C_{so} = C_{do} = 20 \text{ fF}$, $C_{gb} = 5 \text{ fF}$ 。栅极源极间以及栅极漏极间重叠电容取 2 fF 。

1.17 利用习题 1.15 和习题 1.16 的数据计算晶体管单位电流增益频率, 其中 $V_{DS} = 3 \text{ V}$, $V_{SB} = 0 \text{ V}$, $V_{GS} = 1 \text{ V}, 1.5 \text{ V}, 2 \text{ V}$ 。

1.18 绘出 $V_{GS} = 1 \text{ V}, 2 \text{ V}, 3 \text{ V}$ 时 MOSFET 的 $I_D - V_{DS}$ 特性曲线, V_{DS} 取 $0 \sim 3 \text{ V}$, 比较下列情况下计及和不计及速率饱和效应时的结果。假设 $V_{SB} = 0 \text{ V}$, $V_{th} = 0.6 \text{ V}$, $k' = 194 \mu\text{A/V}^2$, $\lambda = 0$, $E_c = 1.5 \times 10^6 \text{ V/m}$ 。

(a) $W = 100 \mu\text{m}$ 且 $L = 10 \mu\text{m}$ 。

(b) $W = 10 \mu\text{m}$ 且 $L = 1 \mu\text{m}$ 。

(c) $W = 5 \mu\text{m}$ 且 $L = 0.5 \mu\text{m}$ 。

1.19 考虑一个 NMOS 晶体管, $W = 2 \mu\text{m}$, $L = 0.5 \mu\text{m}$, $k' = 194 \mu\text{A/V}^2$, $\lambda = 0$, $V_{th} = 0.6 \text{ V}$, $E_c = 1.5 \times 10^6 \text{ V/m}$ 。比较 V_{GS} 从 0 V 取至 3 V , 由图 1.41 中的模型得出的漏极电流和直接利用计及速率饱和效应公式计算出的漏极电流。假设 $V_{DS} = 3 \text{ V}$, $V_{SB} = 0 \text{ V}$ 。问: V_{GS} 在什么范围内, 图 1.41 的计算结果的精度在 10% 以内?

1.20 计算 n 沟道 MOSFET 的跨导, 其中 $W = 10 \mu\text{m}$, $\mu_n = 450 \text{ cm}^2/(\text{V}\cdot\text{s})$, $E_c = 1.5 \times 10^6 \text{ V/m}$, 取沟道长度 $10 \sim 0.4 \mu\text{m}$ 。假设 $t_{ox} = L/50$ 且器件工作在线性区 $V_{GS} - V_t = 0.1 \text{ V}$ 。将计算结果与忽略速率饱和效应的计算结果相比较。问: 沟道长度在什么范围内, 忽略速率饱和效应模型计算结果的精度在 10% 以内?

1.21 绘制 n 沟道 MOSFET 的 $\sqrt{I_D} - V_{GS}$ 的曲线, 其中 $W = 1 \mu\text{m}$, $L = 1 \mu\text{m}$, $k' = 54 \mu\text{A/V}^2$, $\lambda = 0$, $V_{DS} = 5 \text{ V}$, $V_{SB} = 0$, $V_{th} = 0.7 \text{ V}$, $E_c = 1.5 \times 10^6 \text{ V/m}$ 。忽略亚阈值电导, 比较图 1.44a 中的曲线, 解释大 V_{GS} 下两者的主要区别。

1.22 计算一 n 沟道 MOSFET 在 $I_D = 10 \text{ nA}$, $V_{DS} = 1 \text{ V}$ 下的跨导, 假设在亚阈区且 $n = 1.5$ 。假设 $(C_{gs} + C_{gd} + C_{gb}) = 10 \text{ fF}$, 计算相应的 f_T 。

参考文献

1. P. E. Gray, D. DeWitt, A. R. Boothroyd, J. F. Gibbons. *Physical Electronics and Circuit Models of Transistors*. Wiley, New York, 1964, p. 20.

2. H. C. Poon and H. K. Gummel. "Modeling of Emitter Capacitance," *Proc. IEEE*, Vol. 57, pp. 2181 ~ 2182, December 1969.

3. B. R. Chawla and H. K. Gummel. "Transition Region Capacitance of Diffused pn Junctions," *IEEE Trans. Electron Devices*, Vol. ED-18, pp. 178 ~ 195, March 1971.

4. S. L. Miller. "Avalanche Breakdown in Germanium," *Phys. Rev.*, Vol. 99, p. 1234, 1955.

5. A. S. Grove. *Physics and Technology of Semiconductor Devices*. Wiley, New York, 1967, Ch. 6.
6. A. S. Grove. Op. cit., Ch. 4.
7. A. S. Grove. Op. cit., Ch. 7.
8. P. E. Gray et al. Op. cit., p. 10.
9. P. E. Gray et al. Op. cit., p. 129.
10. P. E. Gray et al. Op. cit., p. 180.
11. B. A. McDonald. "Avalanche Degradation of h_{FE} ," *IEEE Trans. Electron Devices*, Vol. ED-17, pp. 871 ~ 878, October 1970.
12. H. DeMan. "The Influence of Heavy Doping on the Emitter Efficiency of a Bipolar Transistor," *IEEE Trans. Electron Devices*, Vol. ED-18, pp. 833 ~ 835, October 1971.
13. R. J. Whittier and D. A. Tremere. "Current Gain and Cutoff Frequency Falloff at High Currents," *IEEE Trans. Electron Devices*, Vol. ED-16, pp. 39 ~ 57, January 1969.
14. J. L. Moll and I. M. Ross. "The Dependence of Transistor Parameters on the Distribution of Base Layer Resistivity," *Proc. IRE*, Vol. 44, p. 72, 1956.
15. P. E. Gray et al. Op. cit., Ch. 8.
16. R. S. Muller and T. I. Kamins. *Device Electronics for Integrated Circuits*. Second Edition, Wiley, New York, 1986, p. 386.
17. Y. P. Tsividis. *Operation and Modeling of the MOS Transistor*. McGraw-Hill, New York, 1987, p. 141.
18. D. Frohman-Bentchkowsky and A. S. Grove. "Conductance of MOS Transistors in Saturation," *IEEE Trans. Electron Devices*, Vol. ED-16, pp. 108 ~ 113, January 1969.
19. S. M. Sze. *Physics of Semiconductor Devices*. Second Edition, Wiley, New York, 1981, pp. 451 ~ 452.
20. R. S. Muller and T. I. Kamins. Op. cit., p. 17.
21. Y. P. Tsividis. Op. cit., p. 148.
22. R. S. Muller and T. I. Kamins. Op. cit., pp. 490 ~ 496.
23. Y. P. Tsividis. Op. cit., pp. 150 ~ 151 and 198 ~ 200.
24. R. S. Muller and T. I. Kamins. Op. cit., p. 496.
25. Y. P. Tsividis. Op. cit., p. 151.
26. Y. P. Tsividis. Op. cit., pp. 310 ~ 328.
27. R. S. Muller and T. I. Kamins. Op. cit., p. 480.
28. R. S. Muller and T. I. Kamins. Op. cit., p. 482.
29. Y. P. Tsividis. Op. cit., p. 181.
30. Y. P. Tsividis. Op. cit., p. 294.
31. Y. P. Tsividis. Op. cit., p. 142.
32. R. S. Muller and T. I. Kamins. Op. cit., p. 484.
33. Y. P. Tsividis. Op. cit., p. 146.
34. S. M. Sze. Op. cit., p. 446.
35. Y. P. Tsividis. Op. cit., p. 136.
36. Y. P. Tsividis. Op. cit., p. 83.
37. Y. P. Tsividis. Op. cit., p. 139.
38. Y. P. Tsividis. Op. cit., p. 137.
39. Y. P. Tsividis. Op. cit., p. 324.
40. K. Y. Toh, P. K. Ko, and R. G. Meyer. "An Engineering Model for Short-Channel MOS Devices," *IEEE Journal of Solid-State Circuits*, Vol. 23, pp. 950 ~ 958, August 1988.

一般参考文献

1. Getreu. *Modelling the Bipolar Transistor*. Tektronix Inc., 1976.
- P. E. Gray and C. L. Searle, *Electronic Principles*. Wiley, New York, 1969.

- R. S. Muller and T. I. Kamins. *Device Electronics for Integrated Circuits*. Wiley, New York, 1986.
- Y. P. Tsividis. *Operation and Modeling of the MOS Transistor*. McGraw-Hill, New York, 1987.

第二章 双极型、MOS 和 BiCMOS 集成电路技术

2.1 引言

对集成电路的设计者和使用者来说,制造过程的细节非常重要,其原因主要有两个。第一,IC 技术迅速发展的主要原因在于它的经济优势,平面设计方法应用于制造复杂电路使批量化生产成为可能,从而降低了成本。因此,找出影响集成电路制造成本的因素对于设计者和使用者都是至关重要的,它直接影响设计者对解决特定要求电路仿真方法的选择和使用用户对组成特定功能电路的常规电路的选择。第二,集成电路技术为电路设计者呈现出与分立元件组装而成的电路完全不同的成本节约形式。要在可以实现指定电路功能的仿真方法中选择最佳方法,需最大限度地理解技术和器件性能,在技术和性能均可以实现的前提下最便捷地应用于集成电路芯片的制造。

目前,模拟集成电路的设计和制造主要采用双极型技术、金属氧化物半导体(MOS)技术以及同一流程中两种类型器件相结合的技术。由于相同集成电路中需要兼具复杂数字功能模块与模拟功能模块,因此数字 MOS 技术在实现模拟功能方面的应用不断增加,尤其在实现模拟-数字转换功能的系统中要求有模拟信号与数字系统间的接口。与此同时,双极型技术正在而且将继续广泛地应用于需要大电流驱动能力的场合。

本章首先列举双极型和 MOS 集成电路制造的基本过程,包括:固态扩散、光刻工艺、外延生长、离子注入、选择氧化和多晶硅淀积。接着介绍了双极型集成电路的制造过程及在流程中的有源和无源器件的性质。同时,本书也对基本流程中的一些改进作了测试和分析。在接下来的部分,介绍了 MOS 集成电路的制造过程并且描述了实现这些改进技术的设备。然后将介绍 BiCMOS 工艺、硅-锗异质结晶体管和研究铝质导线和二氧化硅替代品得到的互连物质材料。本书还将分析影响单片电路生产成本的因素,并在最后阐述集成电路的封装思想。

2.2 集成电路生产的基本过程

集成电路和最先进的分立元件晶体管的生产要经过掩模、扩散、离子注入、氧化和外延生长等适用于硅片初始材料即晶圆的一系列过程上。^{1,2}在描述基本过程之前,本节将首先回顾一下加入杂质原子对硅的电特性的影响。

2.2.1 硅的电阻率

向晶体硅样品中加入低浓度的 n 型或 p 型杂质可以增加多子的数量(为 n 区提供电子, 为 p 区提供空穴)并减少少子的数量。加入杂质的过程叫做掺杂。对于实际浓度的杂质, 多子的密度几乎等于晶体中杂质元素原子的密度。所以, 对于 n 型材料有

$$n_n \approx N_D \quad (2.1)$$

其中, $n_n(\text{cm}^{-3})$ 是电子的平衡浓度, $N_D(\text{cm}^{-3})$ 是 n 型施主杂质原子的浓度。对于 p 型材料有

$$p_p \approx N_A \quad (2.2)$$

其中, $p_p(\text{cm}^{-3})$ 是空穴的平衡浓度, $N_A(\text{cm}^{-3})$ 是 p 型受主杂质的浓度。晶体中任何一种载流子平衡浓度的增加必然导致其他种载流子平衡浓度的减少。这是由于空穴与电子的重组是有一定比例的, 这种平衡是指空穴的浓度与自由电子浓度的乘积。因此每秒钟重组的数量 R 可通过下式得出

$$R = \gamma np \quad (2.3)$$

其中, γ 是一个常数, n 和 p 分别是硅片样品中电子和空穴的浓度。空穴-自由电子对的产生是一个热运动过程, 它只受温度影响; 而其变化的比率 G 与杂质浓度无关。在平衡状态下 R 和 G 必须相等, 于是有

$$G = \text{常数} - R = \gamma np \quad (2.4)$$

如果不存在杂质, 则有

$$n = p = n_i(T) \quad (2.5)$$

其中, $n_i(\text{cm}^{-3})$ 是单晶硅样品中载流子的本征浓度, 式(2.4)和式(2.5)为任意杂质浓度建立了 $\gamma np = \text{常数} = \gamma n_i^2$, 所以

$$np = n_i^2(T) \quad (2.6)$$

式(2.6)说明掺入杂质后多子的浓度会增加, 少子的浓度会减少, 所以乘积 np 才能在平衡中始终为常数。对于实际掺入的杂质浓度, 多子的数目要超过少子很多数量级。

少子浓度和多子浓度在晶体管工作中的重要性已经在第一章中做了介绍。加入杂质的另外一个重要作用是增大材料本身的电导率。电导率可由下式得出

$$\sigma = q(\mu_n n + \mu_p p) \quad (2.7)$$

其中, $\mu_n(\text{cm}^2/\text{V}\cdot\text{s})$ 是电子迁移率, $\mu_p(\text{cm}^2/\text{V}\cdot\text{s})$ 是空穴迁移率, $\sigma(\Omega\cdot\text{cm})^{-1}$ 是电导率。对于 n 型半导体, 将式(2.1)和式(2.6)代入式(2.7)有

$$\sigma = q\left(\mu_n N_D + \mu_p \frac{n_i^2}{N_D}\right) \approx q\mu_n N_D \quad (2.8)$$

对于 p 型半导体, 将式(2.2)和式(2.6)代入式(2.7)有

$$\sigma = q\left(\mu_n \frac{n_i^2}{N_A} + \mu_p N_A\right) \approx q\mu_p N_A \quad (2.9)$$

空穴和自由电子的迁移率 μ 是不同的, 而且对于掺杂浓度很高的晶体来说迁移率也是受掺

杂浓度影响的。硅掺杂时迁移率的测量值如图 2.1 所示。电阻率 $\rho(\Omega\cdot\text{cm})$ 主要由电导率决定的, n 型和 p 型硅半导体的电导率与掺杂浓度的关系如图 2.2 所示。电导率和电阻率的关系可以简单表示为 $\rho = 1/\sigma$ 。

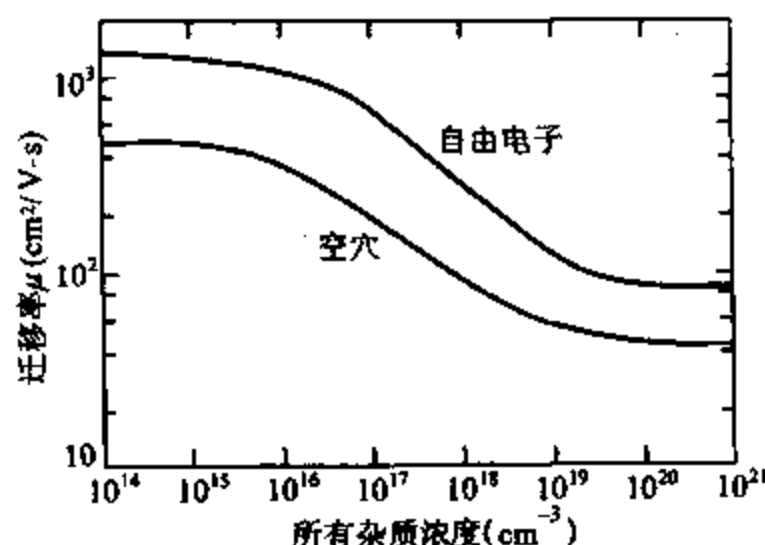


图 2.1 硅中掺杂时空穴和自由电子的迁移率³

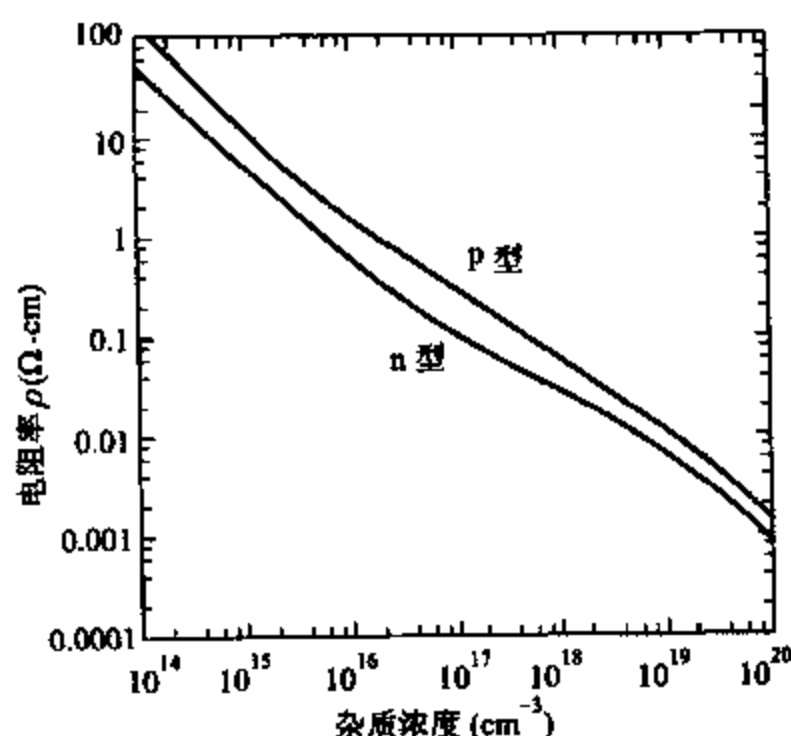


图 2.2 掺杂时 p 型和 n 型半导体的电阻率⁴

2.2.2 固态扩散

硅中杂质的固态扩散通常是指高温下大量杂质原子从半导体表面向内部的迁移。在这种高温运动中, 杂质原子取代了硅原子在晶体结构中的位置成为替代杂质。由于掺杂硅所表现出的 p 型或 n 型电特性由杂质类型决定, 那么 p 型和 n 型材料的区域可以通过固态扩散形成。

扩散过程的性质可以由图 2.3 和图 2.4 的例子来说明。本书假设硅半导体样品中最初

含有浓度均匀的 n 型杂质, 10^{15} atoms/cm³。硅中常用的 n 型杂质有磷、砷和锑。进一步假设用某种办法来使原子淀积在硅的表面。硅的制造中最常用的 p 型杂质是硼。图 2.3 展示了扩散之前的杂质分布。硅表面上杂质原子最初的排布叫做预淀积, 多种技术都可实现这项工作。

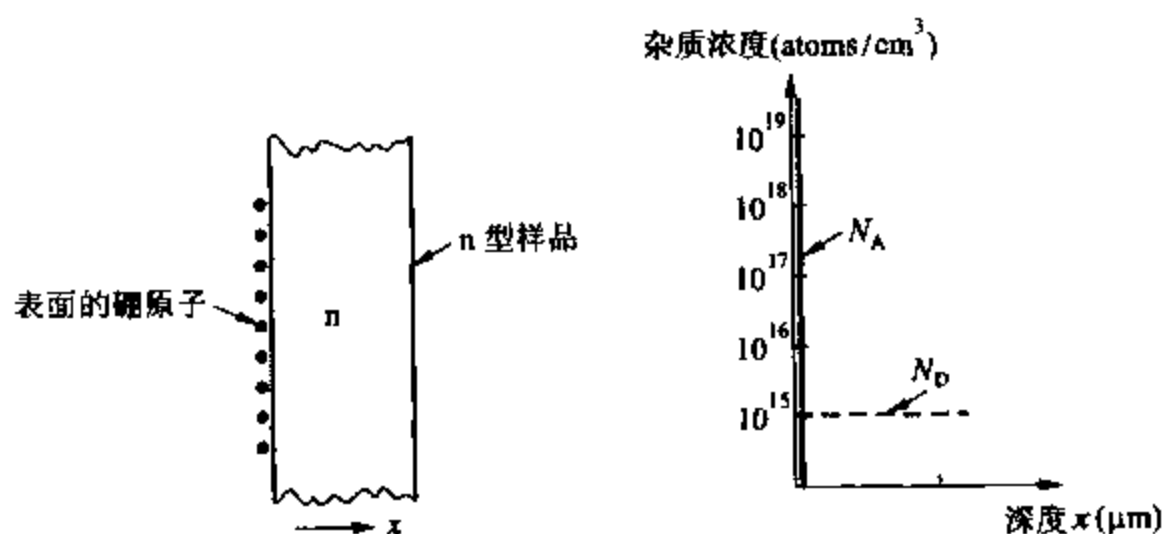


图 2.3 表面淀积硼的 n 型半导体

如果使样品在约 1100°C 的温度下加热一小时, 杂质就会扩散到样品内部, 如图 2.4 所示。在硅中, p 型杂质的数量超过 n 型杂质的区域就表现出 p 型电特性, 反之, n 型杂质多的区域会表现出 n 型电特性。扩散过程使得硅的连续晶体结构中产生 pn 结。由于硅集成电路扩散程度不同, pn 结距离表面的深度为 $0.1 \sim 20\ \mu\text{m}$ 不等(其中 $1\ \mu\text{m} = 10^{-6}\text{m}$)。

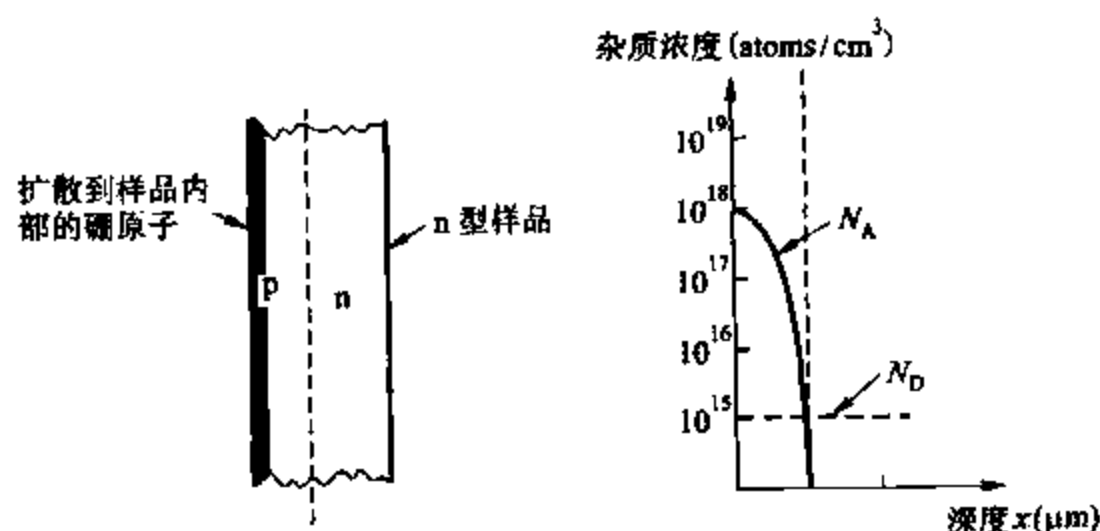


图 2.4 扩散后杂质的分布

2.2.3 扩散层的电特性

扩散过程的结果通常是把硅表面的薄层从一种杂质类型转变成另一种类型, 硅器件和集成电路主要建立在这些层中。从电性角度来看如果给扩散形成的 pn 结加反向电压, 那么这一层与其相邻材料间会保持电绝缘, 而且这一层本身的电特性也是可测量的。通常用来表现其特性的电参数是表面电阻。为定义这个参量, 首先要考虑均匀掺杂样品的长度 L 、宽

度 W 、厚度 T 和 n 型掺杂浓度 N_D , 如图 2.5 所示。电阻为

$$R = \frac{\rho L}{WT} = \frac{1}{\sigma} \frac{L}{WT}$$

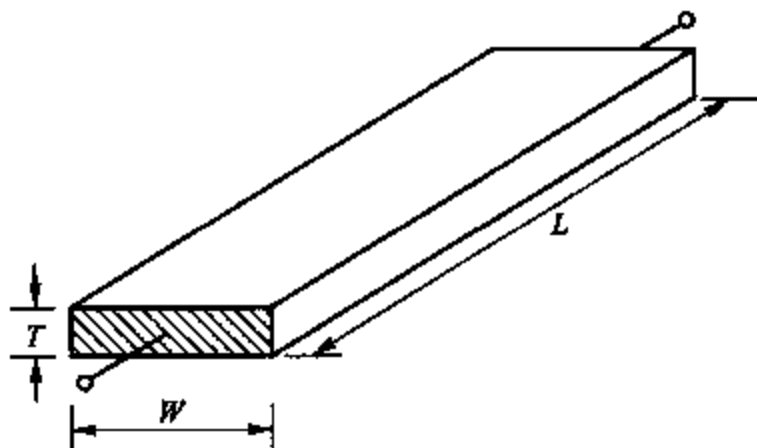


图 2.5 矩形样品表面电阻的计算

电导率 σ 的替代表达式可由下式给出

$$R = \left(\frac{1}{q\mu_n N_D} \right) \frac{L}{WT} = \frac{L}{W} \left(\frac{1}{q\mu_n N_D T} \right) = \frac{L}{W} R_{\square} \quad (2.10)$$

R_{\square} 的值是此层的表面电阻, 单位是欧[姆]。由于表面电阻是任意面积为 1 平方米厚度为 T 的片状材料的电阻, 它的单位通常以欧每平方米 (Ω/\square) 的形式给出而不是单独的欧。表面电阻可以写成材料的电阻率, 代入式(2.8)得

$$R_{\square} = \frac{1}{q\mu_n N_D T} = \frac{\rho}{T} \quad (2.11)$$

图 2.6 所示的扩散层表面电阻的计算方法与此相似, 除非杂质浓度不均匀。然而, 可以将扩散层想像为很多薄片导体并联而成。导电薄片的厚度 dx 在深度为 x 处的电阻率为

$$dG = q \left(\frac{W}{L} \right) \mu_n N_D(x) dx \quad (2.12)$$

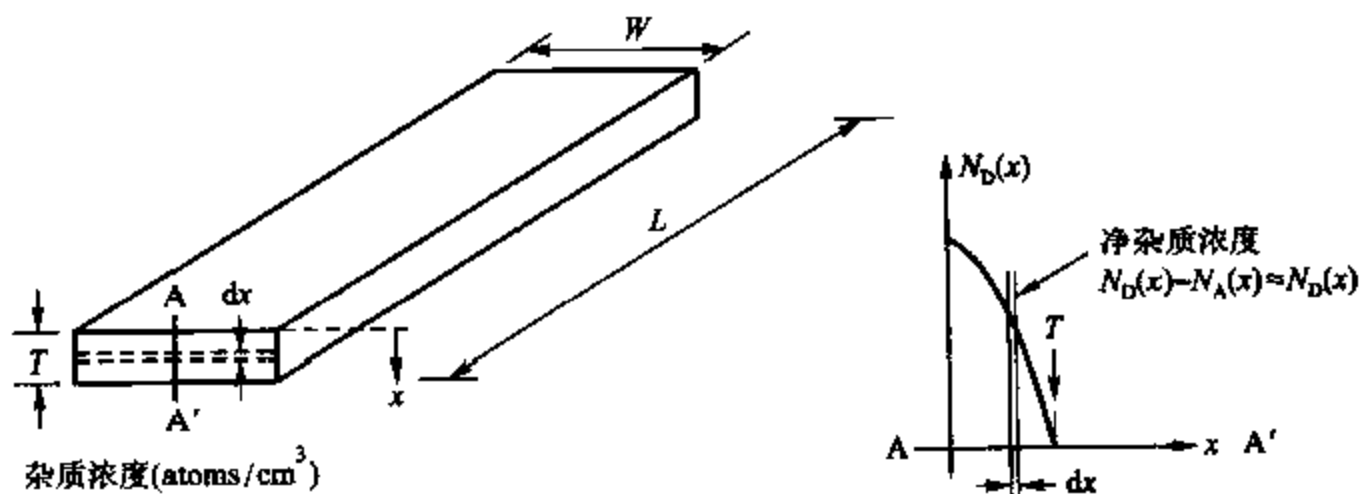


图 2.6 扩散层电阻的计算

为求出总电导率, 将各部分电导率积分

$$G = \int_0^{x_1} q \frac{L}{W} \mu_n N_D(x) dx = \frac{L}{W} \int_0^{x_1} q \mu_n N_D(x) dx \quad (2.13)$$

由式(2.13)的倒数得

$$R = \frac{W}{L} \left[\frac{1}{\int_0^{x_1} q \mu_n N_D(x) dx} \right] \quad (2.14)$$

比较式(2.10)和式(2.14)可以得出

$$R_{\square} = \left[\int_0^{x_1} q \mu_n N_D(x) dx \right]^{-1} \approx \left[q \bar{\mu}_n \int_0^{x_1} N_D(x) dx \right]^{-1} \quad (2.15)$$

其中, $\bar{\mu}_n$ 是平均迁移率。所以在 R_{\square} 适当的情况下式(2.10)还是适用于扩散层的计算。式(2.15)表示扩散层的表面电阻由单位面积扩散层中的杂质原子总数目决定。式(2.13)、式(2.14)和式(2.15)中的深度 x_1 事实上是表面到耗尽层过渡区边缘的距离,这是因为耗尽层中施主杂质的原子对于电流的传导不起任何作用。表面电阻是扩散过程中半导体电[器]特性的一个重要参数,也是设计集成电阻的一个关键参数。扩散层的表面电阻很容易在实验室中测得,因而计算式(2.15)的值是完全没有必要的。

示例

计算长 $50 \mu\text{m}$ 、宽 $5 \mu\text{m}$ 表面电阻为 $200 \Omega/\square$ 的某材料的表面电阻。

由式(2.10)知

$$R = \frac{50}{5} \times 200 \Omega = 2 \text{ k}\Omega$$

注意:这个区域是由 10 块串联而成,则 R 是表面电阻的 10 倍。

为了使用扩散工艺来制造有用器件,扩散必须被控制在样品表面的一个小区域内,而不是整个表面。这种限制可以通过光刻技术来实现。

2.2.4 光刻工艺

当一个单晶硅样品被置于氧化环境中时,表面就会生成一层二氧化硅。这层二氧化硅形成了阻碍杂质扩散的屏障。因而在高温处理过程中,硅表面的氧化物把杂质隔离,使它不能扩散进入硅的内部。通过在样品表面形成氧化膜(即氧化过程),然后去除指定区域的氧化物,再进行预淀积和扩散,pn 结就在样品的指定区域形成了。指定区域的氧化物去除将由光刻技术来完成的。其过程如图 2.7 所示。再次假设原料为 n 型的硅样品。首先进行氧化步骤,在此过程中表面就会受热而生长出二氧化硅层(SiO_2),其厚度通常会达到 $0.2 \sim 1 \mu\text{m}$ 。经过氧化的基片如图 2.7a 所示。然后在其表面涂上称为光刻胶的感光材料薄层。当这种材料在特定波长的光中曝光时,它会发生化学变化,而且在使用阳性光刻胶的情况下,它可以溶于某种化学溶剂,而未被照射的光刻胶不能溶于其中。经过这个过程的样品见图 2.7b。为了划定硅样品的理想扩散区域,需要在样品表面罩一层光掩模,这种光掩模只有在发生扩散的透明区域才是透明的。特定波长的光对样品的照射是定向的,如图 2.7c 所

示,光只照射在经过掩模的透明区域的光刻胶上。感光的区域会在显影过程中溶解,如图 2.7d 所示,而未被照射的光刻胶不会受显影剂的任何影响。

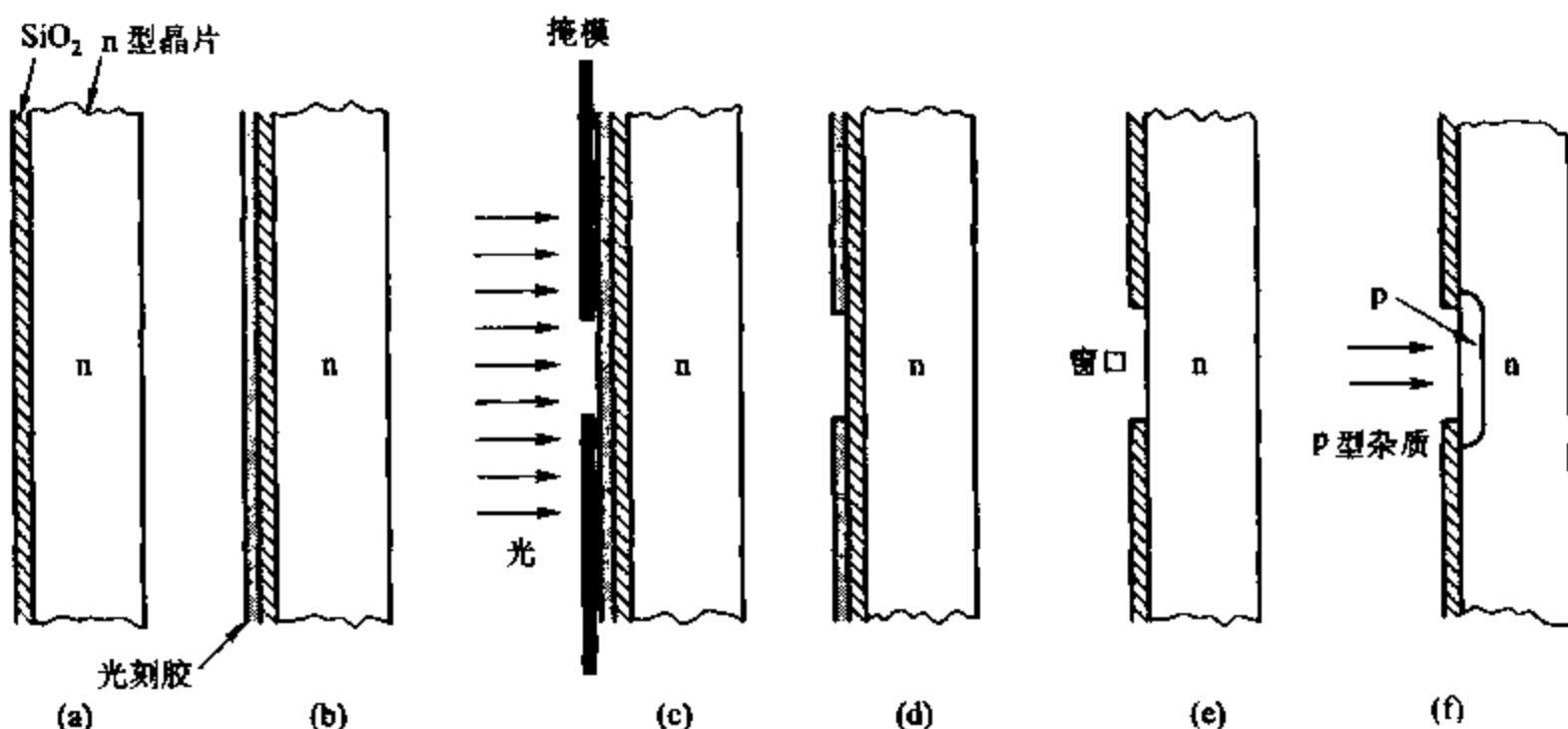


图 2.7 使用光刻术形成 pn 结二极管的示例

(a) 二氧化硅生长;(b) 使用光刻胶;(c) 通过掩模曝光;
(d) 光刻胶显影;(e) 腐蚀 SiO_2 并去除光刻胶;(f) 预淀积及扩散杂质

为使某一个区域内不存在 SiO_2 , 下一个步骤就是蚀刻氧化层。这一步可以通过将样品浸泡在腐蚀液中来完成, 比如氢氟酸, 或将其曝露在等离子蚀刻机下的等离子区域内。不管哪种情况, 结果都是在光刻胶被除去区域中氧化物被侵蚀掉, 只留下裸露在外的硅表面。

剩余的感光胶通过化学脱模操作被除去, 在样品设计区域的氧化物中只留下如图 2.7e 所示小孔或窗口。样品这时正处于预淀积和扩散阶段, 导致在氧化物被除去后 p 型区域的形成, 如图 2.7f 所示。有时, 要在硅表面进行局部掺杂, 杂质通过离子注入的方法使其淀积的(见第 2.2.6 节)。这种注入的方法经常能够透过二氧化硅来实现, 因此氧化物的刻蚀这一步骤并不是必须的。

这种器件制造工艺形成的扩散区域的最小尺寸正随着时间逐渐减小, 而现在大约是 $0.2\ \mu\text{m} \times 0.2\ \mu\text{m}$ 。同时制造这种的区域的数目是可以计算的, 注意到集成电路制造中用到的硅样品是圆形的片, 其典型直径为 4~12 英寸, 厚度为 $250\ \mu\text{m}$ 。因此, 在这样的基片上加工成形, 尺寸为 $0.2\ \mu\text{m} \times 0.2\ \mu\text{m}$, 间隔 $0.2\ \mu\text{m}$ 的电隔离的 pn 结的数目在 10^{11} 数量级。在目前的集成电路中, 掩模和扩散的很多工艺被用来形成更加复杂的结构, 如晶体管, 但是关键在于光刻技术能够分辨出样品表面的大量器件, 而这些器件是同时批量制造的。所以在工序中应用在基片上的光掩模和扩散工艺的成本分散在基片上的器件和电路中。这种一次能够制造成千上万元器件的能力是 IC 技术之经济优势的关键。

2.2.5 外延生长

早期的平面晶体管和最初的集成电路在制造过程中只用光掩模和扩散两个步骤。然

而,所有的扩散集成电路与分布式元器件相比都具有很大的局限性。在一个三级扩散的双极型晶体管中,如图 2.8 所示,集电结是通过在 p 型晶圆上扩散 n 型杂质形成的。这种结构的缺点是串联的集电极电阻很高,而集电极到发射极的击穿电压很低。前者是因为在集电极下面的集电极扩散部分杂质浓度比较低,从而提高了该区域的电阻率。后者是因为在集电极表面附近的杂质浓度相对较高,导致集电极和基极扩散区域的表面击穿电压比较低,如第一章所述。为了克服这一缺点,要得到较高的击穿电压,集电结内的杂质浓度应该比较低,而为了得到较低的集电极电阻,集电结下方的杂质浓度应该较高。因此,只通过扩散不能实现以上的浓度分布曲线,这样就要采用外延生长技术。

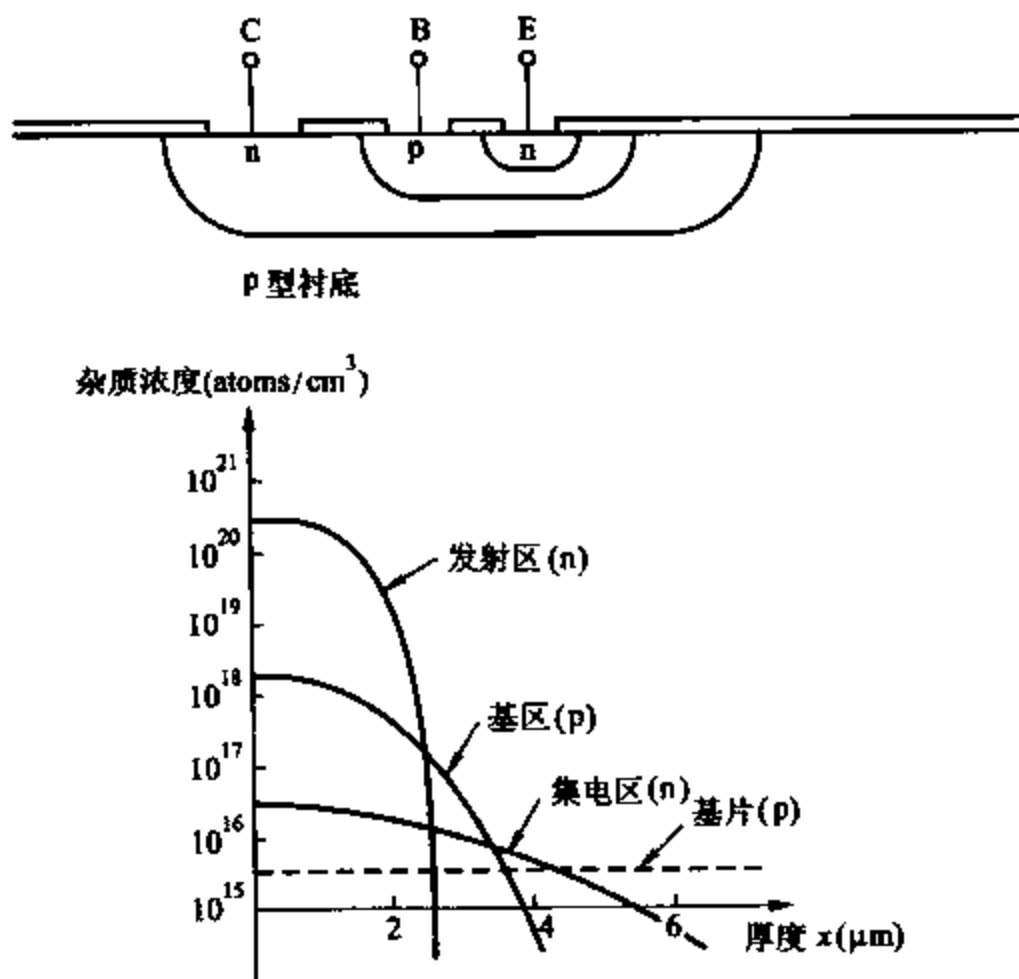


图 2.8 三级扩散晶体管及其杂质分布图

外延(epi)生长包括硅样品表面一层单晶硅的形成,因此硅的晶体结构在表面上是连续的。外延层的杂质浓度是独立受控的,且可以比衬底材料中的杂质浓度多些或少些。此外,外延层的杂质类型通常与衬底中的相反。集成电路制造过程中所用的外延层的厚度从 1~20 μm 不等,而且此层的生长可以通过将晶圆放置在含有四氯化硅(SiCl_4)或硅烷(SiH_4)且温度逐渐上升的大气环境中。通过化学反应,硅被贴在晶圆表面,如果条件控制适当,表面的硅会具有几乎不带瑕疵的晶体结构。这样的层就可以用作制造场效应管的初始材料。外延生长技术也应用于一些 CMOS 和多数 BiCMOS 工艺中。

2.2.6 离子注入

离子注入是把杂质原子直接掺入硅基片的技术。^{5,6}将晶圆放置在真空容器中,并将杂质

元素的离子以很高的速率射向样品。根据它们射向样品的速率,这些离子穿过硅晶圆的表面到达平均深度从 $0.1\mu\text{m}$ 到约 $0.6\mu\text{m}$ 的地方。然后将晶圆在适当温度中保持一段时间(比如 800°C 10 分钟),使离子由易于活动而变成晶格。这个步骤叫做退火,而且这对于修复由于离子注入而引起的晶格破坏非常重要。离子注入与常规扩散相比显著的优点是:(1)少量的杂质是可以再生的淀积物;(2)单位面积上淀积的杂质数量严格可控。此外,晶圆上的淀积物可以达到高度均匀。离子注入层的另一个重要特性是杂质浓度的峰点可以被限制在硅表面以下,这与扩散层是不同的。这使得制造比扩散元件优越的离子注入双极型结构成为可能。这种技术也被广泛的应用于 MOS 工艺,在 MOS 工艺中,硅表面数量可控的少量杂质是调节器件阈值所必需的,如 1.5.1 节所述。

2.2.7 局部氧化

在 MOS 和双极型工艺中,经常需要在硅表面的一些区域覆盖较薄的二氧化硅,且在其相邻的另一些区域覆盖较厚的二氧化硅。比较典型的是前面的区域包括有源器件区,而后面的区域包括一些彼此绝缘的器件。第二个要求是从厚区到薄区的过渡必须在硅表面没有垂直跃变的前提下完成,这样以后的镀膜和其他的淀积可以平放在较平坦的表面上。局部氧化就是用来达到这种目的的。局部氧化过程从已经生长一层薄氧化物的样品开始,如图 2.9a 所示。首先,在样品上淀积一层氮化硅(SiN),然后用掩模将其从所有将要生长厚氧化物的区域移走,如图 2.9b 所示。氮化硅作为氧原子的屏障,防止这些氧原子到达硅-二氧化硅的接触面而引起进一步氧化。因此,当进行接下来的一个长时间、高温的氧化步骤时,在没有氮化物的区域会生长一层厚的氧化物,但是在氮化物下面没有氧化发生。氮化物被

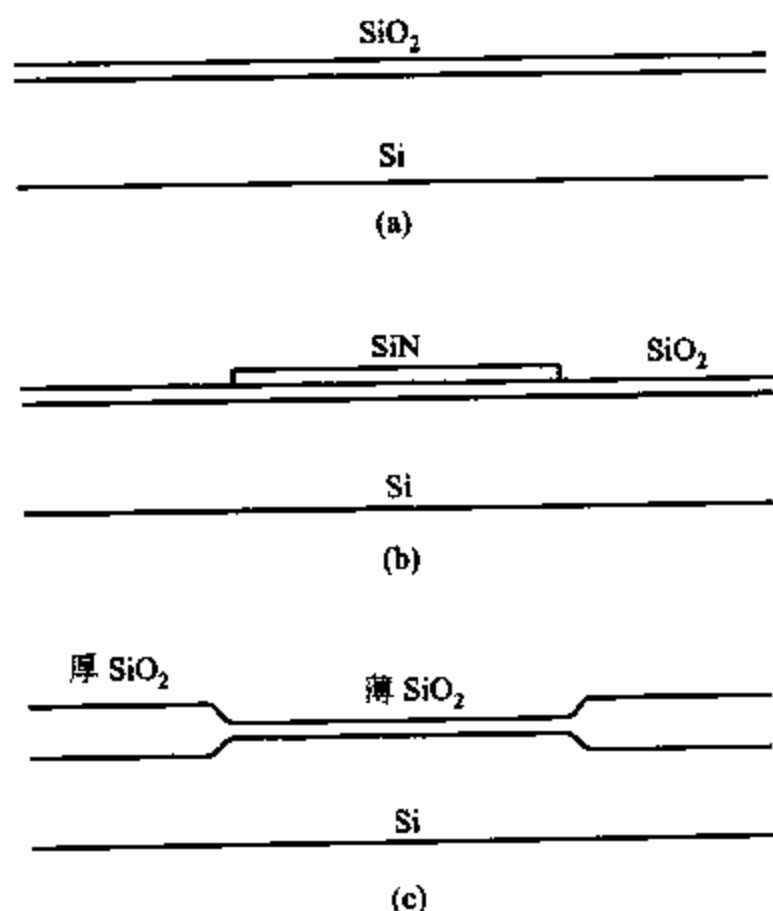


图 2.9 局部氧化过程

(a) 氮化物淀积之前的硅样品;(b) 氮化物淀积和界定后;(c) 氧化及氮化物去除后

移走后的结构见图 2.9c。注意二氧化硅的顶层有从厚区到薄区的平滑转换而且转换区的高度与氧化物的厚度差异很小,这是因为厚氧化区域的氧化要消耗一些下面的硅。

2.2.8 多晶硅的淀积

在制造过程中很多加工技术都利用淀积的多层多晶硅。在晶圆上淀积多晶硅层以后,通过掩模可将其特性确定下来,多晶硅层可以作为 MOS 晶体管的栅极、双极型晶体管的发射极、电容的正极、电阻、熔断器和互联层。这些层的表面电阻可以通过所加的杂质来控制,正如大量的硅的表面电阻从 $20\ \Omega/\square$ 到更高的值。淀积过程很像外延生长,然而,由于淀积往往是在二氧化硅层,因此该层并不是在硅晶圆上形成单晶扩展而是形成粒状的(或多晶硅的)薄膜。一些 MOS 工艺包括了三层独立的多晶硅层,它们之间通过二氧化硅来隔离。

2.3 高压双极型集成电路的制造

基础平面加工方法被发明以来,集成电路的制造工艺发生了重大改变。这种改变受益于光刻技术、处理技术的发展,以及很多系统中对驱动电压要求降低的趋势。光刻技术的发展减小了集成电路的最小形体尺寸,达到了从十几微米到亚微米的水平。通过离子注入达到的这种精确控制已成为杂质原子预淀积的主要方法。于是,现在很多电路在 3 V 或 5 V 的电压下工作,取代了早些时候静态电压到动态电压有 $\pm 15\text{ V}$ 波动范围的分立集成电路,比如运算放大器。工作电压的减小使集成电路中元器件的间距减小了,也使薄的结构可以承受更高的频率。这些都是减小工作电压使耗尽层厚度减小的缘故,如第一章所述。因此,最高频率的集成电路的工作电压被设计成 5 V 或更低,且基本上不再适用于高工作电压的环境。实际上,电压增益和频率带宽是设计集成电路时要折中考虑的一对基本矛盾。

本节验证了应用孤立结点的高压双极型集成电路的制造过程和步骤。这就是最初的集成电路制造过程,这也是集成电路的基本制造方法。现在这种方法仍以各种形式应用于高压电路的制造中。

孤立结点双极型集成电路的制造包括 6~8 次的掩模和扩散步骤。初始材料是一片 p 型硅基片,通常厚 $250\ \mu\text{m}$ 且其杂质浓度约为 $10^{16}\text{ atoms/cm}^3$ 。下面将研究形成一个 npn 型集成电路晶体管的扩散步骤。掩模和扩散的第一步,如图 2.10 所示,形成低电阻的 n 型掩埋层,该掩埋层将成为晶体管集电极电流的低阻传导路径。这步叫做掩埋层扩散,而该层叫做掩埋层。掩埋层表面电阻的范围在 $20\sim 50\ \Omega/\square$ 之间,所用的杂质通常是砷或锑,因为这类杂质扩散速度比较慢而不需要在下一道工序中重新分配。

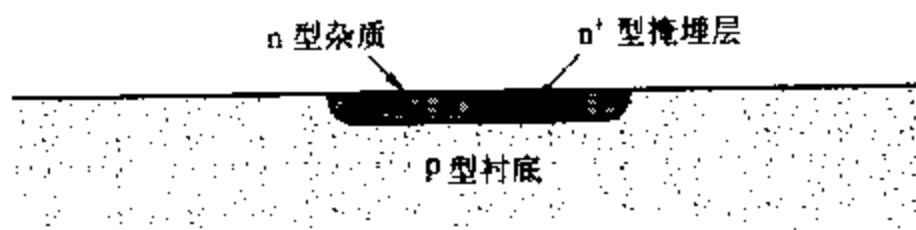


图 2.10 掩埋层扩散

掩埋层的工作结束后,晶圆上的氧化物会被除去,外延层已形成,如图 2.11 所示。掩埋层的厚度和 n 型杂质的浓度决定了电路中晶体管集电结的击穿电压,因为晶体管的集电极区域是由这些材料构成的。例如,如果电路需要在 36 V 的电压下工作,那么元件基本上必须有高于 BV_{CEO} 的击穿电压。正如在第一章中所述,这意味着集电结的平板击穿电压必须是这个值的数倍,这些都是集电极雪崩激增的结果。假设 $BV_{CEO} = 36\text{ V}$,则需要 90 V 左右的集电结的平板击穿电压,这表明集电极的杂质浓度约为 $10^{15}\text{ atoms/cm}^3$,电阻率为 $5\ \Omega\cdot\text{cm}$,于是外延层的厚度必然要足够大,以给予集电结相关联的耗尽层。在 36 V 电压下,第一章的结果可以说明耗尽层的厚度达约为 $6\ \mu\text{m}$ 。由于在下一道工序中,掩埋层会向外扩散约 $8\ \mu\text{m}$,而基区的扩散约 $3\ \mu\text{m}$ 深,因此对于 36 V 的电路共需要外延层的厚度为 $17\ \mu\text{m}$ 。对于低工作电压的电路,更薄和更高掺杂的外延层被用来减小晶体管集电极的串联电阻,这部分将在后面详细介绍。

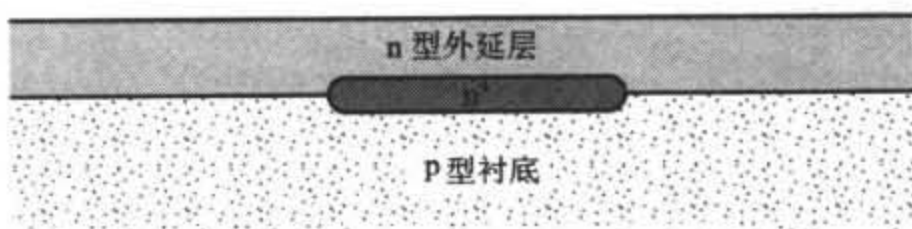


图 2.11 外延生长之后的双极型集成电路基片

外延生长之后,外延层表面将生长一层氧化物。接着进行掩模、硼(p 型)预淀积和扩散,形成的结构如图 2.12 所示。此步扩散的作用是用反偏的 pn 结将晶体管的集电极相互隔离,我们将这种扩散称为孤立扩散。鉴于扩散必须穿越的深度,扩散需要在温度约为 $1\ 200\ ^\circ\text{C}$ 的扩散炉中保持一段时间。孤立扩散层的表面电阻范围从 $20\sim 40\ \Omega/\square$ 。

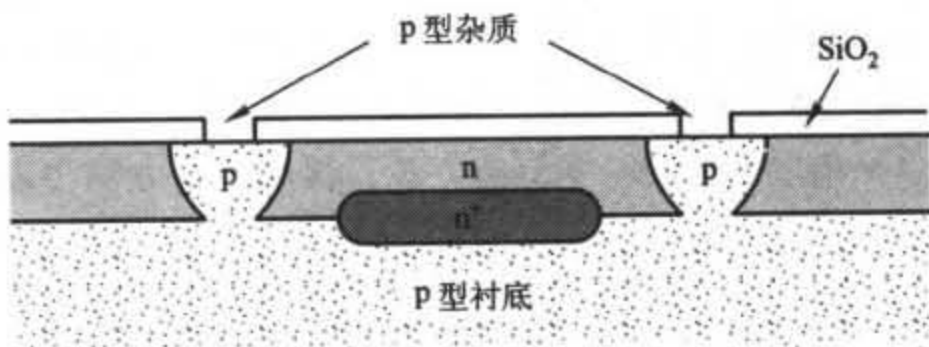


图 2.12 独立扩散后的结构

接下来的步骤是基区掩模、基区预淀积和基区扩散,如图 2.13 所示。后者通常是硼扩散,其结果是掩埋层表面电阻为 $100\sim 300\ \Omega/\square$,深度为 $1\sim 3\ \mu\text{m}$ 。这步扩散不仅形成了晶体管的基区,而且形成了电路中的大多数电阻,由此可知表面电阻的控制是很重要的。

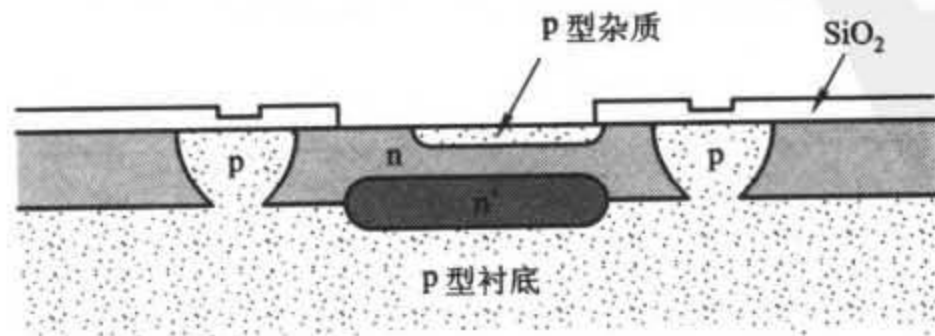


图 2.13 底层扩散后的结构

基区扩散之后,晶体管的发射极是由掩模、n型预淀积、扩散形成的,如图2.14所示。表面电阻为 $2\sim 10\ \Omega/\square$,扩散后其深度为 $0.5\sim 2.5\ \mu\text{m}$ 。这步扩散也被用于形成一个低电阻区域,该区域可以作为与集电极区域的接触点。这步是必不可少的,因为欧姆接触很难直接连接铝膜和高电抗性的外部材料。下一步是掩模,即接触点掩模,用来在晶体管的发射极、基极和集电极上的氧化物中打孔,以便可以在晶体管中做出电接触点。接触窗也为芯片上的无源元件打开。整个芯片会被涂上一层薄铝(约 $1\ \mu\text{m}$),这层铝膜将电路元件互相连接起来。实际的连接形成由最后一步掩模来完成,在扩散过程中感光胶被除掉的区域的铝也会被蚀刻,最终的结构如图2.15所示。同种类型实际结构的显微镜照片如图2.16所示。元件表面的梯度是由于附加氧化物在每次扩散中都生长,因此外延区域的氧化物最厚,这个区域没有氧化物被除去,而在基区扩散过程中都暴露在外,基区和隔离区的氧化物要薄一些,氧化物最薄的是发射极的扩散。高压和深度扩散的模拟集成电路的典型扩散截面如图2.17所示。

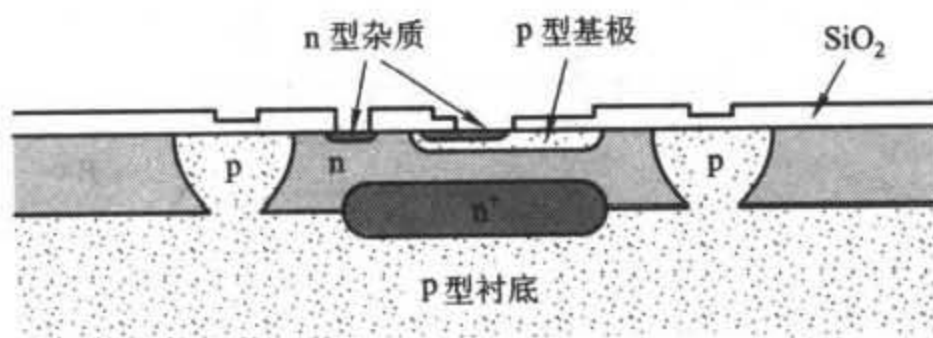


图 2.14 发射极扩散后的结构

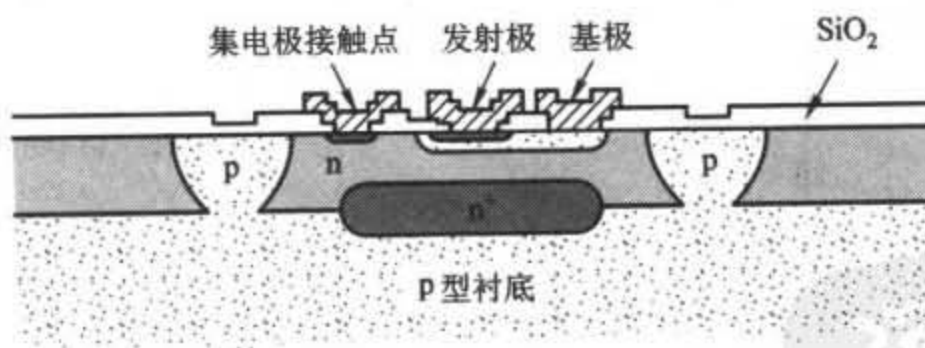


图 2.15 接触点掩模和渡金属膜后的最终结构

这一系列过程允许大量(常常是成千上万)的复杂电路同时制造在一块晶圆上。然后晶圆被放在自动测试台上,来检测晶圆上每个电路的电特性,并在电路不合格的地方放置墨点。然后通过锯开、划开和断开将晶圆分解成众多独立的电路。这些生成的硅芯片叫做印膜,每一个单元称为模片,每个好的模片都会被安装到组件里,准备最后的测试。

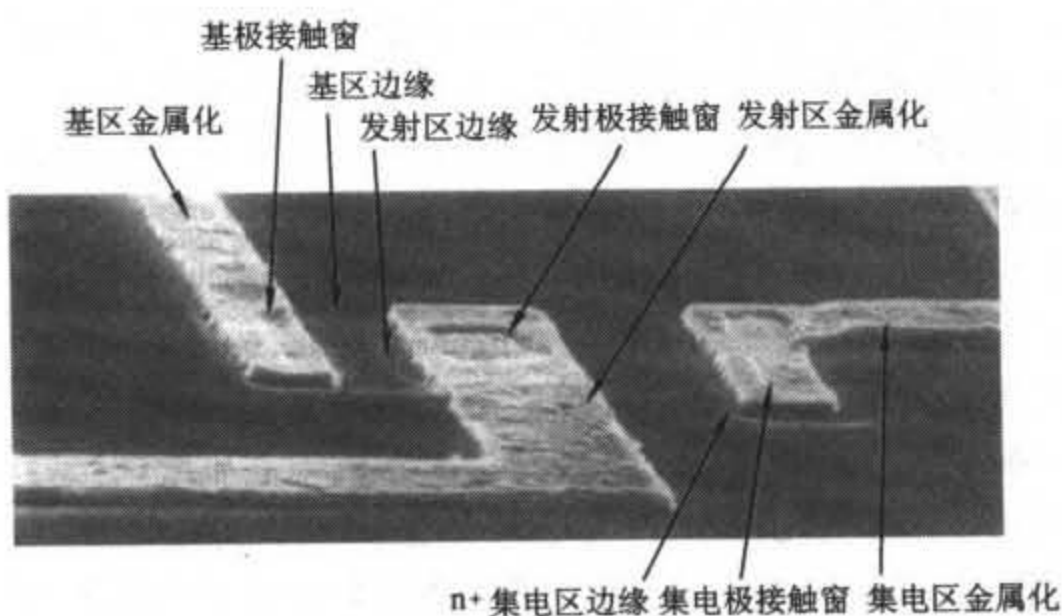


图 2.16 npn 晶体管结构的扫描电子显微镜照片

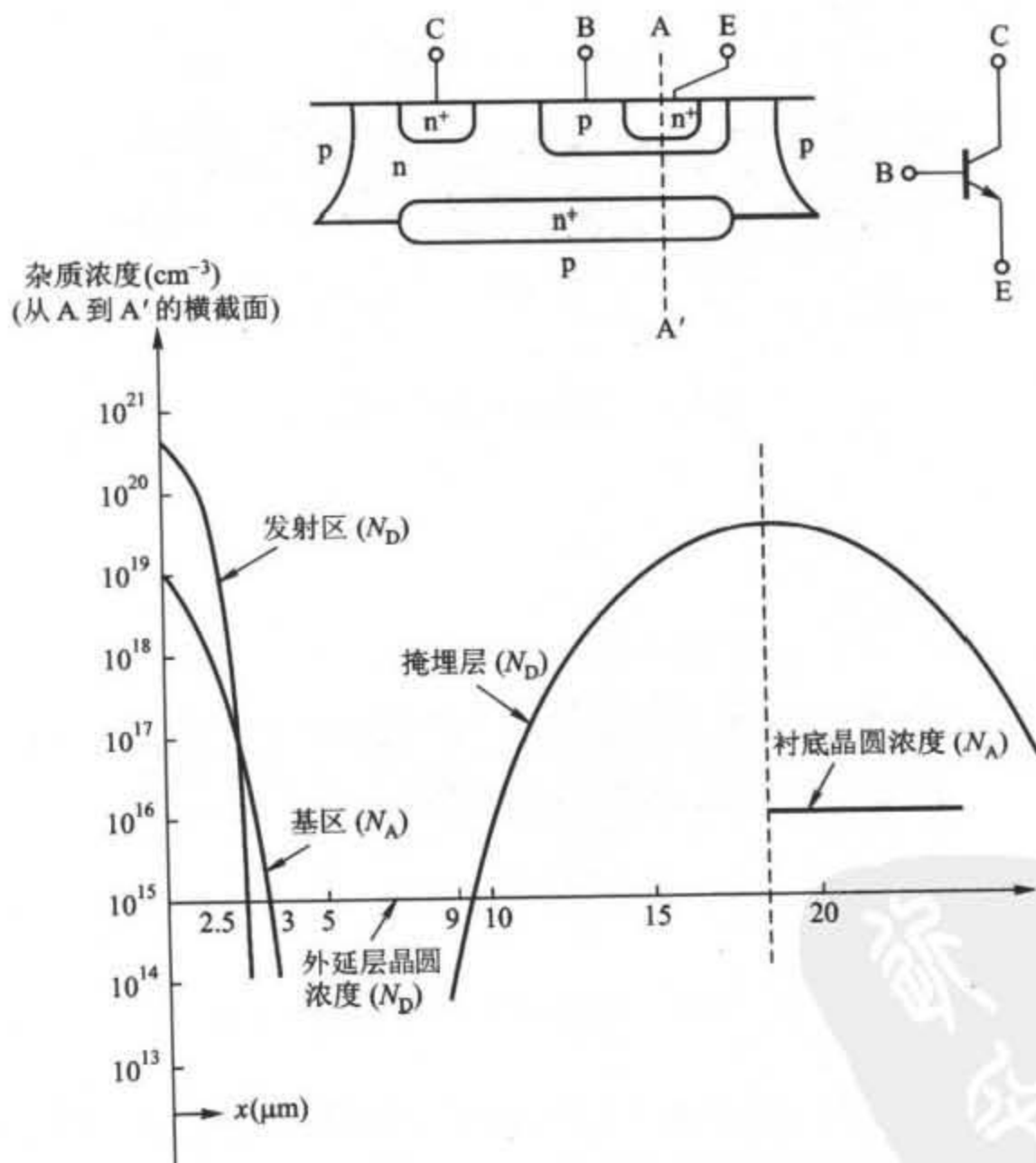


图 2.17 高压深层扩散工艺中单片 npn 晶体管的典型杂质浓度

2.4 高级双极型集成电路的制造

很多现在制造的双极型模拟集成电路的晶圆使用的是在前面章节中讲述的基本技术或其改进技术。这种制造程序比较简单而且成本低。但是,许多电路的重要商业应用都需要稳定增加的频率响应特性,这在技术上直接转化为需要高频响应特性更好的晶体管。更高的速度要求引出了一种更薄的基区宽度从减小传输时间和更小的整体尺寸从减少寄生电容的设计结构。更小的器件尺寸需要结构内部的损耗层宽度尽可能地减小,即要求更低的电路运行电压和更高杂质浓度的设计结构。为达到这种要求,发展了一种双极型的制造工艺,与上节介绍的高电压加工顺序相比,使用了更薄和掺杂更多的外延层,选择氧化区域代替结点连接用于隔离,而且使用一种多晶硅层作为掺杂剂的来源用于发射极。由于这种双极型的加工变得越来越重要,本节将介绍这种加工的过程。

这个过程的出发点与通常的过程相似,在 p 型底层用掩模和注入形成一个高掺杂的 n^+ 掩模层。下一步,生长出一个薄大约 $1\ \mu\text{m}$, $0.5\ \Omega\text{-cm}$ 电阻率的 n 型外延层。通过这些步骤后的结构如图 2.18 所示。

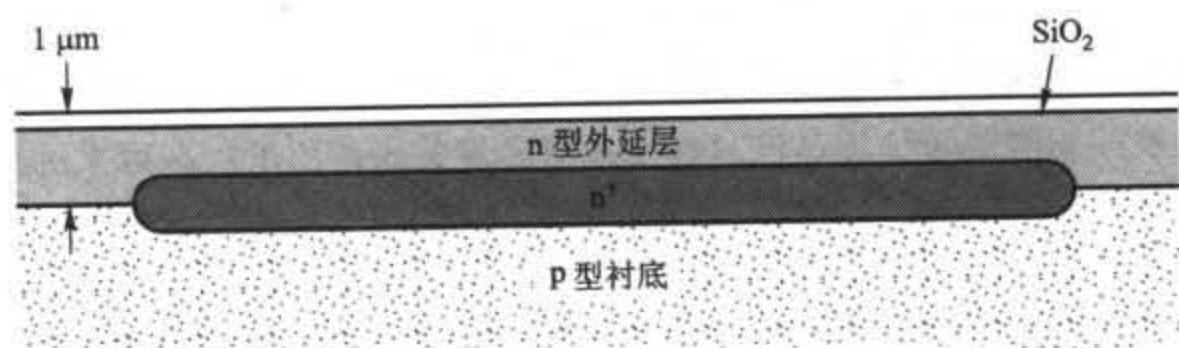


图 2.18 最初的掩模、注入以及外延层生长的截面图

下一步,选择氧化步骤用于形成一个区域,使其与邻近的晶体管隔离,并且使集电极接触区和剩下的晶体管隔离。这个氧化步骤,除了在生长 SiO_2 以前,先进行一个蚀刻的步骤用于去除氧化物即将形成区域中的硅材料,其他的就像 2.2.7 节描述的一样。如果不执行这一步,将生长厚的氧化物,其结果是在氧化物要生长的区域内形成凸起的驼峰。这些驼峰附近的阶梯会使以后堆积的金属层和多晶硅层很难覆盖。在氧化物生长之前,先除去一些硅材料,就会形成一个比较平坦的表面。从而避免了后续加工过程中阶梯覆盖的问题。这一步后的最终结构如图 2.19 所示。注意 SiO_2 在 p 型底层和彼此电隔离的 n 型外延层上延任意方向生长。这些区域通常被叫做沟道。由于生长的氧化层比 $1\ \mu\text{m}$ 厚,这需要很漫长的时间,因此这种隔绝的方法只在非常薄的晶体管结构中实际采用。

下一步,实行两次掩模和注入过程。大量的 n^+ 注入到集电极接触区并扩散到掩模层,形成到达集电极的低电阻通道。第二个掩模过程用于形成基极区域的一个薄的 p 型输入。最终的结构如图 2.20 所示。

制造这类器件的主要挑战在于形成一个很薄的基极和发射极的结构,并提供低电阻的

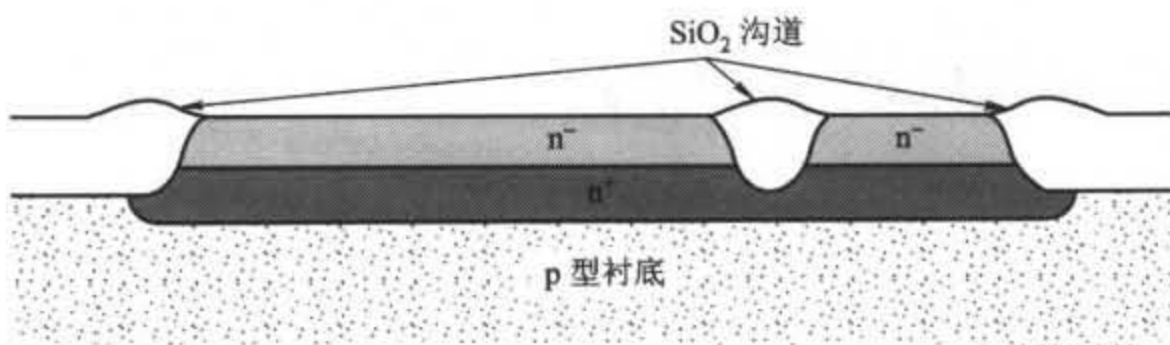


图 2.19 选择性蚀刻和氧化形成厚氧化沟道的截面图

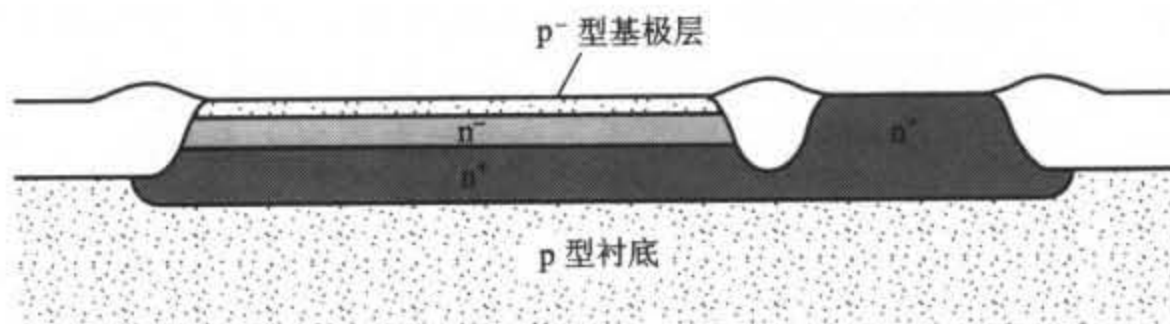


图 2.20 集电极的掩模、注入以及扩散和 p 型区域的掩模和注入的截面图

欧姆接触连接到这些区域。为达到这个目的,大多采用多晶硅作为掺杂的来源。一个 n^+ 的多晶硅掺杂层被淀积和屏蔽让多晶硅只在发射极区域的表面留下。在后来的高温处理过程中,掺杂剂(通常是硼)从多晶硅中扩散出来进入晶体硅中,形成一个很薄的高掺杂的发射极区域。聚集淀积作用之后,开始高浓度的 p 型输入,在基极区域除了多晶硅,隔离并防止硼原子接触到基极区域的所有点会形成更高浓度的 p 型掺杂层。此步骤后的结构如图 2.21 所示。

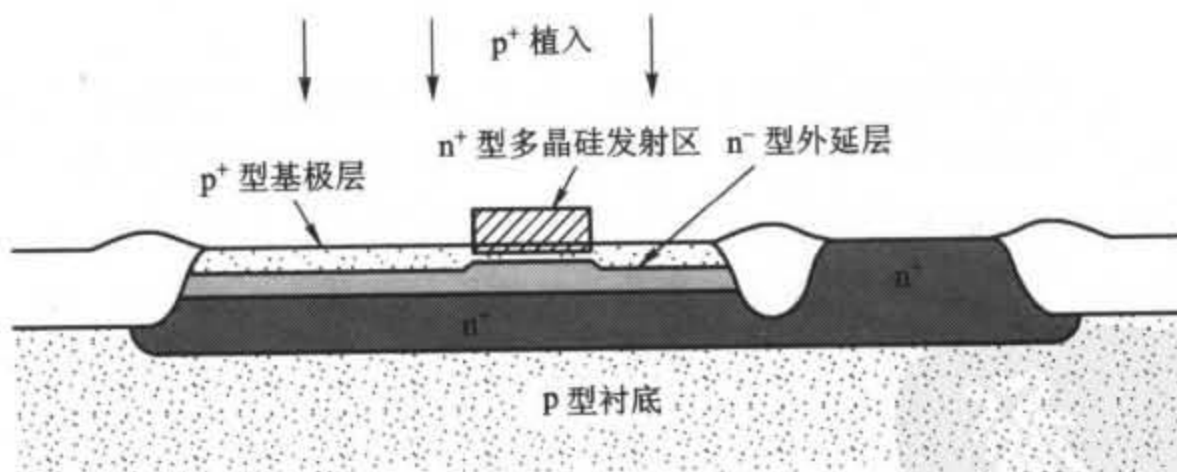


图 2.21 聚集淀积作用和掩模、基于 p 型的注入以及热扩散循环的截面图

这种形成低阻抗区域连接到基极的手段叫做自对准结构,因为这种基极区与发射极的连接是自动发生的,并且不需要掩模连接。相似的处理过程被应用到 MOS 技术中,将在本章后面作介绍。

镀金属后的最终器件结构如图 2.22 所示。由于沟道由 SiO_2 形成,镀金属的接触窗口

会与它们交迭,事实上基极和集电极区域达到的最小尺寸会有很明显缩小。所有暴露的硅和多晶硅都会被覆盖上一层高传导的硅化物(硅和难熔金属,例如钨的化合物)用于减少串联和接触电阻。最小尺寸的晶体管与发射结的接触点,做在一个超过器件有效区域的多晶硅发射极范围内,在那里形成一个金属接点连接到多晶硅。这样的器件图片如图 2.23 所示,而典型的杂质分布图如图 2.24 所示。使用与多晶硅连接的细小的发射结会增加串联发射结阻抗,于是在发射结阻抗要求严格的大型器件设计中,大多的发射结被直接放置的多晶硅发射极上。与深层扩散、高压处理中 500 MHz 的标准值相比,依靠类似于刚介绍的双极型晶体管的工艺过程生产 IC,^{7,8} 其 f_T 值可以超过 10 GHz。

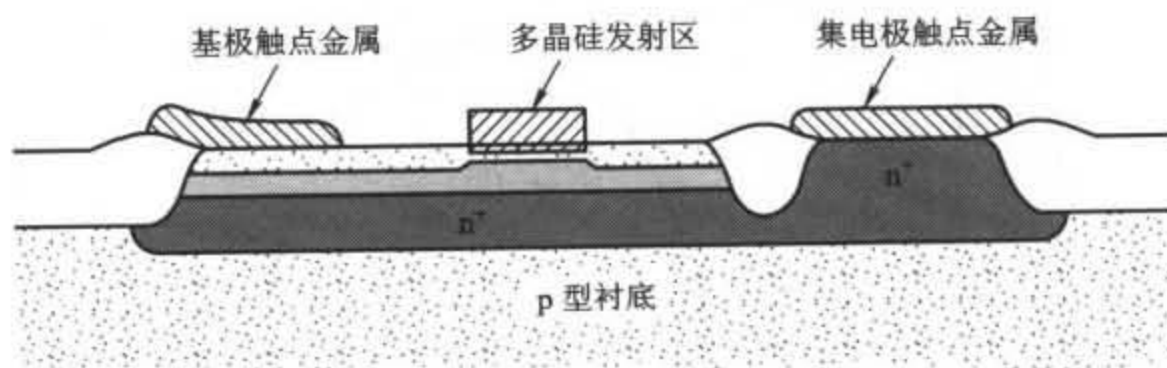


图 2.22 最终的器件截面图,注意到集电极与基极的接触窗口会和沟道交迭。这里显示的允许尽可能小的发射结结构是做在一个超过器件有效区域的多晶硅发射极范围内

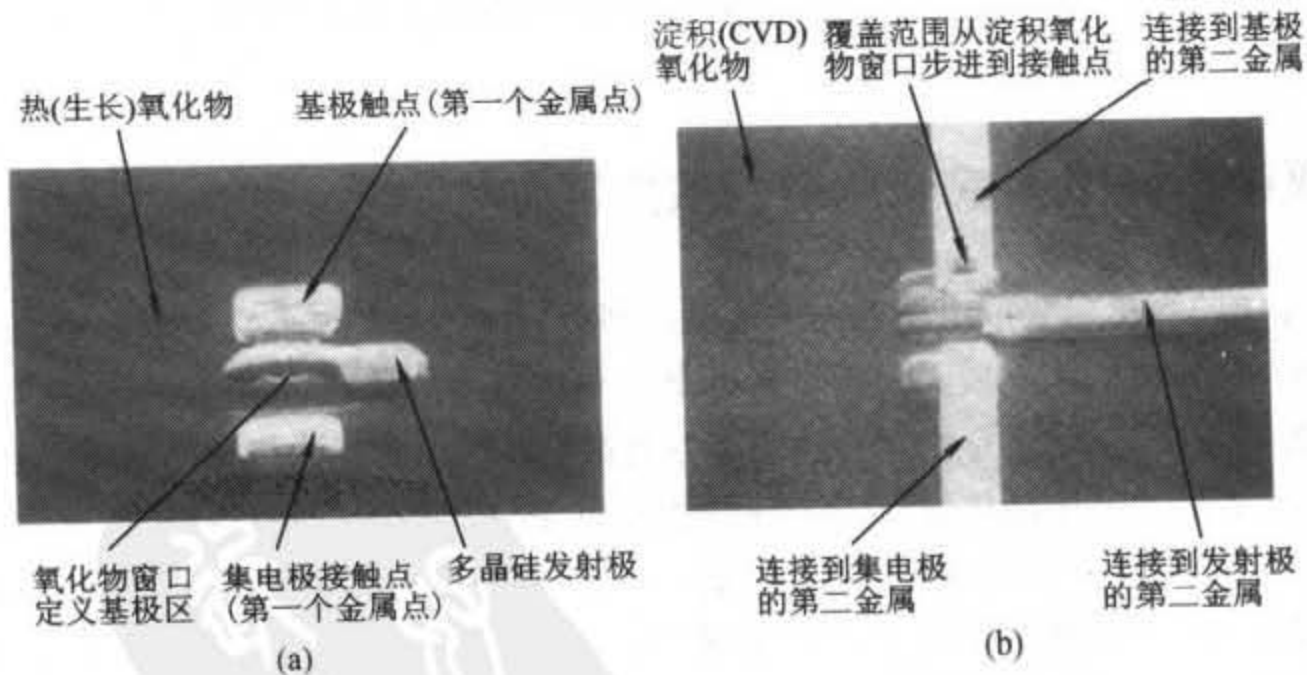


图 2.23 高级的双极型晶体管在多晶硅发射极、氧化隔离过程的电子显微镜扫描图片
(a) 多晶硅发射结确定和第一个金属点连接到基极和集电极后。多晶硅发射结有 1 μm 厚;
(b) 氧化物淀积作用、接触蚀刻和第二金属连接后。[Signetics 公司的 QUBic 处理照片]

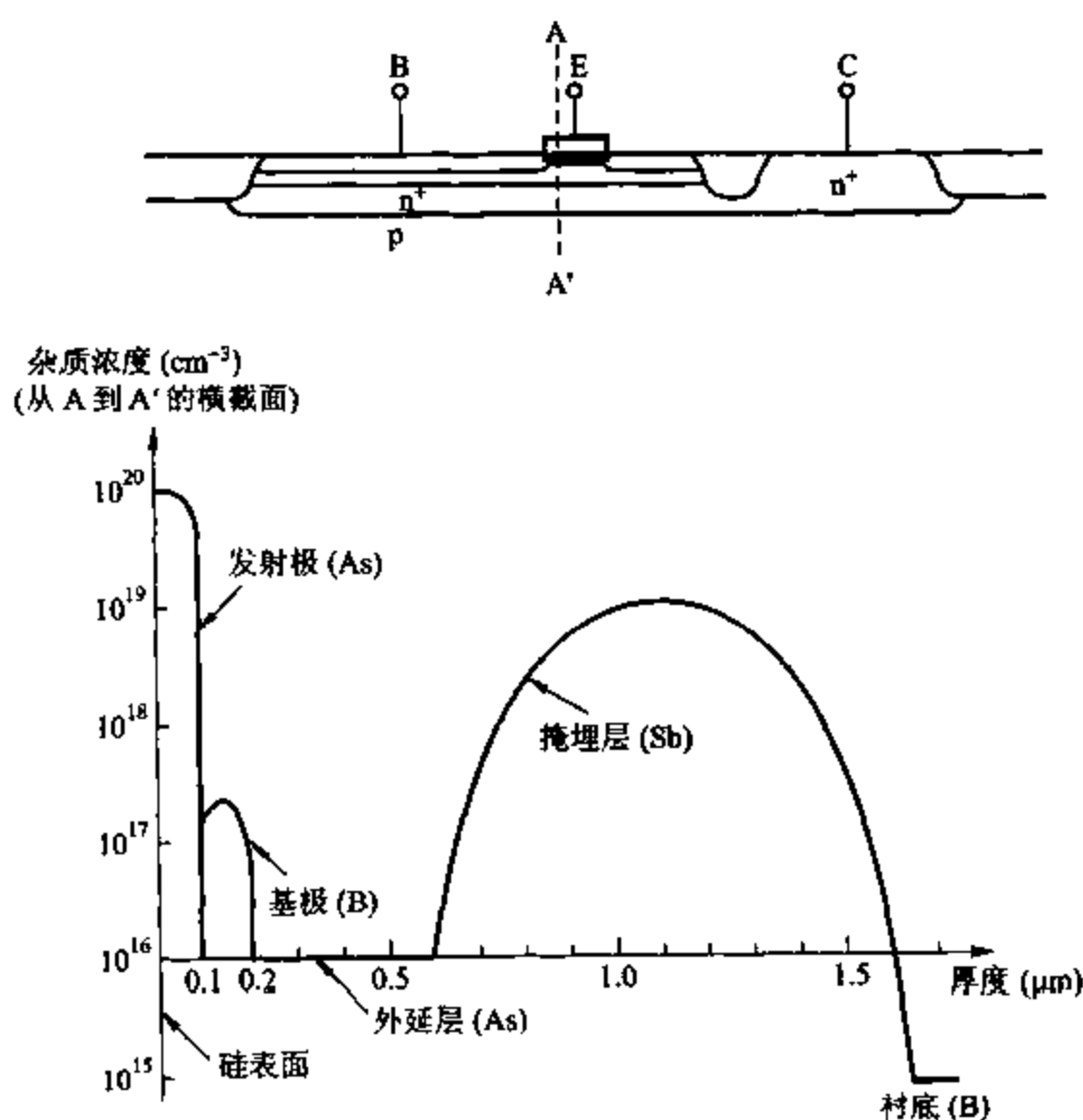


图 2.24 薄氧化物隔离双极型晶体管的典型杂质分布图

2.5 双极型模拟集成电路中的放大器件

前面介绍的高电压集成电路制作方法是从制造 npn 型双扩散的离散双极型晶体管方法中派生出的,这种方法从本质上说可以制造出更高性能的双扩散 npn 型晶体管。将来这种器件高级的制作工艺,除击穿电压外的所有方面都会改进。在很多模拟电路里,除了 npn 型晶体管外,也需要 pnp 型晶体管,在发展模拟集成电路工艺方面取得的重大的突破就是发明了标准工艺也能生产 pnp 型晶体管的构造。本节中,我们将研究这种结构和 npn、横向 pnp 以及衬底 pnp 的晶体管的特点。首先我们以高电压制造工艺作为例子。在更先进的工艺里,除了它们的频率响应特性比较高之外,与现在出现的构造都是相似的。本节也介绍了在这些最新的工艺中典型的器件参数。

2.5.1 npn 型晶体管集成电路

在上一节里介绍了高压 npn 型晶体管集成电路的构造,它的平面图和截面图如图 2.25 所示。在正向线性放大区结构中,提供电流增益的唯一有源部分是在发射极下的基极处。

结构中其余部分通过一个顶部触点与晶体管三个极相连,并且在同一个模片上与器件其他部分进行电隔离。从电的角度来看,这些区域的主要作用是提供寄生电阻和电容,它们必须包括在小信号模型中,用于整个器件提供高频性能的精确描述。

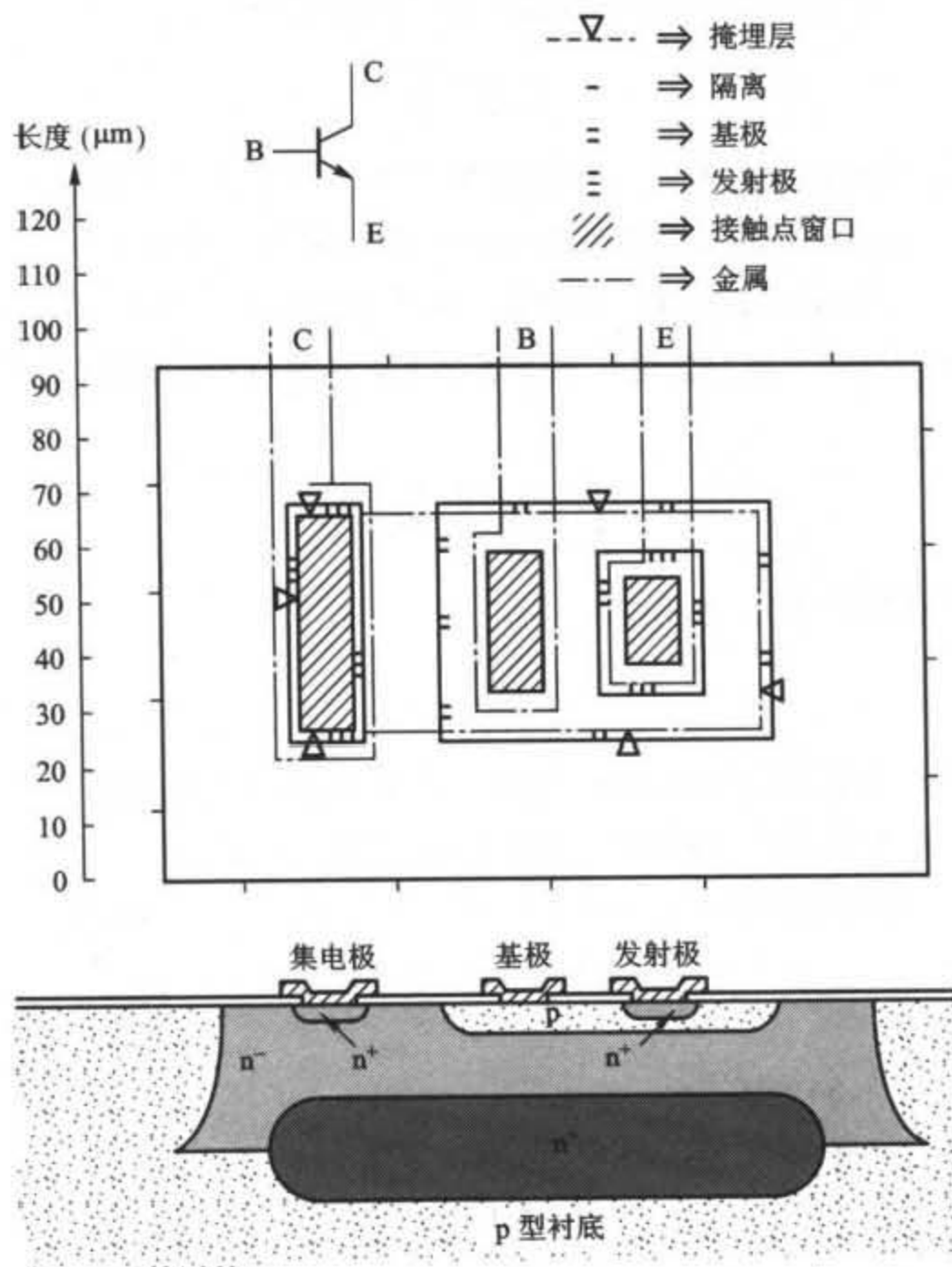


图 2.25 npn 型晶体管集成电路。掩模层按如图显示的排列

集成电路设计与分立器件电路设计的一个重要的区别是集成电路设计者有能力利用器件的几何外形对特定的电路环境进行特殊优化。因此,电路的设计问题即为对一定数量的器件进行设计。例如,用于放大器的输出端、可承受高电流强度的晶体管需用此设计方法。它可用尺寸比标准器件大的器件做成,而且这个晶体管相当于许多标准器件的并联。然而,这种较大的几何尺寸,将造成比标准器件大的基极、发射极和集电极底层电容,这在分析电路频率特性时必须引入。电路的设计者也必须有能力测定器件几何尺寸改变对器件特性的影响,还要估计已知重要器件参数情况下的器件构造和掺杂标准。为描述这个过程,计算如图 2.25 所示的 npn 型器件的典型参数。这个是 $5\ \Omega\cdot\text{cm}$, $17\ \mu\text{m}$ 外延层的典型的器件构造。发射极扩散区是 $20\ \mu\text{m} \times 25\ \mu\text{m}$, 基极扩散区是 $45\ \mu\text{m} \times 60\ \mu\text{m}$, 基极隔离区是 $25\ \mu\text{m}$ 。器件

的整体尺寸是 $140\ \mu\text{m} \times 90\ \mu\text{m}$ 。器件的几何外形是计划提供更低的外延层电阻系数并让厚度变得更小;基极的隔离区用于支配隔离区和关联到基极集电极和集电极隔离区的损耗层的单边扩散。

饱和电流 I_s 在第一章中,标准基极晶体管的饱和电流是

$$I_s = \frac{qA\bar{D}_n n_i^2}{Q_B} \quad (2.16)$$

这里 A 是发射结的面积, Q_B 是这个区域的单位面积杂质原子的总量, n_i 是本征载流子浓度, 而 \bar{D}_n 是电子在晶体管的基极区域的有效扩散区常数。从图 2.17 可以看出, 在基极区域中, 浓度曲线以下的面积就是 Q_B 的数量。这个可以用图表表示, 不过在集电极电流恒定的条件下通过测量基极-发射极电压的方法能更容易地得到。将式(2.16)代入到式(1.35)得

$$\frac{Q_B}{\bar{D}_n} = A \frac{qn_i^2}{I_C} \exp \frac{V_{BE}}{V_T} \quad (2.17)$$

通过这个等式就能得到 Q_B 。

示例

一个发射极面积是 $45\ \mu\text{m} \times 60\ \mu\text{m}$ 的测试晶体管, 在集电极电流是 $10\ \mu\text{A}$ 时, 测得的基极-发射极电压是 $550\ \text{mV}$ 。如果 $T = 300\ ^\circ\text{C}$ 时, 估计 Q_B 值。

根据第一章, 我们可以得到 $n_i = 1.5 \times 10^{10}\ \text{cm}^{-3}$ 。代入式(2.17)得

$$\begin{aligned} \frac{Q_B}{\bar{D}_n} &= (100 \times 10^{-4})^2 \frac{1.6 \times 10^{-19} \times 2.25 \times 10^{20}}{10^{-5}} \exp(550/26) \text{cm}^{-4} \text{s} \\ &= 5.54 \times 10^{11} \text{cm}^{-4} \text{s} \end{aligned}$$

在基极以这种掺杂浓度, 电子扩散率 \bar{D}_n 的估计值是

$$\bar{D}_n = 13\ \text{cm}^2 \text{s}^{-1}$$

因此, 在这个例子中

$$Q_B = 5.54 \times 10^{11} \times 13\ \text{cm}^{-2} = 7.2 \times 10^{12} \text{atoms/cm}^2$$

可以看出 Q_B 依赖于扩散的曲线, 而且不同类型的方法曲线不同。一般说来, 制作过程是为了用很薄的基极区域来达到较低的操作电压和较低的 Q_B 值。由于扩散过程的多样性, 用一个固定的标称方法, Q_B 值会因二个或三个因素而改变。 Q_B 数值的重要意义在于, 只要知道了任何器件构造的发射结的面积, 就能计算它的饱和电流 I_s 。

串联基极阻抗 r_b 由于基极的触点与有源基极区是物理无关的, 在触点和有源基极区之间有明显的串联欧姆电阻。这个电阻对器件的高频增益和噪声性能有明显的影响。由图 2.26a 所示, 电阻由两部分组成。第一个是基极触点到发射极扩散边缘之间的电阻 r_{b1} 。第二部分 r_{b2} 是发射极边缘和事实上电流很顺畅的基区内部之间的电阻。前一个部分可通过忽略边缘效应和假定为一个如图 2.26b 所示的矩形材料元件的电阻即可估计出。由于基极

表面电阻是 $100\ \Omega/\square$, 而典型的尺寸如图 2.26b 所示, 就能得到一个阻值

$$r_{b1} = \frac{10\ \mu\text{m}}{25\ \mu\text{m}} 100\ \Omega = 40\ \Omega$$

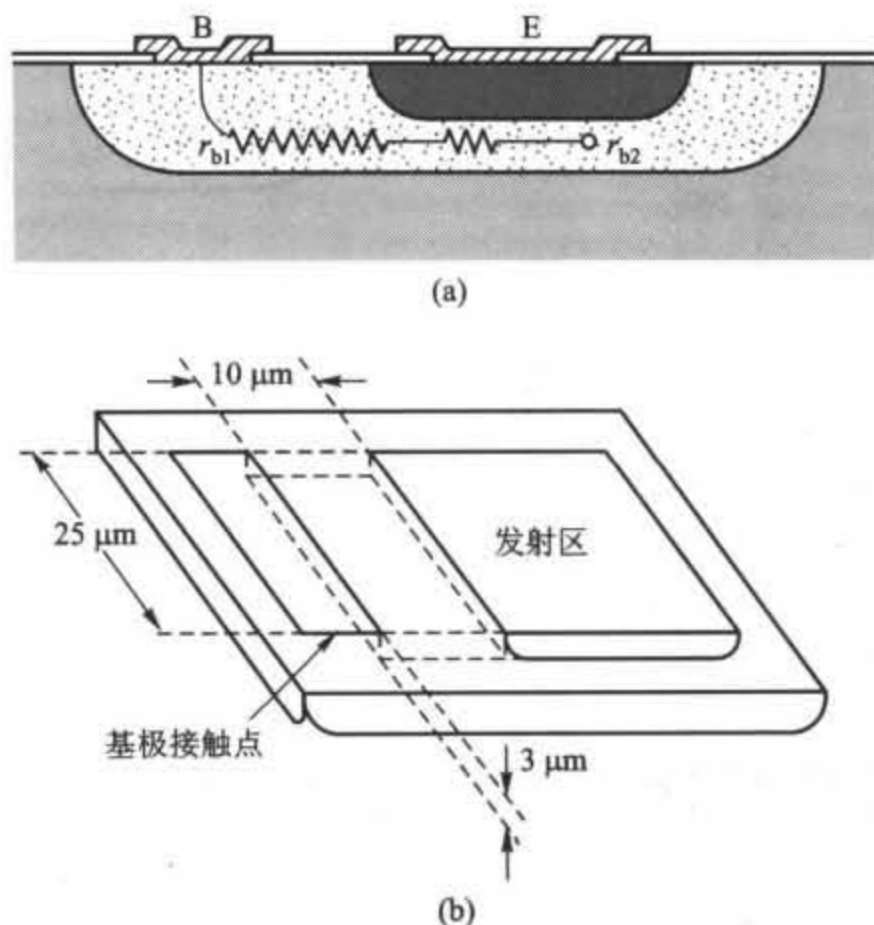


图 2.26 (a) npn 型晶体管的基极电阻元件; (b) r_{b1} 的计算。
由基极电阻的 r_{b1} 元件可通过计算上面矩形块的电阻进行估计

r_{b2} 的计算由于几个因素而变得很难。第一, 这个区域的电流是不能通过单一的电阻模型算出, 因为基极电阻是分散到整个基区的, 而且两部分的作用都很重要。第二, 在平稳适当的电流强度下, 这个区域的电流阻塞作用⁹ 会引发在发射极扩散附近的大部分载流子从发射极注入基极。在大电流情况下主要在边缘注入, 并且使 r_b 接近 r_{b1} 的值, 在这种情况下, 发射极下的部分基极在晶体管中不发挥作用。图 2.25 中的 npn 型晶体管的发射极电流同 r_b 的一个典型变化曲线如图 2.27 所示。在晶体管中, 较低的 r_b 值对设计低噪声和/或高频应用是很重要的, 常常需要努力使临近基极触点的发射极外围最大。同时, 发射结和集电结的面积必须保持得很小, 来使得电容最小。对于高频晶体管来说, 通常使用由很多间隙和基极触点组成的发射极的几何尺寸。设计者能很容易地使用这种器件几何尺寸, 比如单片集成电路结构的灵活运用。

串联集电极电阻 r_c 串联集电极电阻在高频电路和需要低集电极-发射极饱和电压的低频电路中都非常重要。由于集电极区域本身复杂的三维形状, 通过手工分析只能得到近似的集电极电阻。从图 2.28 可以看出, 电阻包括三个部分: 从发射极下的集电结到掩埋层的电阻 r_{c1} ; 从发射极下的区域向上到集电极接触点下面的区域的掩埋层电阻 r_{c2} ; 最后是从掩埋层向上到部分集电极接触点的电阻 r_{c3} 。正向放大区域中的小信号串联集电极电阻

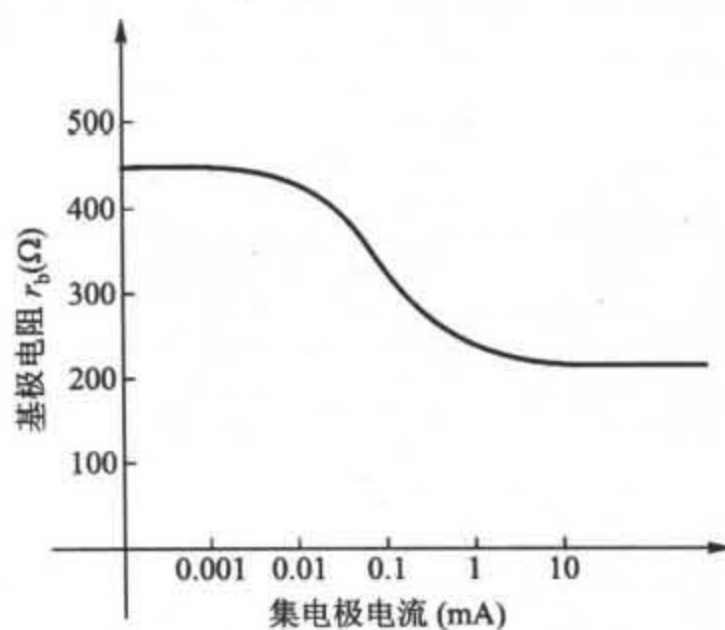


图 2.27 集成电路 npn 型晶体管的有效的小信号基极电阻同集电极电流的典型变化

可以通过将这三部分电阻相加得出。

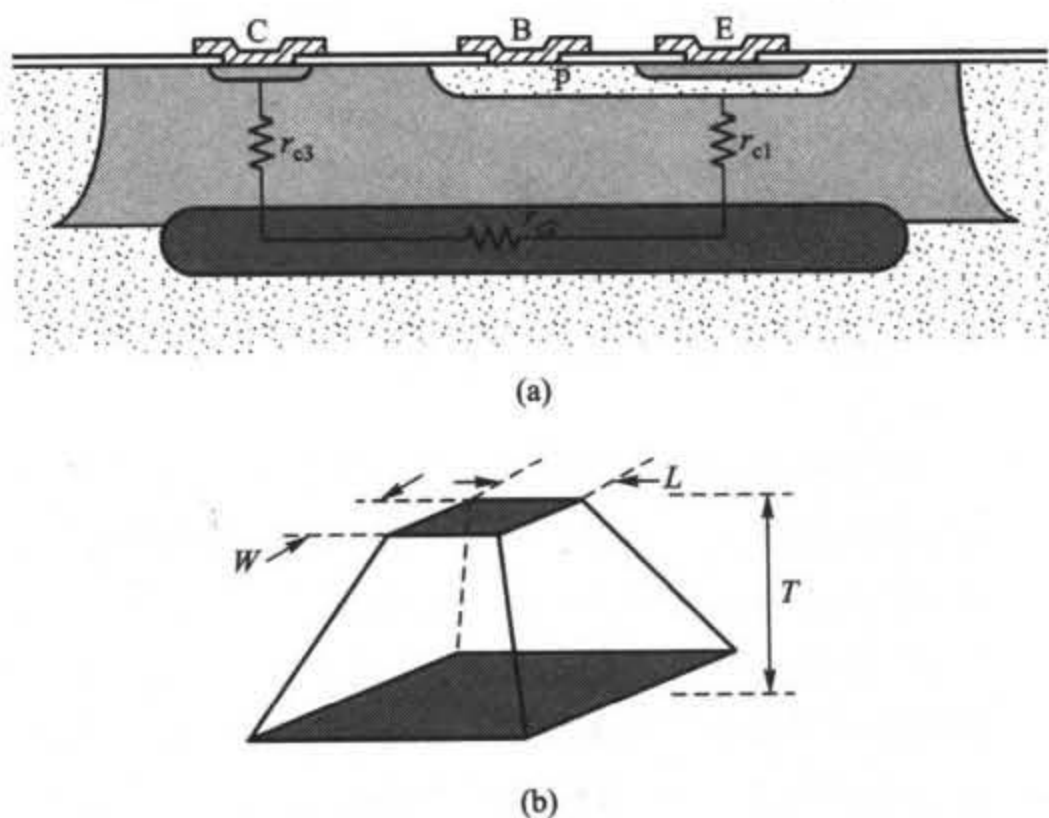


图 2.28 (a)集电极电阻的组成;(b) 计算集电极电阻的模型

示例

计算图 2.25 所示晶体管的集电极电阻,设掺杂剖面如图 2.17 所示。首先计算 r_{c1} 部分。集电结与掩埋层间轻度掺杂的外延层厚度是 $6\text{ }\mu\text{m}$ 。假设集电结是零偏,那么第一章的结果可以表明耗尽层的厚度是 $1\text{ }\mu\text{m}$ 。因此,基区下未用尽的外延材料的厚度是 $5\text{ }\mu\text{m}$ 。

在掩埋层的电阻 r_{c1} 的有效交叉组合区域要大于在集电结的区域。发射极的尺寸是

20 μm \times 25 μm ,而在掩模上面掩埋层的尺寸是 41 μm \times 85 μm 。由于掩埋层边沿扩散的距离与向外扩散的距离大致相等,所以每个边缘必须增加约为 8 μm ,得出有效尺寸为 57 μm \times 101 μm 。这个三维区域的电阻值的确切计算需要在这个区域解拉普拉斯方程,这要用到一个非常复杂的边界条件的集合。因此,将采用近似分析方法,建立这个区域的矩形平行六面体模型,如图 2.28b 所示。假设区域上表面和底面是等势面,并且在这个区域中只有垂直方向的电流,这种结构的电阻可表示为

$$R = \frac{\rho T}{WL} \cdot \frac{\ln\left(\frac{a}{b}\right)}{(a-b)} \quad (2.18)$$

其中: T = 区域的厚度

ρ = 材料的电阻率

W, L = 顶面矩形的宽度、长度

a = 底面矩形宽度与顶面矩形宽度的比率

b = 底面矩形长度与顶面矩形长度的比率

对这种表达式直接应用会得出一个不切实际的低电阻,因为当下面矩形的尺寸比上面矩形大得多时定向流动的假设就被正式推翻了。当区域边缘与垂线之间形成一个小于或等于 60° 的角时,式(2.18)给出了实际的结果。当边缘角增大并超过这个点时,电阻不会减小很多,因为电流在顶电极与底电极的较远区域之间要通过一段很长的距离。因此,底电极的极限应该通过掩埋层边缘或发射极边缘加上一个大约是区域垂直厚度 T 两倍的距离来确定,无论它们哪一个更小。对于 r_{e1} 有

$$T = 5 \mu\text{m} = 5 \times 10^{-4} \text{ cm}$$

$$\rho = 5 \Omega\text{-cm}$$

假设发射极的有效尺寸为每个边界上掩模加上大约 2 μm 的边缘扩散。则有

$$W = 20 \mu\text{m} + 4 \mu\text{m} = 24 \times 10^{-4} \text{ cm}$$

$$L = 25 \mu\text{m} + 4 \mu\text{m} = 29 \times 10^{-4} \text{ cm}$$

对于这种情况,当计算侧壁扩散时,掩埋层边缘距发射极边缘的距离要大于所有四个面上厚度 T 的两倍。用于式(2.18)的有效掩埋层尺寸为

$$W_{BL} = W + 4T = 24 \mu\text{m} + 20 \mu\text{m} = 44 \mu\text{m}$$

$$L_{BL} = L + 4T = 29 \mu\text{m} + 20 \mu\text{m} = 49 \mu\text{m}$$

并且有

$$a = \frac{44 \mu\text{m}}{24 \mu\text{m}} = 1.83$$

$$b = \frac{49 \mu\text{m}}{29 \mu\text{m}} = 1.69$$

因此由式(2.18)可得

$$r_{e1} = \frac{(5)(5 \times 10^{-4})}{(24 \times 10^{-4})(29 \times 10^{-4})} (0.57) \Omega = 204 \Omega$$

下面计算 r_{e2} ,假设掩埋层表面电阻为 20 Ω/\square 。从发射极中心到集电极接触扩散中心的距

离是 $62\ \mu\text{m}$, 掩埋层宽度是 $41\ \mu\text{m}$ 。因此 r_2 部分近似为

$$r_2 = (20\ \Omega/\square) \left(\frac{L}{W} \right) = 20\ \Omega/\square \times \frac{62\ \mu\text{m}}{41\ \mu\text{m}} = 30\ \Omega$$

这里没有计算掩埋层边缘扩散, 因为掩埋层欧姆电阻完全由扩散进入硅内的实际杂质原子的数量(见式(2.15))决定, 而掩模尺寸和掩埋层表面电阻决定这个杂质原子的数量。

在 r_3 的计算中, 集电极接触 n^+ 扩散区域的尺寸是 $18\ \mu\text{m} \times 49\ \mu\text{m}$, 包括边缘扩散。从图 2.17 中可以看出, 从掩埋层到 n^+ 扩散区域底部的距离为 $6.5\ \mu\text{m}$, 因此在这种情况下 $T = 6.5\ \mu\text{m}$ 。在集电极 n^+ 扩散区域不与基区接触的三个面, 往外扩散的掩埋层向 n^+ 扩散区域外延伸了仅 $4\ \mu\text{m}$, 因此掩埋层的有效尺寸由这些面上的实际的掩埋层边缘决定。在与基区接触的面上, 距离 n^+ 扩散区域的有效掩埋层边缘长度为 $2T$, 或者 $13\ \mu\text{m}$ 。于是计算 r_3 的有效掩埋层尺寸为 $35\ \mu\text{m} \times 57\ \mu\text{m}$ 。由式(2.18)可得

$$r_3 = \frac{5 \times 6.5 \times 10^{-4}}{18 \times 10^{-4} \times 49 \times 10^{-4}} 0.66 = 243\ \Omega$$

则集电极总电阻

$$r_c = r_{c1} + r_2 + r_3 = 531\ \Omega$$

从这些元件中观察得到的实际值略小于计算出的理论值, 这主要有三个原因。第一, 我们近似认为这种流动是一维的, 而事实上它是三维的。第二, 对于更大的集电结电压, 集电结耗尽层在外延层中要延伸, 使 r_{c1} 值变小。最后, r_c 的值是很重要的, 它通常是一个元件的标准。在饱和条件下, 当集电结处于正向偏置时, 空穴被注入到发射极下的扩散层, 这些孔穴用来调节这个区域的传导率, 即使是电流合适的情况下依然发挥作用。¹⁰ 因此, 饱和条件下测得的集电极电阻接近 $(r_2 + r_3)$, 或者大约为 $250 \sim 300\ \Omega$ 。所以饱和区的 r_c 要比正向线性区域的小。

集电结电容 集电结电容相当于包含集电结底面和侧面的电容。该结是由硼扩散进入 n 型外延材料中形成的, 假设这种材料电阻率为 $5\ \Omega\text{-cm}$, 相应的杂质浓度为 $10^{15}\ \text{atoms/cm}^3$ 。均匀掺杂的外延层要比 p 扩散区域的掺杂要少, 于是该结就可以近似地认为是一个耗尽层几乎完全位于外延材料上的阶梯结。在这种假设下, 可以应用第一章中关于阶梯结的结果, 并且为方便起见, 它们之间的关系见图 2.29 所示的曲线图。这个曲线图以绘图的形式展现了这样的关系

$$\frac{C_j}{A} = \sqrt{\frac{q\epsilon N_B}{2(\phi_0 + V_R)}} \quad (2.19)$$

其中, N_B 是外延层的掺杂密度, V_R 是结上的反偏电压。图 2.29 的曲线图可以用来确定特定电压下的结耗尽区域宽度, 因为这个宽度与电容成反比。图右侧的坐标轴以微米为单位。

注意: 图 2.29 中的水平轴表示结的总电势, 等于施加的电压加上内置电压 ϕ_0 。为了使用曲线来计算, 首先要计算内置电压。这是扩散结的相关计算, 事实上内置电压并不十分依赖扩散区剖面, 并且可以假设集电结的内置电压为 $0.55\ \text{V}$, 集电极-衬底结内置电压为 $0.52\ \text{V}$, 发射结内置电压为 $0.7\ \text{V}$ 。

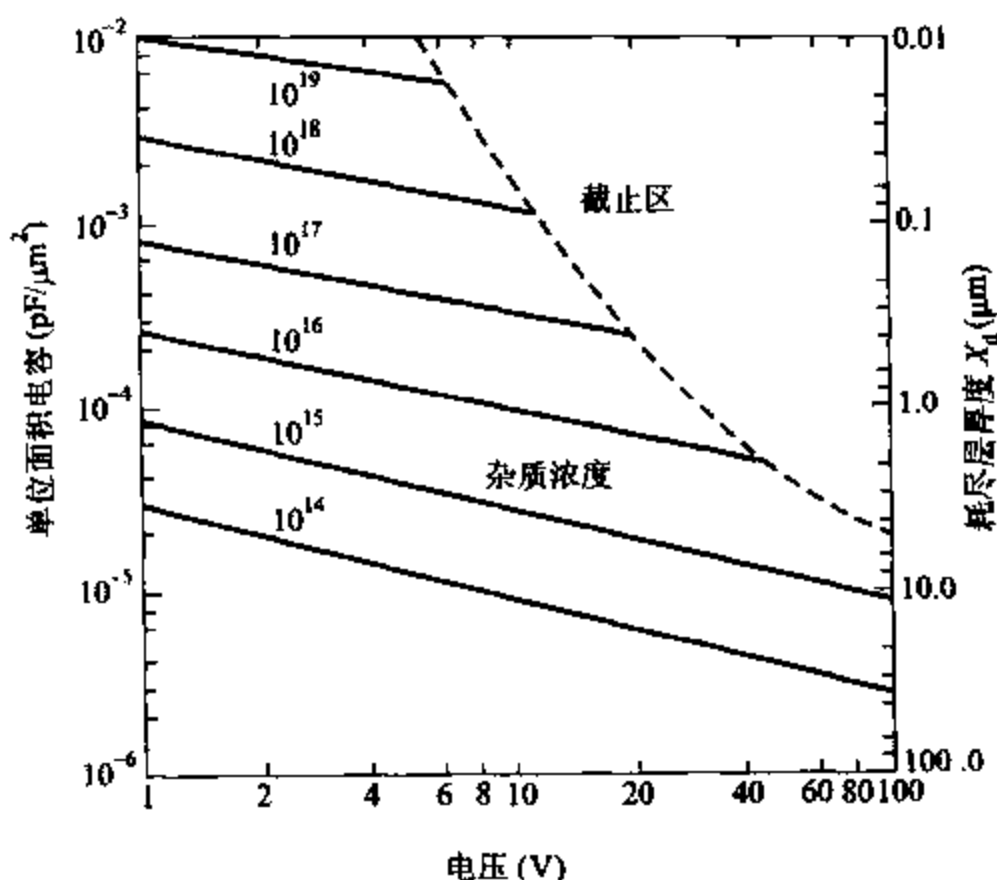


图 2.29 突变结的电容和耗尽层宽度随结上低掺杂面上的电压和掺杂浓度的变化¹¹

示例

计算图 2.25 所示元件的集电结电容。集电结的单位面积零偏电容可以在图 2.29 中找到,近似为 $10^{-4} \text{ pF}/\mu\text{m}^2$ 。集电结的总面积是基区扩散区域底部面积与基区侧面积的和。从图 2.25 可以看出,底面积为

$$A_{\text{bottom}} = 60 \mu\text{m} \times 45 \mu\text{m} = 2700 \mu\text{m}^2$$

从图 2.17 可以看出基区边缘具有 1/4 圆柱的形状。假设这个区域是圆柱形,则可得出侧面积为

$$A_{\text{sidewall}} = P \times d \times \frac{\pi}{2}$$

其中: P = 基区周长

d = 基区扩散深度

因此有

$$A_{\text{sidewall}} = 3 \mu\text{m} \times (60 \mu\text{m} + 60 \mu\text{m} + 45 \mu\text{m} + 45 \mu\text{m}) \times \frac{\pi}{2} = 989 \mu\text{m}^2$$

总电容为

$$C_{\mu 0} = (A_{\text{bottom}} + A_{\text{sidewall}})(10^{-4} \text{ pF}/\mu\text{m}^2) = 0.36 \text{ pF}$$

集电极-衬底电容 集电极-衬底电容包括三个部分:掩埋层和衬底之间的结电容、孤立扩散区的侧面电容和外延材料与衬底之间的电容。由于衬底的杂质浓度约为 $10^{16} \text{ atoms}/\text{cm}^3$, 它比外延材料的掺杂高,假设外延材料是低掺杂的,结是阶梯的一面时,电容的侧壁和外延材料我们都要分析。在这种假设下,该区域单位面积上的电容与集电结的电容相同。

示例

计算图 2.25 所示标准器件的集电极-衬底电容。集电极-衬底区域的侧面积为

$$A_{\text{sidewall}} = (17 \mu\text{m})(140 \mu\text{m} + 140 \mu\text{m} + 95 \mu\text{m} + 95 \mu\text{m}) \left(\frac{\pi}{2} \right) = 12\,550 \mu\text{m}^2$$

假设实际的掩埋层覆盖的面积是由掩模定义的,如图 2.25 所示,为 $41 \mu\text{m} \times 85 \mu\text{m}$,再在边缘扩散区域的每个边上加上 $8 \mu\text{m}$ 。于是得出总面积为 $57 \mu\text{m} \times 101 \mu\text{m}$ 。外延层与衬底之间的结面积为孤立区域的总面积减去掩埋层的面积。

$$\begin{aligned} A_{\text{epi-substrate}} &= (140 \mu\text{m} \times 95 \mu\text{m}) - (57 \mu\text{m} \times 101 \mu\text{m}) \\ &= 7\,543 \mu\text{m}^2 \end{aligned}$$

如果单位面积上的电容为 $10^{-4} \text{ pF}/\mu\text{m}^2$,则侧面和外延-衬底结的电容为

$$C_{\infty}(\text{sidewall}) = (12\,550 \mu\text{m}^2)(10^{-4} \text{ pF}/\mu\text{m}^2) = 1.26 \text{ pF}$$

$$C_{\infty}(\text{epi-substrate}) = (7\,543 \mu\text{m}^2)(10^{-4} \text{ pF}/\mu\text{m}^2) = 0.754 \text{ pF}$$

对于掩埋层与衬底之间的结,结的轻度掺杂的一面是衬底。假设衬底的掺杂为 $10^{16} \text{ atoms}/\text{cm}^3$,内置电压为 0.52 V ,则可以计算出单位面积的零偏置电容为 $3.3 \times 10^{-4} \text{ pF}/\mu\text{m}^2$ 。掩埋层的面积为

$$A_{\text{BL}} = 57 \mu\text{m} \times 101 \mu\text{m} = 5\,757 \mu\text{m}^2$$

则从掩埋层到衬底的零偏置电容为

$$C_{\infty}(\text{BL}) = (5\,757 \mu\text{m}^2)(3.3 \times 10^{-4} \text{ pF}/\mu\text{m}^2) = 1.89 \text{ pF}$$

则总的零偏置集电极-衬底电容为

$$C_{\infty} = 1.26 \text{ pF} + 0.754 \text{ pF} + 1.89 \text{ pF} = 3.90 \text{ pF}$$

发射结电容 晶体管的发射结有一个不能用阶梯结近似的掺杂横截面,因为结的两个面的掺杂浓度随距离的不同而不同,其变化方法也非常复杂。此外,单位面积的侧面电容并不是一个常数,而是随距离而变。这个电容的值是可以精确估计的,而且电容的一阶估计可以通过计算突变结的电容近似得到,在低掺杂面上这个突变结的掺杂浓度与基区结边缘的掺杂浓度相等。这里忽略了侧面电容。

示例

计算图 2.25 中标准元件的零偏置发射结电容。

首先近似估计基区的发射极边缘杂质浓度。从图 2.17 种可以看出,这个浓度大约为 $10^{17} \text{ atoms}/\text{cm}^3$ 。从图 2.29 的曲线可以看出,这个突变结单位面积上的零偏电容为 $10^{-3} \text{ pF}/\mu\text{m}^2$ 。由于发射结底部面积为 $25 \mu\text{m} \times 20 \mu\text{m}$,底部电容为

$$C_{\text{bottom}} = (500 \mu\text{m}^2)(10^{-3} \text{ pF}/\mu\text{m}^2) = 0.5 \text{ pF}$$

再次假设其为一个圆柱横截面,则侧面积为

$$A_{\text{sidewall}} = 2(25 \mu\text{m} + 20 \mu\text{m}) \left(\frac{\pi}{2} \right) (2.5 \mu\text{m}) = 353 \mu\text{m}^2$$

假设侧面上单位面积的电容与底部基本相等,

$$C_{\text{sidewall}} = (353 \mu\text{m}^2)(10^{-3} \text{ pF}/\mu\text{m}^2) = 0.35 \text{ pF}$$

总的发射极 - 基极电容为

$$C_{\text{jco}} = 0.85 \text{ pF}$$

电流增益 如第一章所述,晶体管的电流增益取决于影响基区迁移率的基区少子的寿命,以及受发射极的扩散区域长度影响的发射极功率。在模拟集成电路工艺中,基区少子的寿命很长导致基区迁移率已经不是 npn 晶体管中正向电流增益的限制因素。因为发射极区域掺杂了大量的磷,该区域中少子的寿命有所下降,而电流增益主要受发射极效率的限制。¹² 由于掺杂程度不同,因此,发射极中少子的寿命也随距离不同而不同, npn 晶体管发射极效率的计算比较困难,而且需要用到测量参量。室温时,电流增益值通常为 200~1 000。电流增益随温度降低而减小,在 -55℃ 时,电流增益值通常降为原来的 0.5~0.75 倍。

高压 npn 型器件参数的总结 图 2.25 所示器件的典型器件参数如图 2.30 所示。由这个晶体管的尺寸可知此晶体管用于工作电压在 40 V 以上的常用典型电路。对于较低工作电压的电路,则使用较薄的外延层和较小的器件外形。用 1 Ω-cm 外延层材料制造的 10 μm 厚器件的典型参数也显示在图 2.30 中。这种器件尺寸很小而且集电极 - 发射极的击穿电压有大约 25 V。

参数	典型值	典型值
	5 Ω-cm, 17 μm 外延 44 V 器件	1 Ω-cm, 10 μm 外延 20 V 器件
β_F	200	200
B_R	2	2
V_A	130 V	90 V
η	2×10^{-4}	2.8×10^{-4}
I_S	$5 \times 10^{-15} \text{ A}$	$1.5 \times 10^{-15} \text{ A}$
I_{co}	10^{-10} A	10^{-10} A
BV_{CEO}	50 V	25 V
BV_{CBO}	90 V	50 V
BV_{EBO}	7 V	7 V
τ_F	0.35 ns	0.25 ns
τ_R	400 ns	200 ns
β_0	200	150
r_b	200 Ω	200 Ω
r_c (饱和)	200 Ω	75 Ω
r_{ex}	2 Ω	2 Ω
发射结	C_{jco}	1.3 pF
	ψ_{0c}	0.7 V
	n_c	0.33
集电结	C_{jco}	0.6 pF
	ψ_{0c}	0.6 V
	n_c	0.5
集电极 - 衬底结	C_{co}	3 pF
	ψ_{0s}	0.52 V
	n_s	0.5

图 2.30 发射极面积为 500 μm² 的高压集成 npn 型晶体管的典型参数。厚外延层器件适用于电源供应电压高达 44 V 的电路运行,薄外延器件的工作电压能达到大约 20 V。

虽然薄外延层器件的外形更小,然而由于更高的外延层掺杂浓度,集电结的电容更大。由于基极更薄,发射结电容更高,而且在发射结的基极掺杂浓度更高

高级氧化物隔离型 npn 双极型晶体管 高级氧化物隔离型的结构,多晶体发射极 npn 双极型晶体管的平面图和截面图如图 2.31 所示。这种器件的典型参数如图 2.32 所示。注意与高电压深层扩散工艺相比,此类晶体管的大小、扩散时间和寄生电容都有很大程度的减小。这些小器件在较小的偏置电流下能达到最佳性能特征。这种器件的 β 值在 $50\ \mu\text{A}$ 集电极电流时达到最大值。对于这些高级晶体管,离子注入允许在精确控制的薄发射极 ($0.1\ \mu\text{m}$) 和基极 ($0.2\ \mu\text{m}$) 区域中使用。为了达到 $0.1\ \mu\text{m}$ 的基极宽度,式(1.99)预计基极的扩散时间将比图 2.17 所示的深层扩散器件少大约 25 倍。这是实际中的测量结果,而且离子注入型晶体管的 f_T 峰值可达到大约 13 GHz。

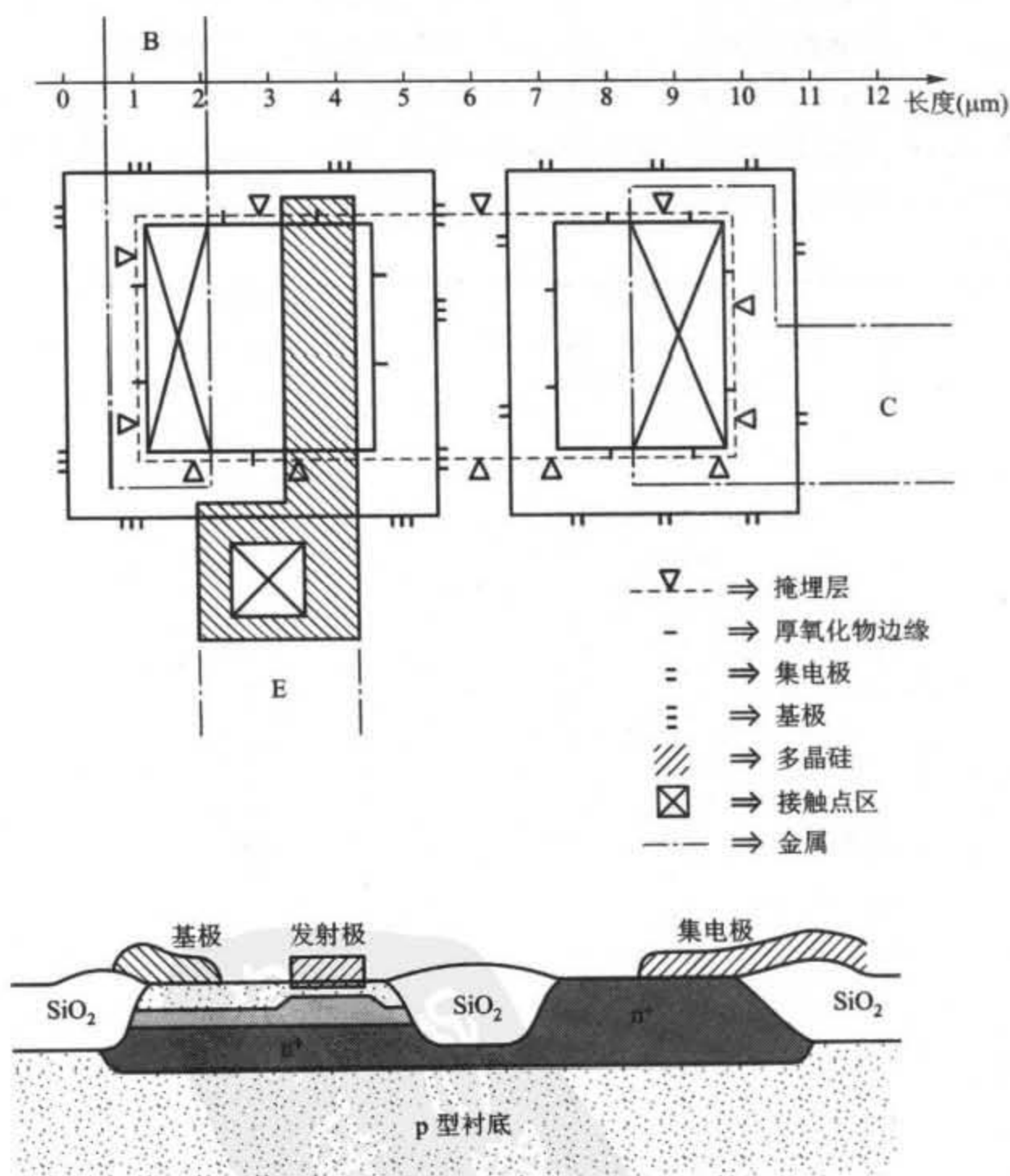


图 2.31 典型高级双极型晶体管的平面图和截面图。可看出尺寸要比高压器件小很多

参数	发射区面积为 $2\ \mu\text{m}^2$ 的纵向 npn 晶体管	发射区面积为 $2\ \mu\text{m}^2$ 的 横向 pnp 晶体管
β_F	120	50
β_R	2	3
V_A	35 V	30 V
I_S	6×10^{-18} A	6×10^{-18} A
I_{CO}	1 pA	1 pA
BV_{CEO}	8 V	14 V
BV_{CBO}	18 V	18 V
BV_{EBO}	6 V	18 V
τ_F	10 ps	650 ps
τ_R	5 ns	5 ns
r_b	400 Ω	200 Ω
r_e	100 Ω	20 Ω
r_{cs}	40 Ω	10 Ω
C_{jcb}	5 fF	14 fF
ϕ_{bc}	0.8 V	0.7 V
n_i	0.4	0.5
C_{jcd}	5 fF	15 fF
ϕ_{dc}	0.6 V	0.6 V
n_c	0.33	0.33
$C_{cd}(C_{bcb})$	20 fF	40 fF
ϕ_{cs}	0.6 V	0.6 V
n_s	0.33	0.4

图 2.32 低电压、氧化物隔离、离子注入工艺的双极型晶体管的典型器件参数

2.5.2 pnp 型晶体管集成电路

如前文所提到的,双极型集成电路制造工艺的方法要优于制造双扩散外延层 npn 型晶体管的方法,而且固有的技术可以制造出高性能的 npn 型晶体管。不过,用同种方法很难造出同样性能的 pnp 型晶体管,早期的模拟集成电路中没有使用 pnp 型晶体管。由于缺少用于电压偏置、电平移动和用于模拟电路放大器中严格控制性能的负载器件的补充器件,使几种兼容标准集成电路制造工艺的 pnp 型晶体管构造得到发展。由于这些器件利用低掺杂的 n 型外延层材料作为晶体管的基极,它们一般在频率响应和高电流性能上要比 npn 型晶体管差,但是仍然在使用。本节将介绍横向 pnp 型和 pnp 型衬底构造。

横向 pnp 晶体管 典型高压工艺制造的 pnp 型晶体管结构如图 2.33a 所示。¹³ 发射极和集电极是用与 npn 型晶体管的基极形成方式相同的扩散法形成的。集电极是环绕着发射极的 p 型,而且基极触点是用集电极环外的 n 型外延层材料制造的。少数载流子流过基极的图像如图 2.33b 所示。从发射极注入的空穴,平行流过 n 型基极区域的表面,在到达基极触点之前被 p 型集电极完全接收。因此,在晶体管表现上横向的要优于纵向的,如 npn 型晶体管。这种构造的主要缺点是基极区域的掺杂浓度实际上要比集电极的小很多。于是,集电极-基极的耗尽层几乎扩展到了整个基极。那么,当集电极-发射极电压到达最大值时,

为了不让耗尽层到达发射极,基极区域就必须足够宽。在典型的模拟集成电路工艺中,当集电极-发射极电压在 40 V 以内时,耗尽层的宽度是 $6 \sim 8 \mu\text{m}$ 。因此,这种器件的基极最小宽度大约是 $8 \mu\text{m}$,基极的最小扩散时间能从式(1.99)估算出

$$\tau_F = \frac{W_B^2}{2D_p} \quad (2.20)$$

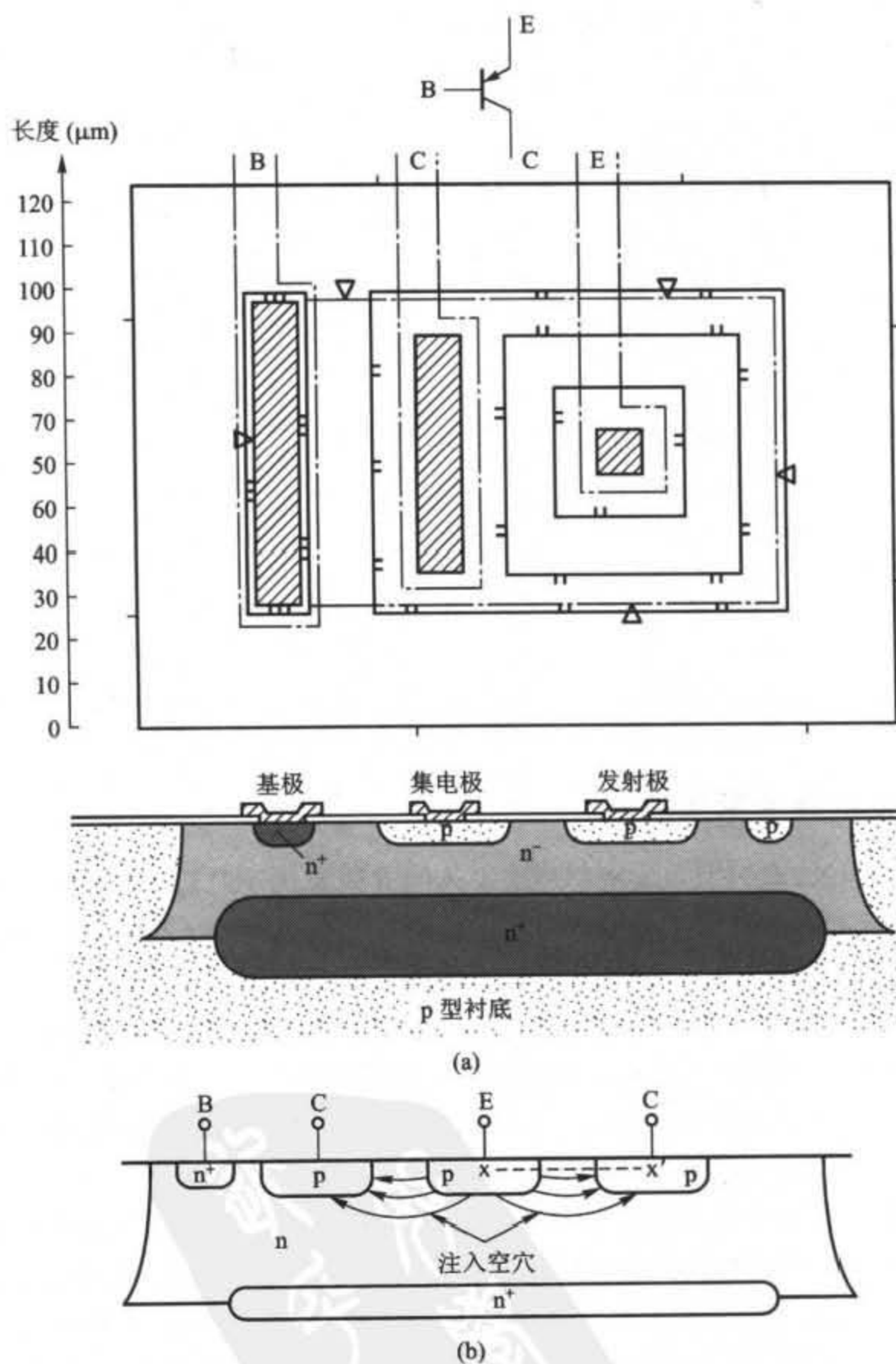


图 2.33 (a) 高电压工艺制造的横向 pnp 型构造;
(b) 在横向 pnp 型晶体管的少子流动

将 $W_B = 8 \mu\text{m}$ 和 $D_p = 10 \text{ cm}^2/\text{s}$ (空穴的) 带入式(2.20)得

$$\tau_F = 32 \text{ ns}$$

这与 5 MHz 的 f_T 峰值相等, 它比同样工艺的典型 npn 型晶体管要低 100 倍。

由于以下几个因素, 横向 pnp 型晶体管的电流增益往往是很低的。第一, 基极的载流子(空穴)是从发射极和横向向下注入的, 它们的一部分被作为寄生垂直 pnp 型晶体管的集电极的衬底接收。掩埋层建立在一个用于抑制这个过程的延迟区, 但是 β_F 仍然会出现可观测的下降趋势。第二, pnp 型的发射极不像 npn 型器件那样进行过高掺杂, 而且对于 pnp 型器件式(1.51b)所给的发射结效率也不是最优的。最后, 横向 pnp 型的宽基极不仅会导致发射结效率降低而且式(1.51a)所给的基极迁移率也会降低。

另外一个缺点由低掺杂基极区的使用产生的, 由于高电位输入集电极电流上升, 器件的电流增益随之很快下降。横向 pnp 型晶体管的正向放大区域中基极的少子分布如图 2.34 所示。单位截面面积的集电极电流可从式(1.32)算出

$$J_p = qD_p \frac{p_n(0)}{W_B} \quad (2.21)$$

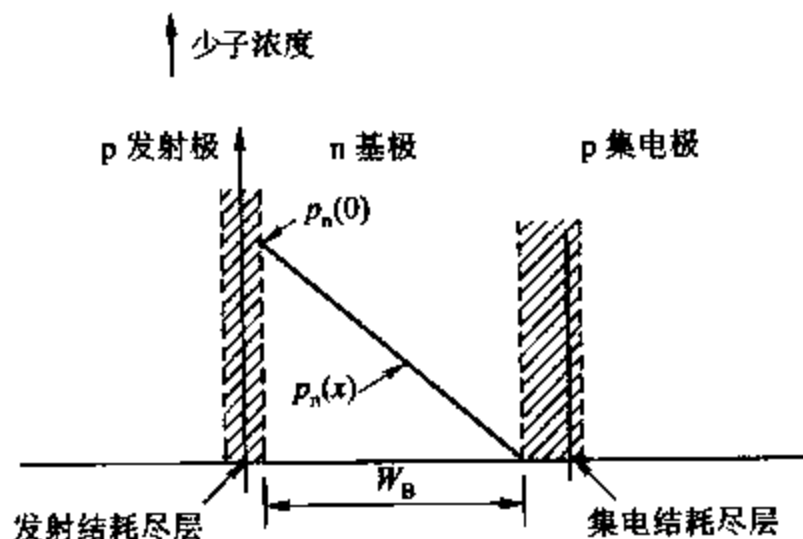


图 2.34 在横向 pnp 型晶体管中正向线性区域的基极少子分布。

这个分布是通过测量图 2.33b $x-x'$ 区域的耗尽层得到的

变换关系式, 能计算出在基极上发射极边缘的少子密度为

$$p_n(0) = \frac{J_p W_B}{qD_p} \quad (2.22)$$

只要这种密度远小于基极的少子密度, 低电位注入条件则存在并且基极少子寿命会保持不变。然而, 当少子密度与多子密度相当时, 为保持基极的电荷中性, 多子的密度必须增加。 β_F 下降的原因有两个。第一, 由于出现能和少子结合的多子数目上升, 基极少子的寿命下降。因此式(1.51a)所给的基极迁移率下降。第二, 多子密度的上升说明基极的掺杂浓度上升。这就引起了式(1.51b)所给的发射结注入效率的下降。这两个因素也同时存在于 npn 型晶体管中, 但会出现很高的电流强度, 原因是 npn 型晶体管基极的高掺杂浓度。

这些具有重要的意义的横向 pnp 型晶体管的集电极电流, 同样能通过式(2.22)计算出

的少子浓度来平衡多子浓度的方法计算出。于是有

$$\frac{J_p W_b}{qD_p} = n_n \approx N_D \quad (2.23)$$

在这里式(2.1)被取代成 n_n , 而 N_D 是在 pnp 型基极 (npn 型集电极) 的施主浓度。从式(2.23)中, 可以计算出在 pnp 型晶体管中高电位作用下的集电极电流

$$I_c = \frac{qAN_D D_p}{W_b} \quad (2.24)$$

这里 A 是发射结的有效面积。可以看出, 这个电流直接依赖于晶体管中基极的掺杂浓度, 而且由于在双极型晶体管中这个值很小, 当它开始下降时电流密度也是很小的。

横向 pnp 型晶体管也被广泛使用在薄氧化物隔离双极型集成电路制造工艺中。除了器件的面积较小和氧化隔离代替结点隔离外, 所使用的器件构造与图 2.33 是基本相同的。这种器件的典型参数如图 2.32 所示。以这种 npn 型晶体管为例, 与高压厚外延层工艺相比, 器件的扩散时间和寄生电容都有明显的减小。这种器件的 β 值在集电极电流为大约 50 nA 时到达峰值。

示例

图 2.33a 所示 pnp 型构造的电流增益开始下降时, 计算集电极的电流。发射极的有效截面积 A 是发射极的侧面积, 即 p 型扩散深度乘以发射极的外围再乘以 $\pi/2$ 。

$$A = (3 \mu\text{m})(30 \mu\text{m} + 30 \mu\text{m} + 30 \mu\text{m} + 30 \mu\text{m}) \left(\frac{\pi}{2} \right) = 565 \mu\text{m}^2 = 5.6 \times 10^{-6} \text{cm}^2$$

多子密度是 $10^{15} \text{ atoms/cm}^3$, 外延层电阻率是 $5 \Omega\text{-cm}$ 。另外, 假设 $W_b = 8 \mu\text{m}$, $D_p = 10 \text{ cm}^2/\text{s}$ 。将这些数据带入式(2.24)得

$$I_c = 5.6 \times 10^{-6} \times 1.6 \times 10^{-19} \times 10^{15} \times 10 \frac{1}{8 \times 10^{-4}} \text{ A} = 11.2 \mu\text{A}$$

图 2.33a 所示的典型横向 pnp 型构造显示大约 30~50 的低电流增益, 低电流增益的值在集电极电流只有几十微安时开始下降, 在 1 mA 集电极电流时降至小于 10。这类构造的典型参数如图 2.35 所示。注意在双边 pnp 型晶体管中, 衬底结电容出现在基极和衬底之间。

pnp 型衬底晶体管 横向 pnp 型高电流性能很差的一个原因是由于注入横向特性发射极的有效交叉面积比较小。pnp 型晶体管普遍应用在乙类输出场合, 即器件被用在集电极电流为 10 mA 范围内。被设计用来这样工作的横向 pnp 型需要很大的结面积。在这种应用中, 不同的构造经常用在衬底代替扩散 p 型区域作为集电极。这种高压、厚外延层的 pnp 型衬底晶体管如图 2.36a 所示。这种特殊的 pnp 型衬底的外形条件, 决定了 p 型发射极扩散的形式是从中间的方孔向外方形扩散的。在这个孔中, 因 npn 发射极扩散为 n^+ 型基底提供了触点从而形成了一个 n 型区域。因为低掺杂的基极材料, 如果基极远离了放大基区, 那么串联的基极电阻就会变得很大。在这种特殊的结构下, 为了得到尽量接近于放大基底的低阻基极触点扩散, n^+ 型基极触点扩散实际上是允许与 p 型发射极扩散相连的。在 pnp 型结构的衬底中, 这种方式的唯一缺点就是发射极与基极的击穿电压会减少到约 7V。如果

参数	典型值,	
	5 Ω-cm, 17 μm 外延 44 V 器件	1 Ω-cm, 10 μm 外延 20 V 器件
β_F	50	20
β_R	4	2
V_A	50 V	50 V
η	5×10^{-4}	5×10^{-4}
I_S	2×10^{-15} A	2×10^{-15} A
I_{CO}	10^{-10} A	5×10^{-9} A
BV_{CEO}	60 V	30 V
BV_{CBO}	90 V	50 V
BV_{EBO}	90 V	50 V
τ_F	30 ns	20 ns
τ_R	3 000 ns	2 000 ns
β_0	50	20
r_b	300 Ω	150 Ω
r_c	100 Ω	75 Ω
r_{es}	10 Ω	10 Ω
发射结	C_{je0}	0.3 pF
	ϕ_{je}	0.55 V
	n_c	0.5
集电结	C_{jc0}	1 pF
	ϕ_{jc}	0.55 V
	n_c	0.5
基极 - 衬底结	C_{jcs0}	3 pF
	ϕ_{jcs}	0.52 V
	n_s	0.5

图 2.35 在高压、厚外延层加工时,具有 900 μm² 发射极区域的横向 pnp 型晶体管的典型参数

需要更大的发射极与基极击穿电压,那么 p 型发射极扩散与 n⁺ 型基极触点扩散必须分开 10~15 μm 的距离。基于 pnp 型外形的很多变化如图 2.36a 所示。它们也都是采用薄的外延层和氧化隔离的方法实现的。

正向放大区的少子流动如图 2.36b 所示。这种器件的最主要优势就在于电流是垂直的,而且对于同样大小的整体器件,该发射极的有效截面面积要比横向 pnp 的有效截面面积大得多。但是,该器件只能限制应用在射极跟随器的构造中,因为集电极的电性与大部分是负电势的衬底是相同的。pnp 晶体管衬底在电流控制能力方面有优势,而且 pnp 晶体管衬底的特性类似于那些横向 pnp 晶体管,因为两者的基区宽度差不多。在设计 pnp 衬底结构时,一个很重要的、需要考虑的问题是 p 型衬底区域中的集电极电流,此区域通常具有相对较高的电阻系数。因此,除非考虑为集电极提供一个足够低的电阻系数的沟道,则均可得到较高的串联集电极电阻。此电阻可在两方面提高系统的性能。第一,pnp 型晶体管中较大

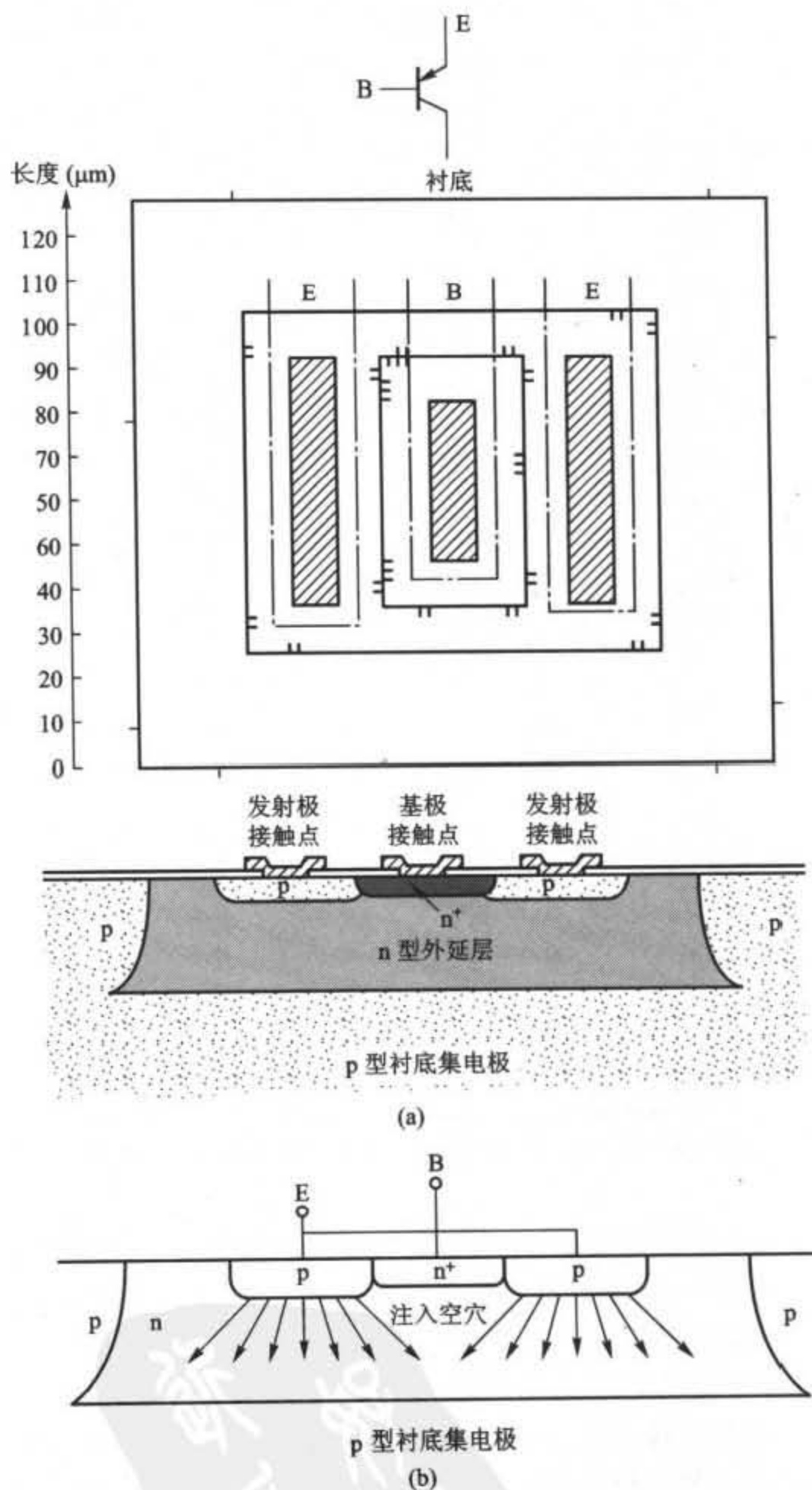


图 2.36 (a) 在高压,厚外延层加工中的 pnp 型衬底构造;
(b) pnp 型衬底晶体管中的少子流动

的集电极电流可以导致衬底区域自身产生足够的压降,从而电路中的其他衬底层结点会产生前向偏置。这对电路性能通常会产生灾难性的影响。第二,集电结电容对 pnp 型晶体管

的影响会随着集电极串联高电阻所产生的密勒效应而成倍增长,正如第七章所讲的。为使这种影响最小化,集电极接点通常连接在 pnp 型衬底附近的独立扩散层和镀金层之间。对于高电流器件,独立扩散接点被做在器件周围,范围越宽越好。

经过高压、厚外延层处理的典型衬底 pnp 型晶体管的特性概括在图 2.37 中。经过高压、厚外延层处理的典型的 npn 型、横向 pnp 型和衬底 pnp 型晶体管的集电极电流增益相关性如图 2.38 所示。在三种器件中都很明显的 β 随弱电流增大而减小的现象取决于基极与集电极损耗区域的再结合现象,这在 1.3.5 节中有介绍。

参数	典型值,	
	5 Ω -cm, 17 μm 外延 44 V 器件 5100 μm^2 发射极区	1 Ω -cm, 10 μm 外延 20 V 器件 5100 μm^2 发射极区
β_F	50	30
β_R	4	2
V_A	50 V	30 V
η	5×10^{-4}	9×10^{-4}
I_S	10^{-14} A	10^{-14} A
I_{CO}	2×10^{-10} A	2×10^{-10} A
BV_{CEO}	60 V	30 V
BV_{CBO}	90 V	50 V
BV_{EBO}	7 V 或 90 V	7 V 或 50 V
τ_F	20 ns	14 ns
τ_R	2 000 ns	1 000 ns
β_0	50	30
r_b	150 Ω	50 Ω
r_c	50 Ω	50 Ω
r_{ex}	2 Ω	2 Ω
发射结	C_{je0}	0.5 pF
	ψ_{0e}	0.55 V
	n_e	0.5
集电结	C_{jd0}	2 pF
	ψ_{0c}	0.52 V
	n_c	0.5

图 2.37 高压、加厚外延层加工处理后, 5 100 μm^2 发射极区 pnp 衬底的典型参数

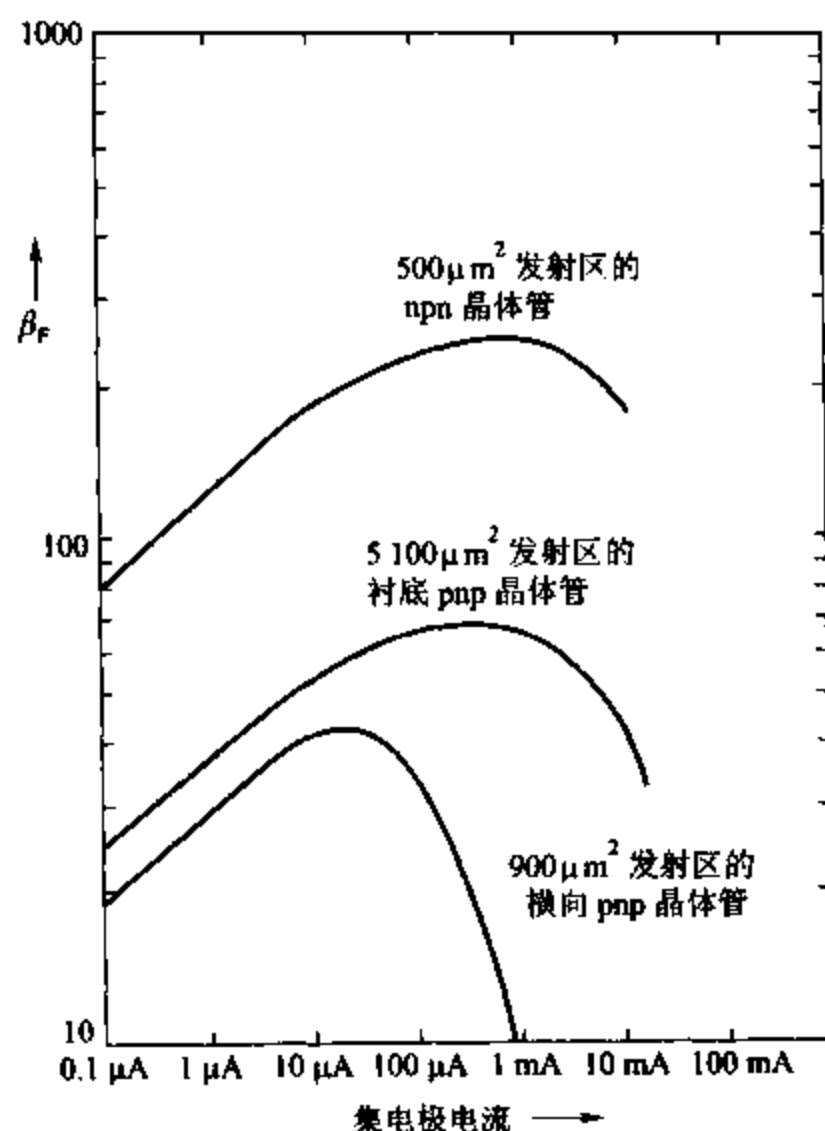


图 2.38 在高压、加厚外延层加工过程中电流增益随典型横向 pnp、衬底 pnp 和 npn 晶体管几何结构的集电极电流的变化

2.6 双极型集成电路中的无源元件

本节主要为集成电路设计者介绍已存在的电阻和电容的构造。电阻的结构包括基区扩散、集电极扩散、离子注入、夹断、外延生长和夹断外延电阻。其他电阻工艺,如薄片电阻,将在 2.7.3 节中介绍。电容结构包括 MOS 电容和结电容。数值高于几毫微亨的电感在单片工艺中的可行性还未被证实。不过,这些小电感在超高频集成电路中还是很有用的。^{14,15,16}

2.6.1 扩散电阻

在本章前几节中,扩散层的表面电阻已经计算出来了。在制造过程中,集成电路电阻基本使用扩散层或离子注入层之一,有时也同时使用两层。可以用来作为电阻的层包括基极、集电极、外延层、掩埋层、晶体管的线性基区层和基区与 p 型衬底间的夹断外延层。层的选择主要依据所要求的电阻的数值、容差和温度系数。

基极和发射极扩散电阻 在高压处理过程中典型的基极-扩散电阻的结构如图 2.39 所示。此电阻是由 npn 型晶体管的 p 型基极扩散所形成,它位于一个单独隔离的区域。电

阻结构中外延扩散区域必定是正偏的,正如电阻和外延层间的 pn 结总是反偏的一样。因此,在 n 型外延层内做了一个连接装置如图 2.39 所示,它与电阻的正极相连或与高于电阻两端的电压相连。这两个区域的接合点在电阻和外延层之间产生了寄生电容,它恰好沿电阻的长度分布。就应用而言,此寄生电容完全可以用一个被分为两个集总部分并分别作用在电阻两端的电容模型代替,如图 2.40 所示。

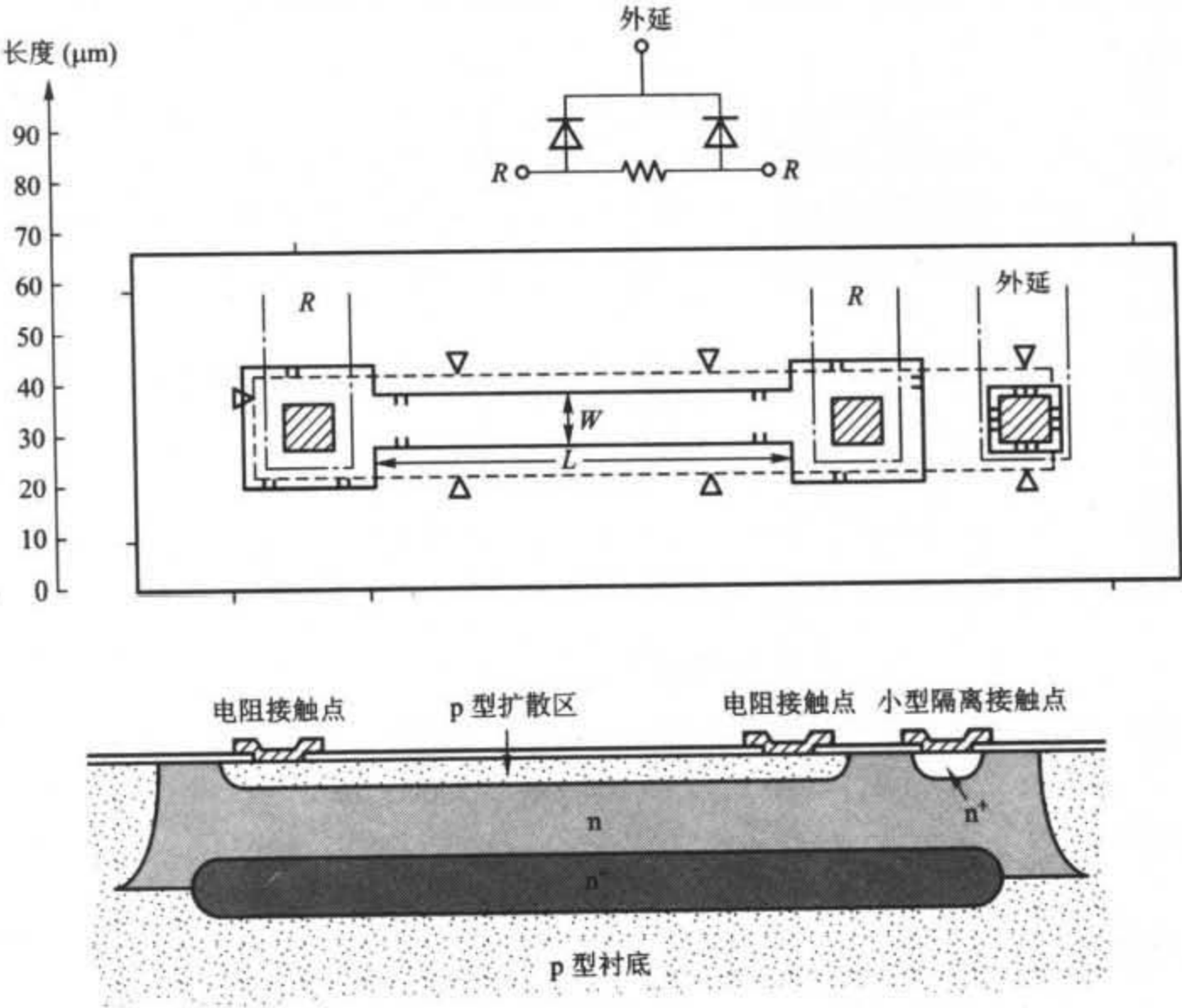


图 2.39 基区 - 扩散电阻的结构

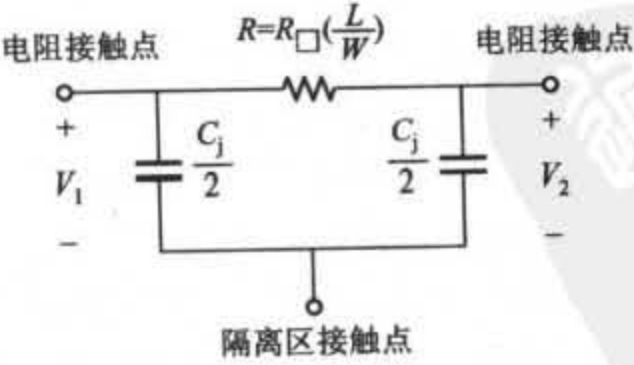


图 2.40 基极 - 扩散电阻的集总模型

图 2.39 所示结构的电阻可由式(2.10)计算出

$$R = \frac{L}{W} R_{\square}$$

其中, L 、 W 分别是电阻的长度和宽度。基极薄膜电阻 R_{\square} 分布在 $100 \sim 200 \Omega/\square$ 范围内。因此利用基极扩散, 电阻的实际范围是 $50 \Omega \sim 50 \text{ k}\Omega$ 。电阻每一个端点的杆头产生的电阻是很重要的, 特别是当 L/W 值非常小的时候。杆头需要为电阻端点处产生的电阻留出一定的空间。

由于结区域的最小化是很重要的目标, 因此电阻的宽度应保持尽可能的小。从光刻工艺考虑, 实际的最小宽度应限制在 $1 \mu\text{m}$ 内。在应用较宽的几何外形时, 电阻数值的容许量和两个相同的电阻可匹配的精度容许量会有所提高。但是, 对于给定的初值电阻和给定的电阻数值, 电阻覆盖的区域将以其宽度的平方增加。这可以从式(2.10)看出, 因为比率 L/W 是一个常数。

在浅离子注入过程中, 离子注入的基极可用同样的方式形成一个电阻。

示例

计算图 2.39 所示的基极扩散电阻结构图中的电阻值和寄生电容, 其中基极薄膜电阻为 100Ω , 外延层电阻系数为 $2.5 \Omega\cdot\text{cm}$ 。忽略末端的影响。此时电阻值简化为

$$R = 100 \Omega/\square \left(\frac{100 \mu\text{m}}{10 \mu\text{m}} \right) = 1 \text{ k}\Omega$$

总电容值等于电阻的总面积乘以每单位面积的电容。电阻体表的总面积为

$$A_1 = (10 \mu\text{m}) \times (100 \mu\text{m}) = 1000 \mu\text{m}^2$$

杆头的面积为

$$A_2 = 2 \times (30 \mu\text{m} \times 30 \mu\text{m}) = 1800 \mu\text{m}^2$$

由图 2.29, 总的零偏电容为

$$C_p = (10^{-4} \text{ pF}/\mu\text{m}^2) \times (2800 \mu\text{m}^2) = 0.28 \text{ pF}。$$

作为一阶近似, 电容可被分为两部分, 分别位于每一个端点。应注意电容值会随着小型外延区杆头的电压而改变。

发射极扩散电阻形成的几何条件类似于基极电阻, 但是发射极扩散是用于形成实际电阻的。因为这种扩散的薄膜电阻的变化范围是 $2 \sim 10 \Omega/\square$, 这些薄膜电阻在需要很低电阻值的情况下是非常有利的。实际上, 它们仅仅广泛应用于在镀铝金属接点下面提供一个穿越。寄生电容的计算方法与基极扩散的方法相同。但是这些电阻与基极扩散的电阻相比具有不同的温度需求, 而且这两种电阻都不随温度变化。

基极夹断电阻 可作电阻的第三个层, 就是在 npn 型晶体管中可以形成活跃的基极区域的那一层。此层是夹断 n^+ 发射极和 n 型集电极, 从而导致夹断电阻的产生。通过反转发射极和集电极交点的偏压, 可使该层被电隔离, 这一过程通常是通过把 n 型区域连接到电阻正极的一端来完成。典型的夹断电阻结构如图 2.41 所示; n^+ 极的扩散与 p 极的扩散相重叠, 因而 n^+ 区域被电连接到 n 型外延层区域。其中薄膜电阻的变化范围是 $5 \sim 15 \text{ k}\Omega$, 因此

电阻允许有较大的阻值。不幸的是,薄膜电阻需经历同样的相关变化过程,如同晶体管的 Q_B ,它有 $\pm 50\%$ 的误差。而且,因为制造电阻本身的材料是相对低掺杂的,从而电阻随温度有相对较大的变化。另一个重要缺陷是,电阻所能承受的最大电压由于发射极区和基区之间存在击穿电压的缘故而被限制在6 V。尽管如此,在高压允许量和低击穿电压都不被视为重要缺陷的情况下,这种电阻还是得到了广泛的应用。

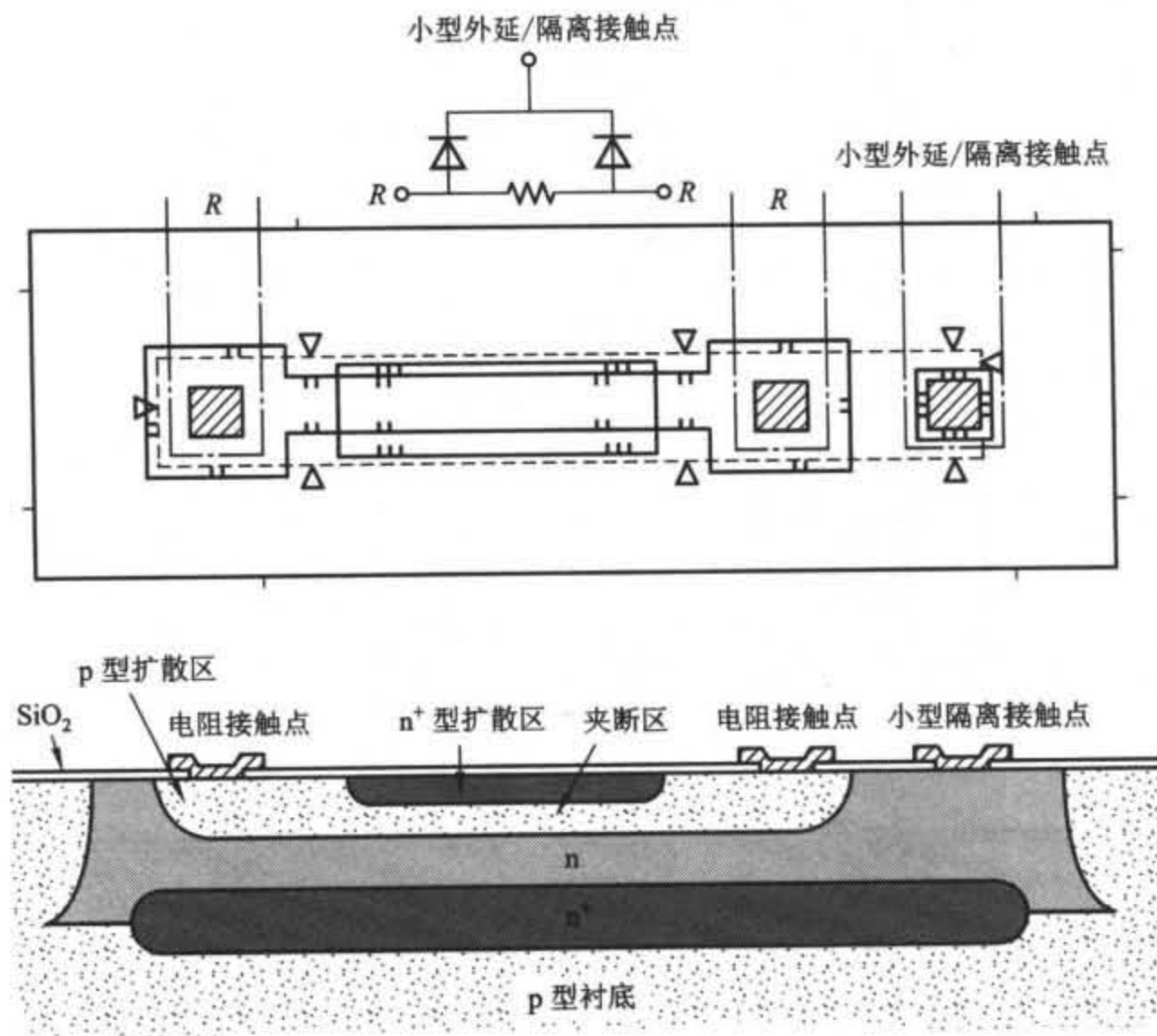


图 2.41 夹断电阻结构

2.6.2 外延生长电阻和外延夹断电阻

夹断电阻受限于较低的工作电压,它不能用于供应电压高于7 V的、由高阻电阻产生小偏置电流的电路。外延层本身具有一个比基区更大的薄膜电阻值,而且在这种应用中外延层常常被当成电阻。例如,一个 $17\text{ }\mu\text{m}$ 厚, $5\text{ }\Omega\text{-cm}$ 外延层的薄膜电阻值可用式(2.11)得

$$R_{\square} = \frac{\rho_{\text{epi}}}{T} = \frac{5\text{ }\Omega\text{-cm}}{(17\text{ }\mu\text{m}) \times (10^{-4}\text{ cm}/\mu\text{m})} = 2.9\text{ k}\Omega/\square \quad (2.25)$$

在图2.42所示结构在小范围内可以实现较大的阻值。此外,由于低掺杂的物质存在于电阻内,使得这些电阻呈现出很大的温度系数。同时可以通过在一个外延生长电阻的顶部放置一个p型的基区来获得更大的薄膜电阻值,如图2.42所示。p型基底的深度和p型基底与n型外延层损耗区域的厚度都可以减少电阻的厚度并增加它的薄膜电阻值。这样的结构实

际上就像一个交叉点 FET, 它的 p 型栅极连接到衬底。¹⁷

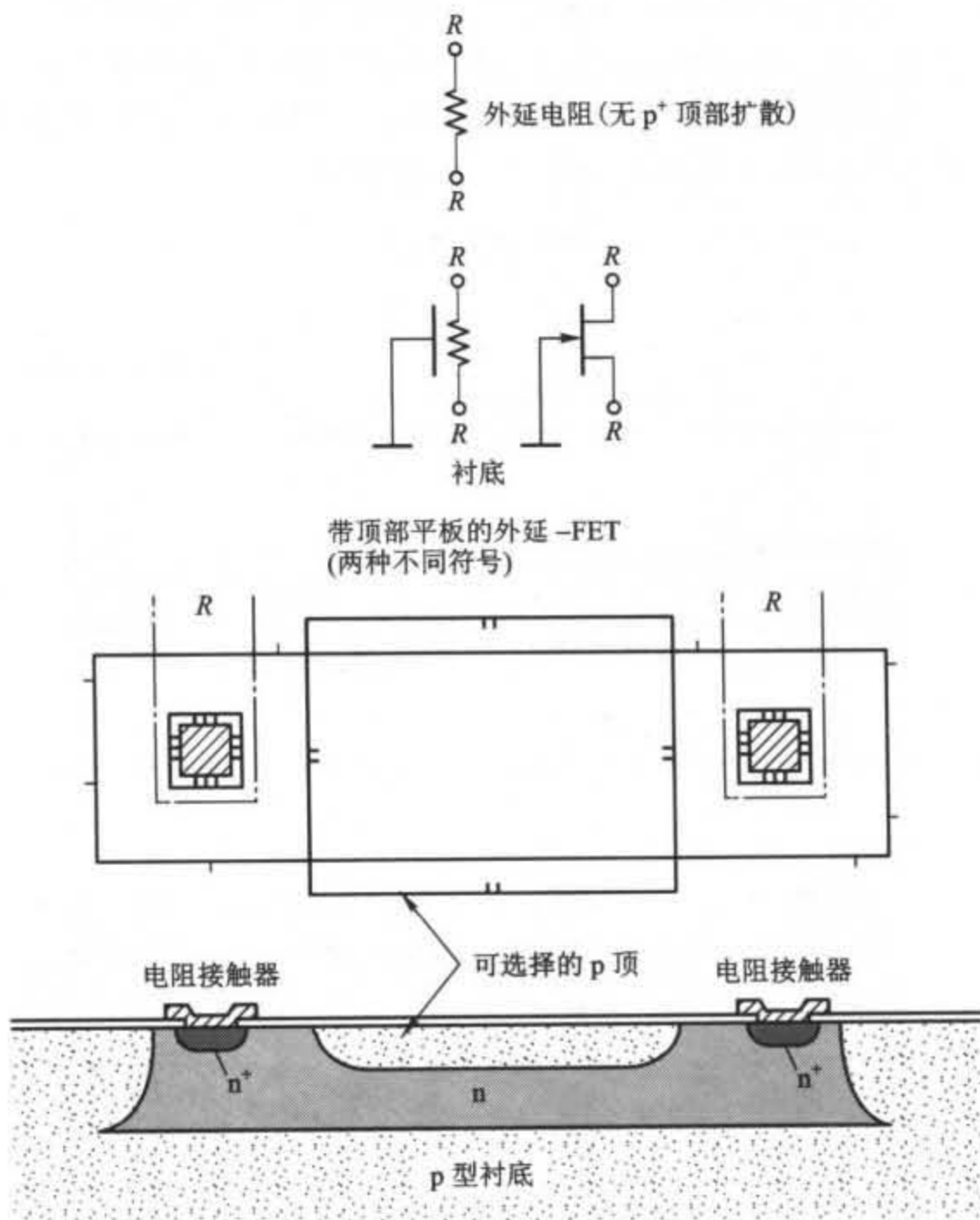


图 2.42 外延电阻结构。p 顶扩散形成外延夹断电阻器

图 2.43 概述了各种扩散和夹断电阻结构的特点。

2.6.3 集成电路电容

早期的模拟集成电路设计的前提是假设电容在实际中不可能集成在芯片上, 因为电容会占据很大的面积, 于是在需要使用电容时都采用外部电容。电容值大于几十微法的单片电容从模片面积角度来看仍然很贵, 因此, 设计方法有了进一步的发展, 可以用小电容来完成以前大电容的工作。运算放大器的补偿电容也许是这一成果最好的例子, 单片电容现在正广泛应用于各种类型的模拟集成电路中。这些电容被分为两类: 第一类, 内部反偏电压下 pn 结表现为耗尽电容, 而在特定环境中这种电容可以有效的工作。结电容的缺点是必须一直在结上加反偏电压, 其电容大小也随反偏电压的不同而不同, 其发射结击穿电压只有 7 V 左右。集电结击穿电压要高些, 但单位面积的电容却非常低。

电阻类型	单片电阻率 Ω/\square	绝对偏差 (%)	匹配偏差(%)	温度系数
基区扩散	100~200	± 20	$\pm 2(5\ \mu\text{m 宽})$ $\pm 0.2(50\ \mu\text{m 宽})$	$(+1500 \sim +2000)\text{ppm}/^\circ\text{C}$
发射区扩散	2~10	± 20	± 2	$+600\ \text{ppm}/^\circ\text{C}$
离子注入	100~1 000	± 3	$\pm 1(5\ \mu\text{m 宽})$ $\pm 0.1(50\ \mu\text{m 宽})$	Controllable $\sim \pm 100\ \text{ppm}/^\circ\text{C}$
基区夹断	2 k~10 k	± 50	± 10	$+2500\ \text{ppm}/^\circ\text{C}$
外延	2 k~5 k	± 30	± 5	$+3000\ \text{ppm}/^\circ\text{C}$
外延夹断	4 k~10 k	± 50	± 7	$+3000\ \text{ppm}/^\circ\text{C}$
薄膜	0.1 k~2 k	± 5 至 ± 20	± 0.2 至 ± 2	$(\pm 10 \sim \pm 200)\text{ppm}/^\circ\text{C}$

图 2.43 不同类型集成电路电阻的电阻特性总结

目前为止,双极型工艺中使用最普遍的单片电容是 MOS 电容结构,如图 2.44 所示。在制造过程中,插入了一步增加掩模的步骤来生成一个跃过集电极扩散的区域,在这个区域将生长一个薄二氧化硅层。然后铝镀层将被置于这个氧化物薄层上,在铝和发射极扩散区域之间制作一个电容,该电容的电容值范围是 $0.3 \sim 0.5\ \text{fF}/\mu\text{m}^2$,击穿电压为 $60 \sim 100\ \text{V}$ 。这种电容具有很强的线性,而且温度系数很低。由于外延-衬底结的耗尽电容,在 n 型底片和衬底之间将产生一个相当大的寄生电容 C_{iso} ,但这种寄生在很多应用中并不重要。

2.6.4 齐纳二极管

正如第一章中所述, npn 型晶体管构造的发射结有 $6 \sim 8\ \text{V}$ 的反向击穿电压,具体值由加工细节而定。当总电压超过这个值时,反偏发射结提供保护电压来保证偏置保护电路电压的稳定,并产生电位移来实现这些功能。典型的发射结反偏的 $I-V$ 特性如图 2.45a 所示。这种元件性能的一个重要参数是击穿电压对温度的敏感程度。当击穿电压低于 $6\ \text{V}$ 时,实际的击穿机构受穿越耗尽层的沟道控制,而在更大的击穿电压下,由耗尽层的雪崩激增控制。因为这两种构造的击穿电压的温度系数是相反的,实际观测到的击穿电压的温度系数随击穿电压改变而改变,如图 2.45b 所示。

2.6.5 结型二极管

结型二极管可以通过 npn 和 pnp 型晶体管结构的各种形式连接而成,如图 2.46 所示。当二极管正向偏置时,二极管内部连接如图 2.46 a、b 和 d 所示,集电结同样正向偏置。当这个情况发生的时候,集电结将空穴注入外延区域,外延区域是受反偏电压、外延-隔离结或该隔离区域内的其他元件控制的。类似的现象也发生在晶体管饱和时。其结果是衬底电流的传导引起具有高电阻率的衬底材料中的电压下降,电路中其他外延-隔离结将随之正

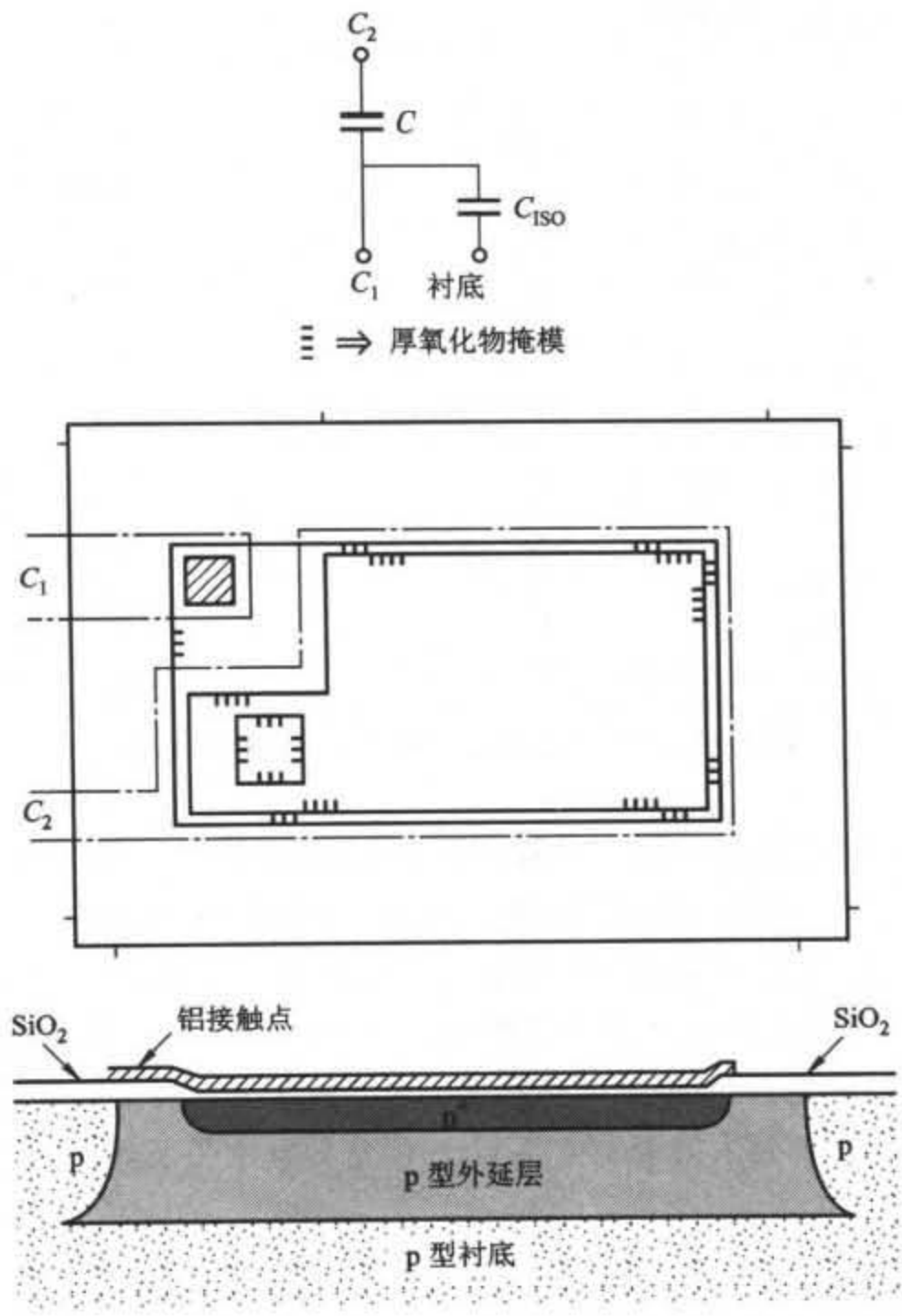
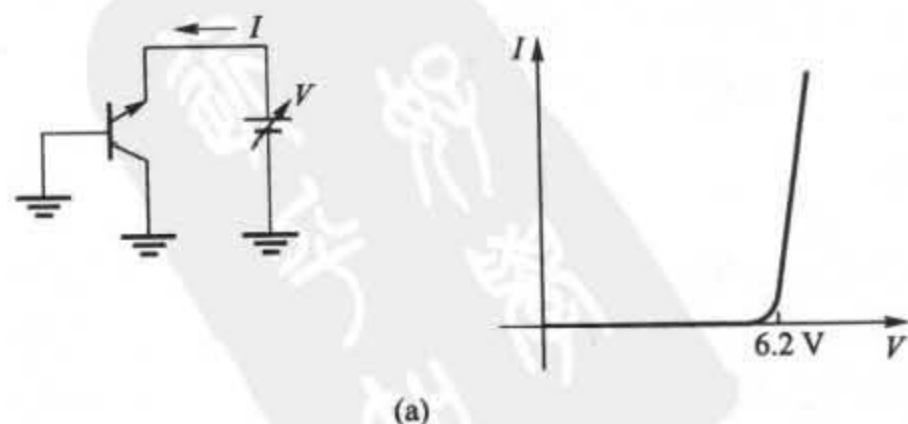


图 2.44 MOS 电容结构

向偏置。因此图 2.46 中二极管的连接通常更优,主要因为它们使集电结零偏置。这些连接方式的另外一个优点就是在正向偏置条件下使二极管中少子的电荷存储数量最少。



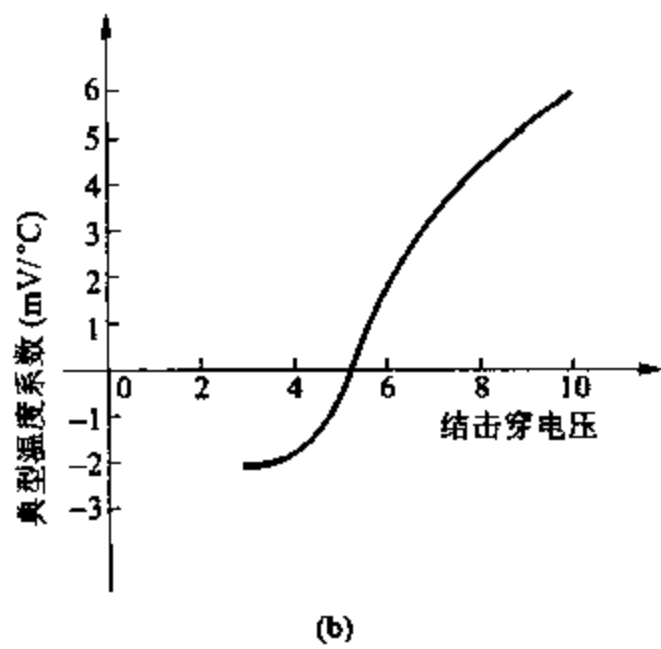


图 2.45 (a) 典型齐纳二极管发射结的电流 - 电压特性；
(b) 击穿电压对结击穿电压温度系数的影响

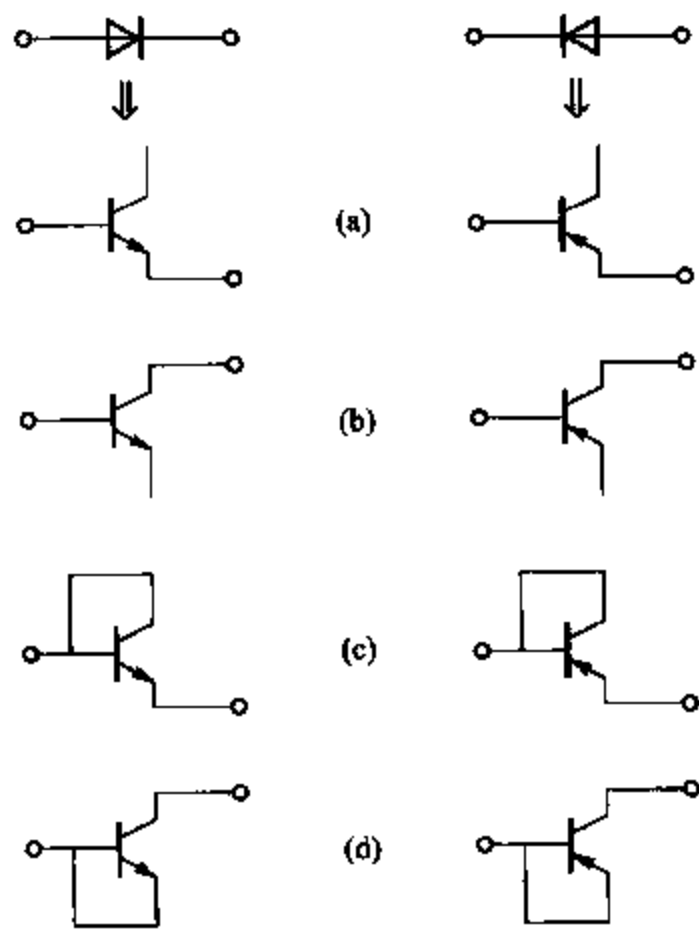


图 2.46 npn 和 pnp 型晶体管的二极管连接

2.7 基本双极型工艺的改进

前面介绍的基本的高压双极型集成电路的制造过程可以通过增加一些加工步骤来改

进,以制造出特殊的元器件或使其具有某些特性。

2.7.1 电介质隔离法

首先考虑一种特殊的隔离技术——电介质隔离技术,这项技术已经被应用于数字和模拟集成电路中,这些集成电路必须在高速下工作,并且/或者必须在强辐射下工作。电介质隔离技术的目的是通过二氧化硅层而不是 pn 结使器件的集电极与其他部分互相电绝缘。二氧化硅层的单位面积电容比 pn 结的单位面积电容要小一些,从而导致晶体管的集电极-衬底电容大大降低。此外,强辐射下的孤立结点元件产生的反向光电流将被切断。

电介质隔离的制造程序如图 2.47 a~d 所示。初始材料是一片由电阻率适合于晶体管集电极区域的 n 型材料制成的晶圆。第一步是在晶圆的内层刻槽,使晶圆在完成后的电路中形成隔离区。这些槽在典型的模拟电路中深约 $20\ \mu\text{m}$ 。这一步叫做挖沟蚀刻,可以通过

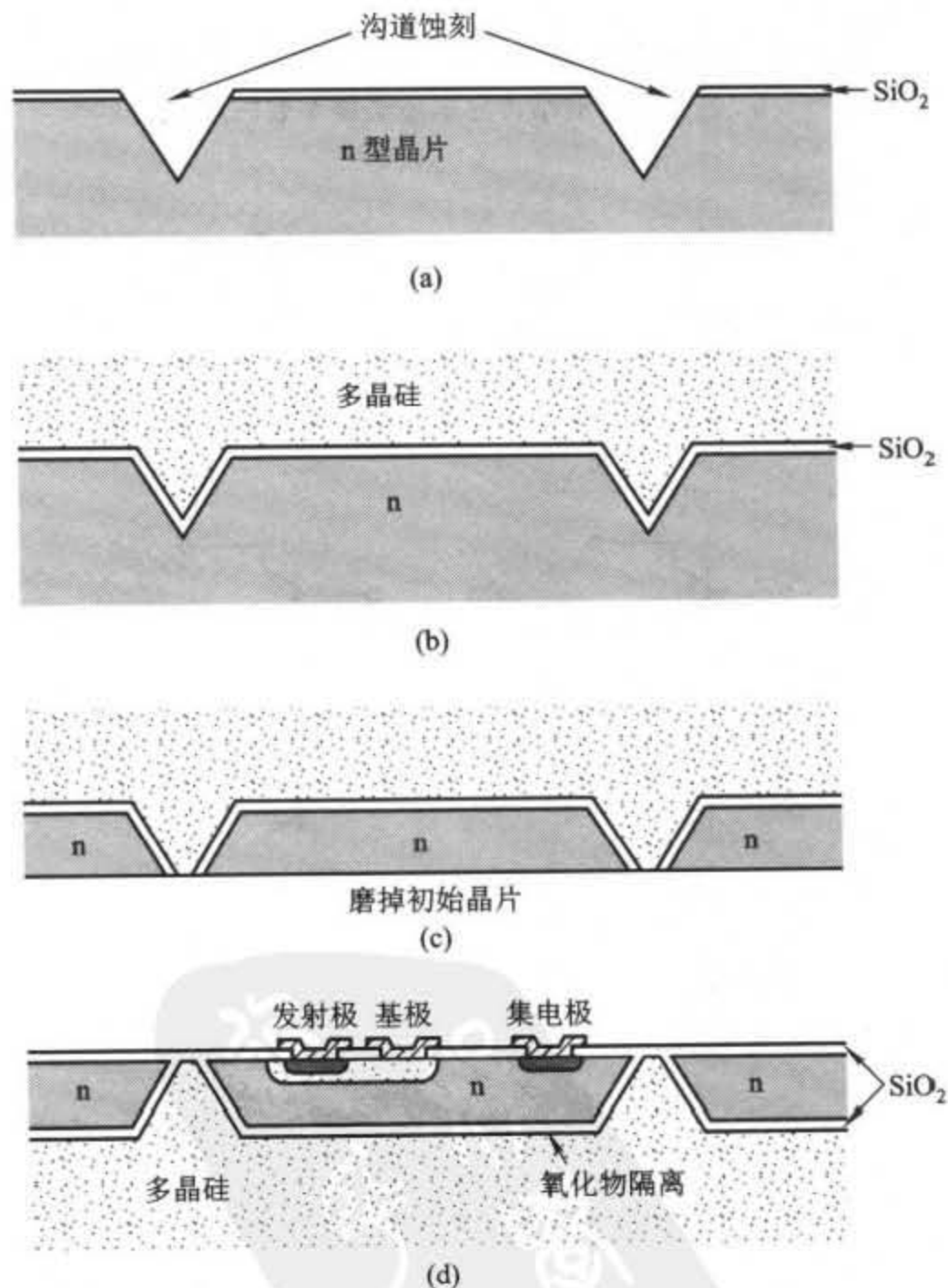


图 2.47 电介质隔离的制造步骤

- (a) 在原始晶圆底部刻槽; (b) 淀积多晶硅支撑层; (c) 磨掉晶圆并抛光;
(d) 执行标准流程, 开始基区掩模

多种技术来实现,包括优先蚀刻,这一步可以精确制造沟道的深度。第二步,表面上会生长一层氧化物并淀积一厚层多晶硅。这一层将成为完成后的晶圆的支撑结构,因此必须达到 $200\text{ }\mu\text{m}$ 左右的厚度。第三步,初始晶圆要从顶层蚀刻或接地,直到除沟道间的隔离岛中剩下的材料外其他材料完全被除去,如图 2.7c 所示。氧化物生长后,晶圆将准备开始剩下的工序。需要注意的是每个器件的隔离是通过氧化层来实现的。

2.7.2 高性能有源元器件的兼容处理

很多专门的电路应用都要求专门的有源器件而不是那些由标准工艺流程产生的 npn 和 pnp 型晶体管。这包括为低输入电流放大器提供的具有高电流放大系数(高 β)的 npn 晶体管、为模拟开关和低输入电流放大器提供的 MOSFET(金属氧化物半导体场效应管)、为快速模拟电路提供的高速 pnp 型晶体管。这些元器件的制造通常要求在基本制造工艺的基础上增加一步或更多步的掩模处理。现在介绍这些特殊的结构。

高 β 晶体管 减小放大器偏置电流的一种方法是增大晶体管输入级的电流增益。¹⁸ 晶体管基区宽度的减小增大了基区迁移率和发射极效率(见第 1.3.1 章),于是随着基区宽度的减小,电流增益增加了。因此,可以简单地通过增加发射极扩散时间和减小器件的基区宽度来增大电路中元器件的电流增益。然而,电流增益的任何增加都会导致晶体管击穿电压 BV_{CEO} 的降低。第 1.3.4 节中给出公式如下

$$BV_{\text{CEO}} = \frac{BV_{\text{CBO}}}{\sqrt[n]{\beta}} \quad (2.26)$$

其中, BV_{CBO} 是集电结的平面击穿电压。因此,对于给定的外延层电阻率和相应的集电极击穿电压而言,电流放大系数的增加使得 BV_{CEO} 减小。因此,使用这样的加工改进方法来增加运算放大器中晶体管的电流放大系数是不可能的,因为改进的晶体管并不能承受所需的工作电压。

在电流增益和击穿电压之间进行折中,这个问题可以通过在同一模片上制造两种不同类型的器件来解决。标准的器件与传统的晶体管在结构上相似。通过插入二次扩散,高电流放大系数的元件同样可以制造出来。这种典型元件的结构见图 2.48。这些器件可以通过在两种器件上使用相同的基区扩散和不同的发射极扩散来制得,或者用两种不同的基区

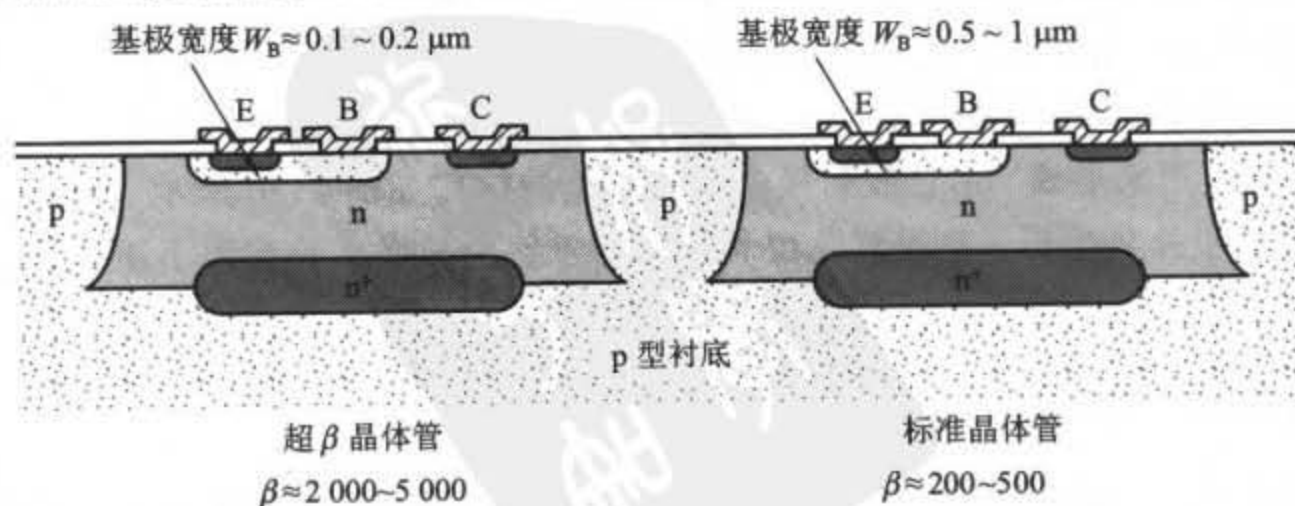


图 2.48 高电流放大系数元件的结构

扩散和同样的发射极扩散制得。两种工艺都可采用,如果高电流放大系数的元件只被用来作为运算放大器的输入端晶体管,它们就不需要高于 1 V 的击穿电压。所以,它们可以被扩散成很窄的基区宽度,使电流增益达到 2 000~5 000。在这些基区宽度中,实际的击穿结构通常不是由于集电极激增而是由于集电结的耗尽层耗尽了整个基区到达了发射极耗尽层。这种击穿机制叫做**穿通**。运放中这种元件的应用将在第 6.9.2 节中讨论。

MOS 晶体管 MOS 晶体管在双极型集成电路设计中是非常有用的,因为它提供了高性能的模拟开关和低输入电流的放大器,尤其是它复杂的数字逻辑可以利用 MOS 工艺在小范围内实现。第二个原因更重要一些,这是因为随着独立芯片复杂性的增加,模拟和数字芯片子系统的划分显得越来越繁琐。

金属栅极 p 沟道 MOS 晶体管可以在标准高压双极型模拟集成电路加工过程中通过增加的一步掩模过程形成。¹⁹如果在初始的程序中增加一步电容掩模过程,就不再需要其他的掩模步骤了。正如图 2.49 所示,源极和漏极是利用基区扩散在外延材料中形成的。电容掩模是用来在沟道上形成氧化区域的,而铝镀膜形成金属栅极。

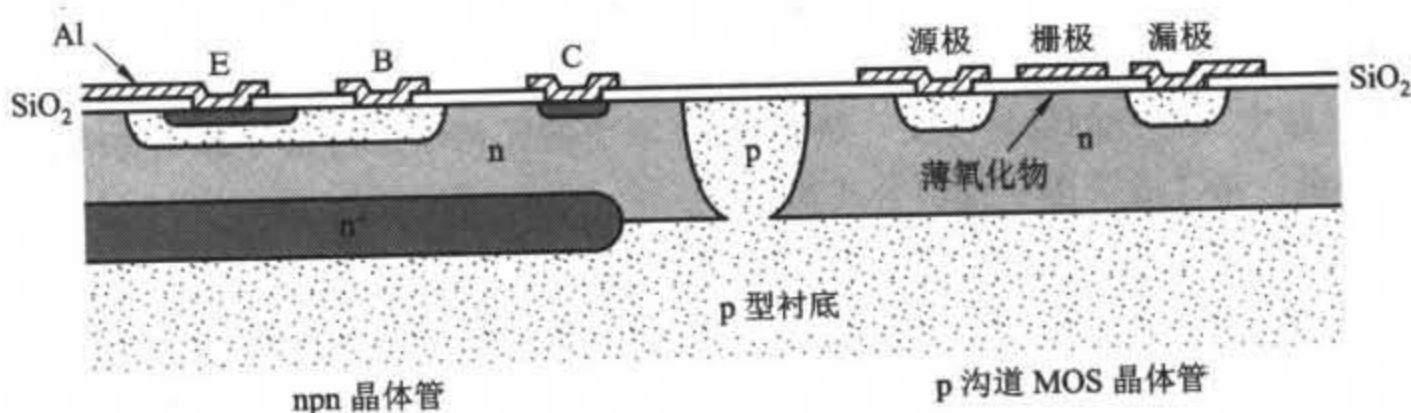


图 2.49 兼容的 p 沟道 MOS 晶体管

近年来集成电路工艺的主要进步是在 BiCMOS 加工过程中将 COMS 器件组合在同一片高性能的双极型器件上。这个问题在第 2.1.1 节中已经讨论过。

双倍扩散的 pnp 型晶体管 横向 pnp 型晶体管有限的频率相应地限制了特定模拟电路可达到的高频特性。但这个问题可以通过很多灵活的电路设计方法来解决,所得的电路通常很复杂而且昂贵。一种改进方法就是用更复杂的加工程序来制造与 npn 晶体管兼容的高速、双倍扩散的 pnp 晶体管。²⁰此过程通常利用三步增加的掩模和扩散程序:一步用来形成低掺杂的 p 型区域,这一区域将成为 pnp 的集电极;一步 n 型扩散用来形成 pnp 的基极;还有一步 p 型扩散用来形成 pnp 的发射极。一种典型的结构如图 2.50 所示。这个过程需要 10 步掩模和 2 步外延生长。绝缘氧化层和聚乙烯发射极技术已经应用于更先进的处理过程中。

2.7.3 高性能无源元件

分布电阻有三个缺点:温度系数都很高、容差小、结点孤立。后者说明每个电阻都会伴随寄生电容,并且放射线的照射会导致光电流从孤立结点流过。这些缺点可以通过在电路

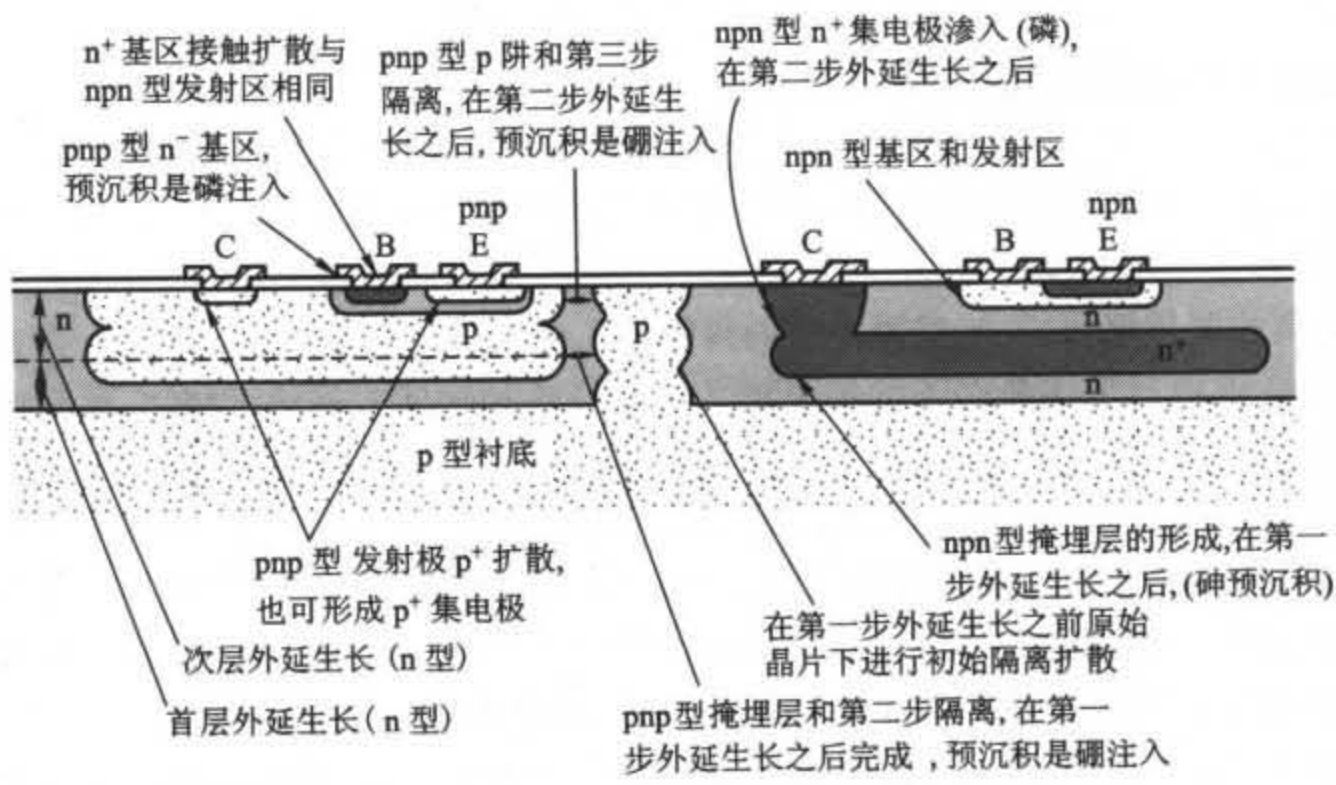


图 2.50 兼容双倍扩散的 pnp 处理过程

晶圆顶层绝缘氧化层放置的薄片电阻来克服。在电阻材料被淀积之后,独立的电阻将通过常规的方法利用一步掩模来定义。然后用标准铝连接工艺将这些电阻与其余的电路连接起来。电阻最常用的材料是镍铬铁合金和钽,典型的结构见图 2.51。用这些材料制造出的电阻的性能表述如图 2.52 所示。

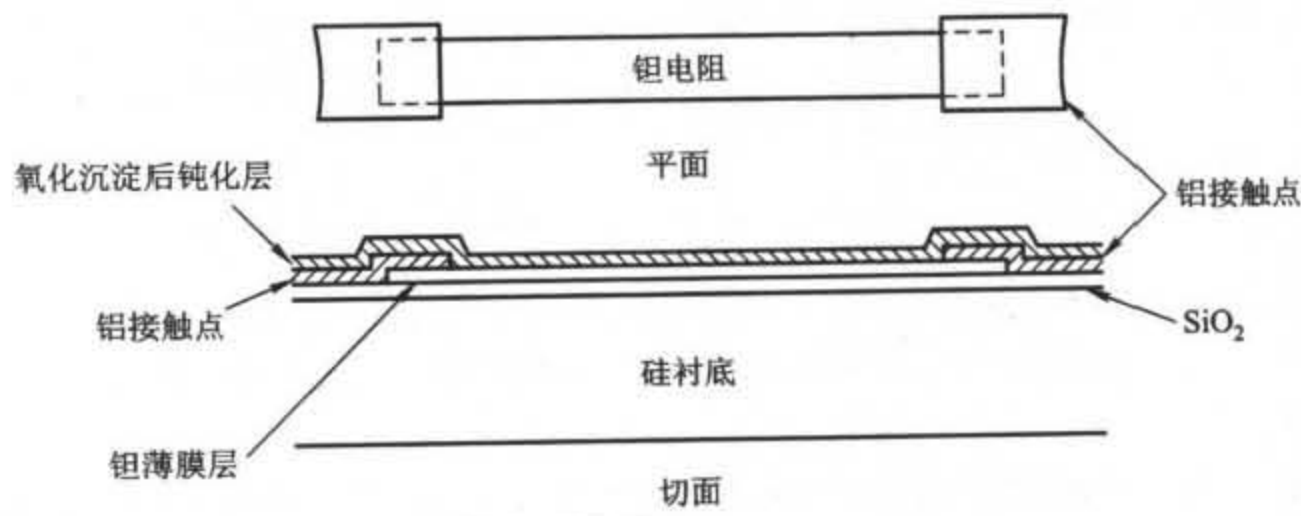


图 2.51 典型的薄片电阻结构

	镍铬铁合金	钽	金属陶瓷 (Cr-SiO)
单片电阻率范围(Ω/\square)	10~1 000	10~1 000	30~2 500
温度系数(ppm/ $^{\circ}\text{C}$)	$\pm 10 \sim \pm 150$	$\pm 5 \sim \pm 200$	$\pm 50 \sim \pm 150$

图 2.52 单片电路薄片电阻的特性

2.8 MOS 集成电路的制造

MOS 集成电路的制造工艺与双极型工艺相比要跨越一个相当大的复杂度和性能范围。CMOS 工艺提供了两种晶体管:增强型 n 沟道晶体管(具有正的阈值电压)和增强型 p 沟道晶体管(有负的阈值电压)。这些晶体管的阈值电压通常被设置在 $0.6 \sim 0.8 \text{ V}$, 因此低于阈值电压且栅-源电压为零条件下的漏电流非常小。这种性能为标准 CMOS 数字电路提供了高噪音裕量和零静态功率损耗。然而, 这样的阈值并不总能将功率损耗减到最小, 因为重要的动态电能通过逻辑晶体管内部结点充电和放电消耗了, 尤其是时钟速率和能源电压。²¹ 为了减小某些应用中所需的最低供给电压和总的功率损耗, 有时使用低阈值增强型元件或损耗型元件来代替或与阈值增强型元件一起使用。为了简单起见, 以一个既包含增强型 n 沟道和 p 沟道元件又包含耗尽型 n 沟道和 p 沟道元件的加工过程为例来研究。

CMOS 工艺既可以使用 p 型衬底也可以使用 n 型衬底, 在相反杂质类型灌输阱中形成互补元件类型。以一个 p 型初始材料加工过程为例。起始材料是一片浓度为 $10^{14} \sim 10^{15} \text{ atoms/cm}^3$ 范围内的硅晶片。在 CMOS 工艺中, 第一步是相反杂质类型材料阱的形成, 在这步中将形成互补元件。在这种情况下, 阱是 n 型的, 且由掩模操作和施主杂质的离子注入形成, 典型的施主杂质是磷。这种结构的进一步扩散结果如图 2.53 所示。扩散后阱的表面浓度基本为 $10^{15} \sim 10^{16} \text{ atoms/cm}^3$ 之间。

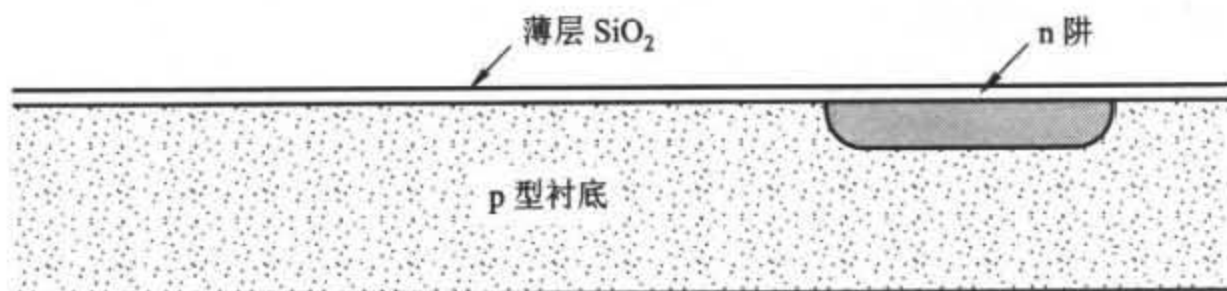


图 2.53 n 型阱离子注入和扩散后样品的横截面。接下来的处理将导致衬底中没有注入 p 型杂质部分的 n 沟道元件的形成和 n 型阱区域中 p 型晶体管的形成

接下来, 一层氮化硅被淀积和一步掩模形成操作, 因此只留下将成为有源器件区域的氮化物。在这步掩模操作后, 将进行一步附加的离子注入, 这步操作将增加没有被氮化硅覆盖的区域的表面浓度, 叫做场效应区。这一过程通常包括一步附加的掩模过程, 这样就可以通过分别灌输来单独控制阱中和衬底中的表面浓度。场的表面浓度的增加是必需的, 因为场效应区本身就是具有非常厚的栅极氧化物的 MOS 晶体管。为了适当地隔离有源器件, 场效应元件必须具有永远不能开启的高阈值电压。这可以通过在场效应区内增加表面浓度来实现。场效应灌输后将进行局部氧化, 氧化后的结构见图 2.54。

场氧化物生长后, 氮化物从线性区被除去, 接着将进行注入步骤来调节表面浓度, 这个区域将变成 MOS 晶体管的沟道。式(1.139)给出了经常出现在线性元件区的掺杂程度, 即几百毫伏的 n 沟道阈值和约 -2 V 的 p 沟道阈值。为了将元件的阈值电压变到 $0.6 \sim$

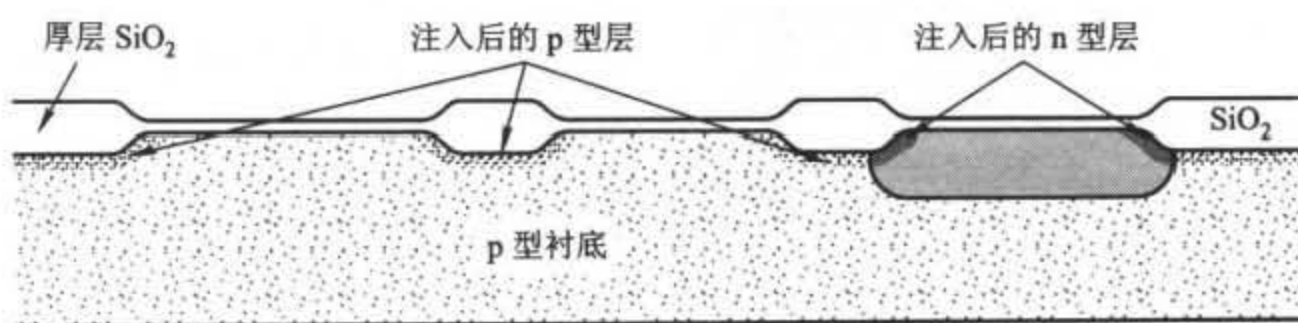


图 2.54 场灌输和场氧化后的样品横截面

0.8 V, 通常使用一步注入来改变两种晶体管沟道区域表面的杂质浓度。这种阈值的变化有时可以通过在整块晶圆上插入一层薄板实现, 插入的薄板会同时改变两种类型元件的阈值。更具代表性的是对每种器件都使用了两种不同的掩模注入。而且, 如果过程中包含一个耗尽型 n 沟道器件, 一步掩模操作将形成这个器件, 接下来采用注入将选中的器件阈值变成负值, 这样它们就能一直工作了。

接着沉淀一层多晶硅, 并且通过掩模操作形成各种元件的栅极。所得的结构见图 2.55。硅栅极 MOS 工艺提供了三种可以用来连接的材料: 多晶硅、扩散层和多层金属。除非过程中做出特殊规定, 否则多晶硅与扩散层之间的连接需要一座金属桥, 因为多晶硅层是作为扩散层掩模。为了给多晶硅和扩散层之间提供电连接, 在多晶硅淀积之前可以加入掩埋接触窗口。这步掩模操作在多晶硅的二氧化硅上开了一个窗, 当它被淀积时允许它接触到硅的表面, 形成直接的多晶硅-硅连接。图 2.55 所示的耗尽型元件就具有这种连接源极和栅极的掩埋接触窗口。

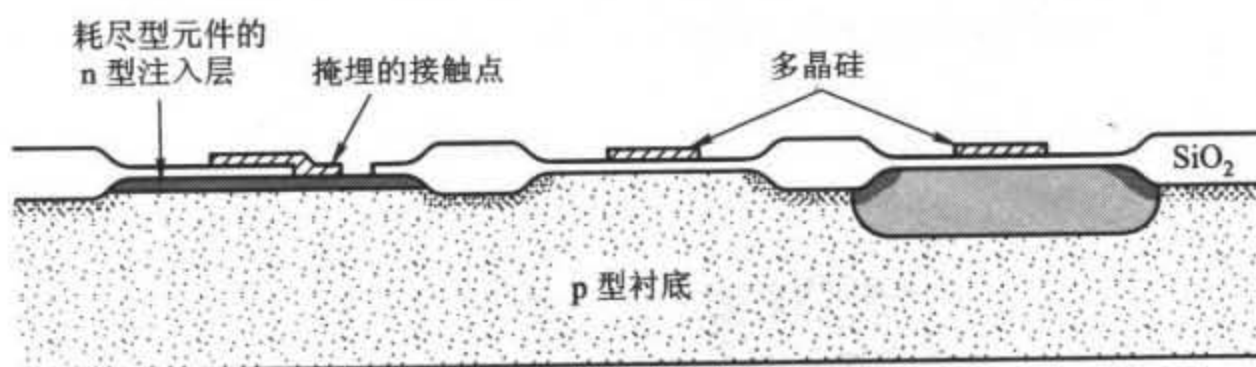


图 2.55 淀积和多晶硅栅极层定义后的横截面, 薄氧化区域已经进行离子注入以调节元件的阈值

下一步是掩模, 用光刻胶覆盖在 p 沟道元件上, 同时用蚀刻方法除去基片上 n 沟道器件源极和漏极区域的氧化物。然后利用扩散或离子注入将后注入的砷或磷引入这些区域。在一段较短的氧化过程后, 再次在 p 沟道源极和漏极区域重复这一过程, 这次使用的是硼。所得结构见图 2.56。

在加工过程的这一步, 通常会在基片上通过化学蒸汽淀积或其他类似技术淀积一层二氧化硅。为减小互联金属膜的寄生电容, 这层二氧化硅是必需的, 并且不能让它热生长, 因为生长过程会导致元件结构内杂质的重新分配。氧化淀积后, 经过一步掩模接触窗口就形

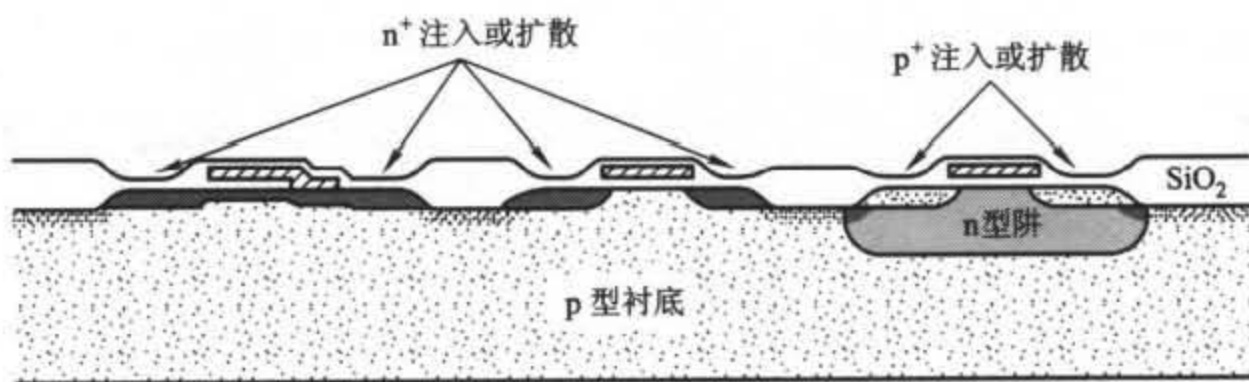


图 2.56 源极漏极掩模和扩散后样品的横截面

成了,再经过第二次掩模,金属膜就会淀积和成形。最终的结构见图 2.57。这种元件的显微镜照片见图 2.58。接下来的制造步骤同 2.3 节描述的双极型工艺。

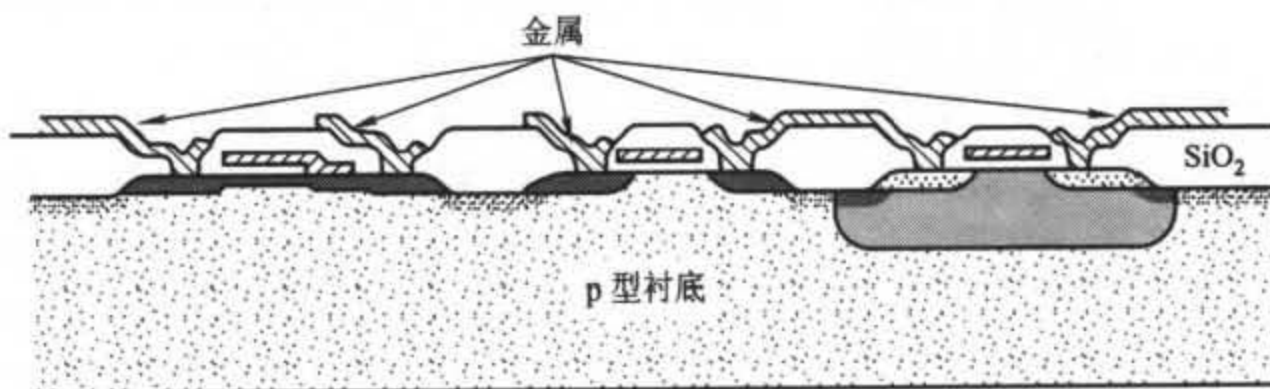


图 2.57 加工完成后的样品横截面。增强型和耗尽型 n 沟道元件的实际区别在于耗尽型元件有一步施主杂质的沟道注入过程来降低它的阈值电压,通常阈值电压保持在 $-15 \sim -3 \text{ V}$ 的范围内

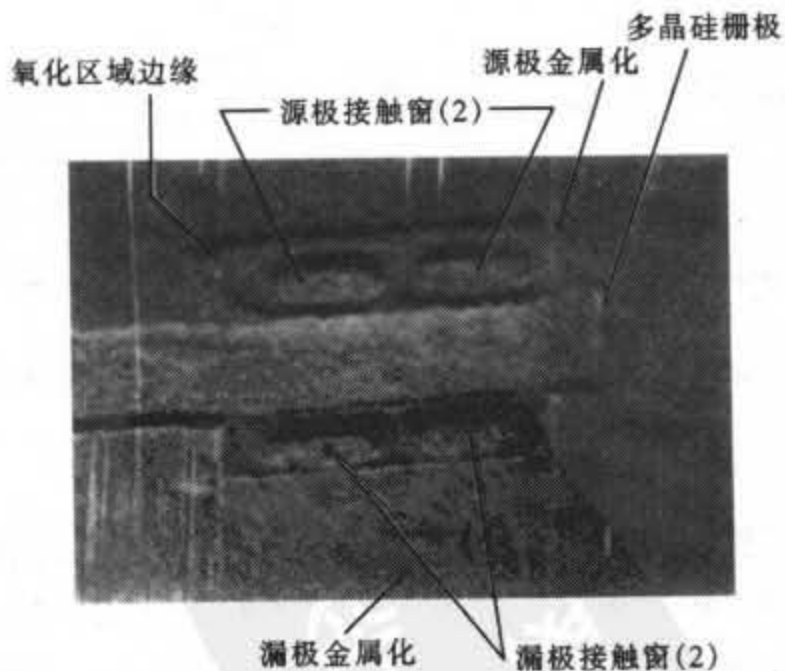


图 2.58 硅栅极 MOS 晶体管的显微照片。图中显示的是多晶硅栅极、场效应氧化区域边界、源极和栅极金属镀膜和接触窗。在这种特殊的元件中接触窗被分成了两块小的矩形通路而不是图 2.59 所示的一个长的通路。大的接触窗经常由一系列小的通道排列起来实现,因此集成电路中所有独立的接触孔都具有同样标称的几何结构。这就使接触窗的蚀刻更加均匀且得到更好的匹配

2.9 MOS 集成电路中的有源器件

在前面的部分中曾经描述过的工艺流程造成了不同的器件有着不同的阈值电压、沟道迁移率和寄生电容。另外,在这些工艺流程中还允许在双极型射随器的制造中,用阱来代替基极。在这部分,我们将研究这些不同类型器件的性质。

2.9.1 n 沟道晶体管

一个 n 沟道 MOS 晶体管的典型版图设计如图 2.59 所示。其电激活部分位于栅极的下方;器件区域的其他部分仅仅是将电流提供给终端。至于双极型集成晶体管,这些区域则提供附加的寄生电容和电阻。

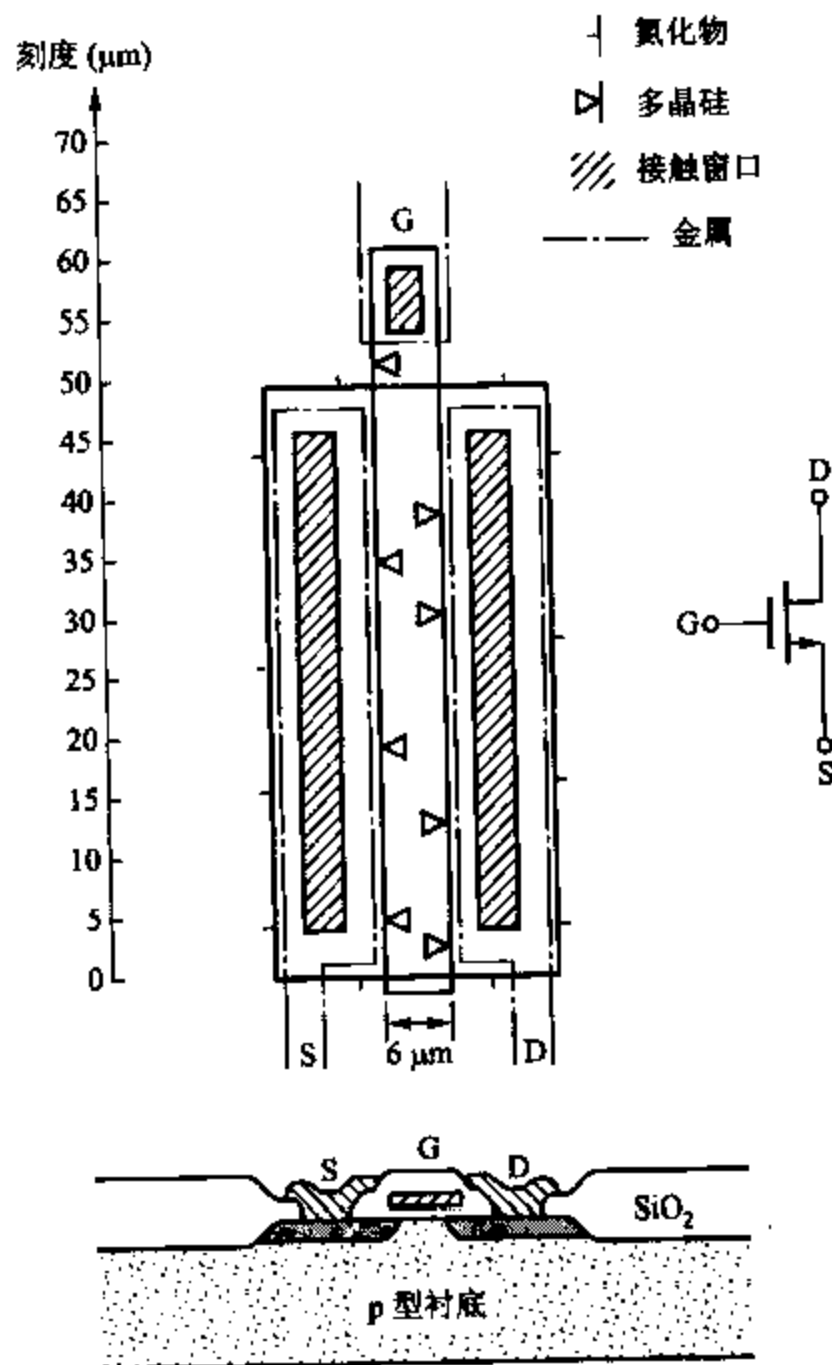


图 2.59 n 沟道硅栅 MOS 晶体管的设计版图。掩模层如代码所示

在 MOS 技术中,电路设计者比在双极型器件设计电路中设计出各部分独立作用的器

件灵活得多。包括沟道宽度(类似于双极型器件的发射区)和沟道长度在内的两项都可由设计者来确定。后者类似于一个双极型器件的基本宽度,由于是一个过程参数而不是一个掩模参数,这个宽度不受双极型器件设计者的控制。与双极型晶体管相比,一个 MOS 晶体管的跨导可以通过简单转变几何形状来大范围地改变漏极电流。栅-源电压也是同样的道理。在做这些设计选择时,设计者必须能够将图形几何学的转变与器件的电流特性的转变联系起来。为了举例说明这一过程,将在图 2.59 中计算出器件的模拟参数。这个器件设定为沟道长 $6\ \mu\text{m}$, 宽 $50\ \mu\text{m}$ 。假定设计过程中的参数,如表 2.1 所示。这种典型的过程中允许的最小栅极长度为 $3\ \mu\text{m}$ 。更进一步发展过程的参数如表 2.2, 表 2.3 和表 2.4 所示。

阈值电压 在第一章里一个 MOS 晶体管的阈值电压如下:

$$V_t = \phi_{ms} + 2\phi_f + \frac{Q_b}{C_{ox}} - \frac{Q_{ss}}{C_{ox}} \quad (2.27)$$

表 2.1 最小允许栅极长度为 $3\ \mu\text{m}$ 的典型硅栅 n 阱 CMOS 过程参数摘要

参数	符号	n 沟道晶体管的值	p 沟道晶体管的值	单位
衬底极掺杂浓度	N_A, N_D	1×10^{15}	1×10^{16}	atoms/cm ³
栅极氧化物厚度	t_{ox}	400	400	Å
金属-硅工作函数	ϕ_{ms}	-0.6	-0.1	V
沟道迁移率	μ_n, μ_p	700	350	cm ² /V-s
最小引导沟道长度	L_{drawn}	3	3	μm
源-漏结深度	X_j	0.6	0.6	μm
源-漏旁扩散	L_d	0.3	0.3	μm
重叠电容/栅极宽度	C_{ov}	0.35	0.35	fF/ μm
阈值调节注入杂质类型		P	P	
有效深度	X_i	0.3	0.3	μm
有效表面浓度	N_s	2×10^{16}	0.9×10^{16}	atoms/cm ³
阈值电压额定值	V_t	0.7	-0.7	V
多晶硅栅极掺杂浓度	N_{dploy}	10^{20}	10^{20}	atoms/cm ³
多晶硅栅极表面电阻	R_s	20	20	Ω/\square
源、漏-衬底结电容(零偏置)	C_{j0}	0.08	0.20	fF/ μm
源、漏-衬底结电容等级系数	n	0.5	0.5	
源、漏外围电容(零偏置)	C_{jsw0}	0.5	1.5	fF/ μm
源、漏外围电容等级系数	n	0.5	0.5	
源、漏结建立电压	ψ_0	0.65	0.65	V
表面状态密度	$\frac{Q_{ss}}{q}$	10^{11}	10^{11}	atoms/cm ²
沟道长度调节参数	$\left \frac{dX_d}{dV_{bs}} \right $	0.2	0.1	$\mu\text{m}/\text{V}$

表 2.2 最小允许栅极长度为 $1.5\ \mu\text{m}$ 的典型硅栅 n 阱 CMOS 过程参数摘要

参数	符号	n 沟道晶体管的值	p 沟道晶体管的值	单位
衬底掺杂浓度	N_A, N_D	2×10^{15}	1.5×10^{16}	atoms/cm ³
栅极氧化物厚度	t_{ox}	250	250	Å
金属-硅工作函数	ϕ_{ms}	-0.6	-0.1	V
沟道迁移率	μ_n, μ_p	650	300	cm ² /V·s
最小引导沟道长度	L_{drawn}	1.5	1.5	μm
源-漏结深度	X_j	0.35	0.4	μm
源漏旁扩散	L_d	0.2	0.3	μm
重叠电容/栅极宽度	C_{od}	0.18	0.26	fF/ μm
阈值调节注入杂质类型		P	P	
有效深度	X_e	0.3	0.3	μm
有效表面浓度	N_{se}	2×10^{16}	0.9×10^{16}	atoms/cm ³
阈值电压	V_t	0.7	-0.7	V
多晶硅栅极掺杂浓度	N_{dpoly}	10^{20}	10^{20}	atoms/cm ³
多晶硅栅极表面电阻	R_s	20	20	Ω/\square
源、漏-衬底结电容(零偏置)	C_{j0}	0.14	0.25	fF/ μm^2
源、漏-衬底结电容等级系数	n	0.5	0.5	
源、漏外围电容(零偏置)	C_{jsw0}	0.8	1.8	fF/ μm
源、漏外围电容等级系数	n	0.5	0.5	
源、漏结建立电压	ϕ_0	0.65	0.65	V
表面状态密度	$\frac{Q_{ss}}{q}$	10^{11}	10^{11}	atoms/cm ²
沟道长度调节参数	$\left \frac{dX_d}{dV_{DS}} \right $	0.12	0.06	$\mu\text{m}/\text{V}$

表 2.3 最小允许栅极长度为 $0.8\ \mu\text{m}$ 的典型硅栅 n 阱 CMOS 过程参数摘要

参数	符号	n 沟道晶体管的值	p 沟道晶体管的值	单位
衬底掺杂	N_A, N_D	4×10^{15}	3×10^{16}	atoms/cm ³
栅极氧化物厚度	t_{ox}	150	150	Å
金属-硅工作函数	ϕ_{ms}	-0.6	-0.1	V
沟道迁移率	μ_n, μ_p	550	250	cm ² /V·s
最小引导沟道长度	L_{drwn}	0.8	0.8	μm
源极-漏极结深度	X_j	0.2	0.3	μm
源极漏极旁扩散	L_d	0.12	0.18	μm
重叠电容/栅极宽度	C_{ol}	0.12	0.18	fF/μm
阈值调节注入杂质类型		P	P	
有效深度	X_e	0.2	0.2	μm
有效表面浓度	N_{si}	3×10^{16}	2×10^{16}	atoms/cm ³
阈值电压	V_t	0.7	-0.7	V
多晶硅栅极掺杂浓度	N_{dploy}	10^{20}	10^{20}	atoms/cm ³
多晶硅栅极表面电阻	R_s	10	10	Ω/□
源,漏-衬底结电容(零偏置)	C_{j0}	0.18	0.30	fF/μm ²
源,漏-衬底结电容等级系数	n	0.5	0.5	
源,漏外围电容(零偏置)	C_{pwo}	1.0	2.2	fF/μm
源,漏外围电容等级系数	n	0.5	0.5	
源,漏结电压	ψ_0	0.65	0.65	V
表面状态密度	$\frac{Q_{ss}}{q}$	10^{11}	10^{11}	atoms/cm ²
沟道长度调节参数	$\left \frac{dX_d}{dV_{ts}} \right $	0.08	0.04	μm/V

表 2.4 最小允许栅极长度为 0.4 μm 的典型硅栅 n 阱 CMOS 过程参数摘要

参数	符号	n 沟道晶体管的值	p 沟道晶体管的值	单位
衬底极掺杂	N_A, N_D	5×10^{15}	4×10^{16}	atoms/cm ³
栅极氧化物厚度	t_{ox}	80	80	Å
金属-硅工作函数	ϕ_{ms}	-0.6	-0.1	V
沟道迁移率	μ_n, μ_p	450	150	cm ² /V-s
最小引导沟道长度	L_{dren}	0.4	0.4	μm
源极-漏极结深度	X_j	0.15	0.18	μm
源极漏极旁扩散	L_d	0.09	0.09	μm
重叠电容/栅极宽度	C_{cl}	0.35	0.35	fF/μm
阈值调节注入杂质类型		P	P	
有效深度	X_e	0.16	0.16	μm
有效表面浓度	N_a	4×10^{15}	3×10^{16}	atoms/cm ³
阈值电压	V_t	0.6	-0.8	V
多晶硅栅极掺杂浓度	N_{poly}	10^{20}	10^{20}	atoms/cm ³
多晶硅栅极表面电阻	R_s	5	5	Ω/□
源、漏-衬底结电容(零偏置)	C_{j0}	0.2	0.4	fF/μm ²
源、漏-衬底结电容等级系数	n	0.5	0.4	
源、漏外围电容(零偏置)	C_{jw0}	1.2	2.4	fF/μm
源、漏外围电容等级系数	n	0.4	0.3	
源、漏结建立电压	ϕ_0	0.7	0.7	V
表面状态密度	$\frac{Q_{ss}}{q}$	10^{11}	10^{11}	atoms/cm ²
沟道长度调节参数	$\left \frac{dX_d}{dV_{DS}} \right $	0.02	0.04	μm/V

其中, ϕ_{ms} 是金属-硅的工作函数, ϕ_i 是硅衬底的费米等级, Q_0 是衬底耗尽层电荷, C_{ox} 是单位面积氧化物电容, Q_{ss} 是表面电荷浓度。阈值的实际计算将在下列各项例子中说明。

一般来说阈值电压必须从许多测量中推导出来,一个有效的解决方法就是将漏极电流的平方根设为 V_{GS} 函数,如图 2.60 所示。阈值电压可由曲线的直线部分到零电流的外推法所测定。曲线的倾斜部分同样需要对 $\mu_n C_{ox} W/L_{eff}$ 进行直接测量。而这就是已被测量的源-漏电压。曲线偏离直线是由于在低电流时亚阈区导电,而在高电流时由于载流子接近某一扩散速率而使迁移率下降。

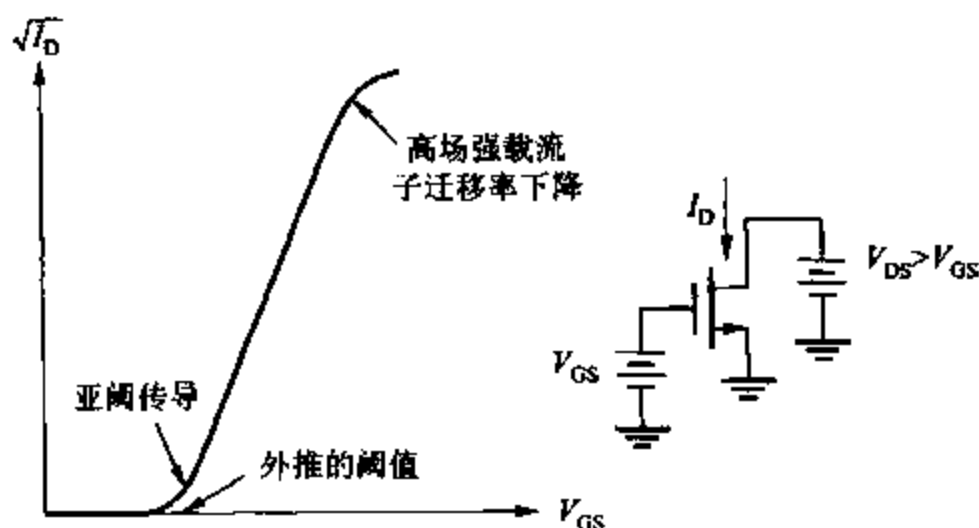


图 2.60 漏极电流随栅-源电压的平方根的线性区变化的典型实验

示例

表 2.1 给出的是制作过程中所计算出的未注入和注入所得的 NMOS 晶体管的零偏置阈值电压。

计算阈值电压表达式(2.27)的 4 个构成要素中的每一个值。第一项是金属-硅的工作函数。对于一个带有一个 n 型多晶硅栅极的 n 沟道晶体管,这个值等于两个区域中费米电压的差,大约是 -0.6 V 。

第二项在阈值电压方程式里表示半导体中的频带偏移,而这个半导体需要强烈的表面转化。为了使生产出来的电子的表面浓度约等于空穴的衬底浓度,表面电压必须达到衬底费米电压的两倍左右。

费米电压即

$$\phi_1 = \frac{kT}{q} \ln\left(\frac{N_A}{n_i}\right) \quad (2.28)$$

由表 2.1 中所给出的带有衬底掺杂的未注入的晶体管可知,这个值应该是 0.27 V 。因此在式(2.27)中的第二项的值应为 0.54 V 。由于我们所定义的阈值电压是一种引起与沟道中注入到源极里的空穴相同的表面电子浓度的电压。于是,在沟道区域下表面与硅之间的电位的差异仍在式(2.30)中给出。这是沟道注入的单独细节。

在式(2.27)中的第三项与沟道下方耗尽层里的电荷有关系。我们先来思考一下未注入器件,利用式(1.137)和一个值为 $10^{15}\text{ atoms/cm}^3$ 的 N_A ,

$$Q_{b0} = \sqrt{2qN_A\epsilon_2\phi_1} = \sqrt{2(1.6 \times 10^{-19})(10^{15})(11.6 \times 8.86 \times 10^{-14})(0.54)}\text{ C/cm}^2$$

$$= 1.34 \times 10^{-8} \text{ C/cm}^2 \quad (2.29)$$

并且 400\AA 栅极氧化物的每单位面积电容为

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} = \frac{3.9 \times 8.86 \times 10^{-14} \text{ F/cm}}{400 \times 10^{-8} \text{ cm}} = 8.6 \times 10^{-8} \frac{\text{F}}{\text{cm}^2} = 0.86 \frac{\text{fF}}{\mu\text{m}^2} \quad (2.30)$$

第三项的结果是 0.16 V 。

式(2.27)中的第四项是因表面态电荷引起的阈值迁移,这个正电荷电量等于一个电子的电量与表面态密度(由表 2.1 可知为 $10^{11} \text{ atoms/cm}^3$)的乘积,表面态电荷的值应为

$$\frac{Q_{ss}}{C_{ox}} = \frac{1.6 \times 10^{-19} \times 10^{11}}{8.6 \times 10^{-8}} \text{ V} = 0.19 \text{ V} \quad (2.31)$$

运用这一推算,未注入晶体管的阈值电压为

$$V_t = -0.6 \text{ V} + 0.54 \text{ V} + 0.16 \text{ V} - 0.19 \text{ V} = -0.09 \text{ V} \quad (2.32)$$

对于注入型晶体管阈值电压的计算是很复杂的,因为实际电路上的耗尽层跨越了一个含有不均匀掺杂的区域。器件阈值电压的精确计算要考虑到这个不均匀区域。假设注入层近似是一个深度为 X_i 和特定杂质浓度为 N_i 的杂质分布区,此时阈值电压能够近似。如果杂质剖面图由阈值调整注入引起,并且后来的处理过程足够深能使电路衬底耗尽层完全位于其中,那么注入的效果则仅仅是提升有效衬底掺杂。对于表 2.1 指出的注入,平均的层中掺杂是注入浓度和背景浓度的总和,即 $2.1 \times 10^{16} \text{ atoms/cm}^3$ 。这就使阈值电压中的 Q_{b0} 项增加到 0.71 V ,器件阈值电压为 0.47 V 。判断电路衬底耗尽层界限假设的有效性,可运用图 2.29 来检测。对于一个浓度为 $2.1 \times 10^{16} \text{ atoms/cm}^3$ 的一个单向结显示了耗尽区域宽度接近 $0.2 \mu\text{m}$ 。鉴于层深为 $0.3 \mu\text{m}$,这样,假设成立。

作为选择,假设注入和连续扩散造成层非常浅,且完全被耗尽层包含,那么注入层效果就是用一个总量相当于有效注入的和未注入晶体管的超出或超过的部分来增加 Q_{ss} 的有效值。表 2.1 给出的注入活性杂质总剂量是由深度及杂质浓度产生,即 $6 \times 10^{11} \text{ atoms/cm}^3$ 。由这一点得出,阈值电压的增量为 1.11 V ,给定的阈值电压为 1.02 V 。

衬底效应参数 对于一个未注入、统一沟道的晶体管,衬底效应参数可写成

$$\gamma = \frac{1}{C_{ox}} \sqrt{2q\epsilon N_A} \quad (2.33)$$

本式的运用在下例中说明。

示例

表 2.1 中计算关于未注入 n 沟道晶体管的衬底效应参数。利用表 2.1 给出的参数,得

$$\gamma = \frac{\sqrt{2(1.6 \times 10^{-19})(11.6 \times 8.86 \times 10^{-14})(10^{15})}}{8.6 \times 10^{-8}} \text{ V}^{1/2} = 0.21 \text{ V}^{1/2} \quad (2.34)$$

注入晶体管的衬底效应的计算很复杂,因为实际的电路不是被统一掺杂,前面简单的公式不适用。阈值电压是衬底偏置电压的函数,可通过近似考虑注入层是一个深度为 X_i 和浓度为 N_i 的杂质分布区得到。对于在完全注入的沟道-衬底耗尽层中的较小的偏置,衬底效应就相当于具有沟道掺杂浓度为 $(N_i + N_A)$ 的晶体管。对于较大衬底偏置,耗尽层延

伸到注入分配以外的衬底极,衬底效应就相当于具有低掺杂浓度为 N_A 的晶体管。图 2.61 说明了这种类型器件的阈值电压与衬底偏置的函数关系。

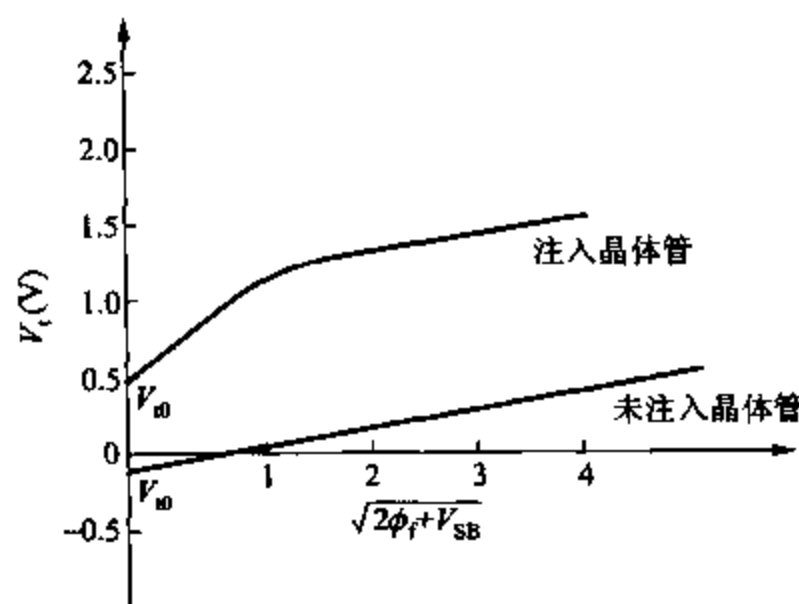


图 2.61 相当于具有均匀沟道掺杂和不均匀沟道掺杂(没有沟道注入)的 n 沟道器件的衬底极偏置的阈值电压的典型变化,这是由阈值调节沟道注入导致的

有效沟道长度 栅极尺寸平行板,称为引导沟道长度 L_{drwn} 。这个长度参照了电路图表。由于曝光变化及其他作用,多晶硅削去的栅极可能会比这个值大些或小些。器件的实际沟道长度是多晶硅栅极的自然长度减去栅极下漏极和源极的横向扩散长度。这个长度称为冶金沟道长度。它是冶金源极上的源极结和漏极结之间的距离。假定源极和漏极的侧向扩散都等于 L_d ,则冶金沟道长度为 $L = (L_{\text{drwn}} - 2L_d)$ 。

当晶体管在放大区或饱和区偏置,耗尽区存在于漏区及沟道末端之间。在第一章里,这一区域的宽度被定为 X_d 。因此,对于在线性区工作的晶体管来说,实际的有效沟道长度 L_{eff} 为

$$L_{\text{eff}} = L_{\text{drwn}} - 2L_d - X_d \quad (2.35)$$

X_d 的精确测定是复杂的,因为漏极中的场分布是二维的而且非常复杂,漏极耗尽层宽度 X_d 可以近似确定,即假设漏极场分布是一维的,而耗尽层宽度是电压为 $V_{\text{DS}} - V_{\text{ov}}$ 的单边阶梯结,其中 $V_{\text{ov}} = V_{\text{GS}} - V_t$ 是漏极沟道末端与源极之间的电位差。这一假设在下面例子中得到运用。

如第一章所示,晶体管的小信号的输出电阻与有效沟道长度成反比,因为模拟电路的性能通常取决于晶体管小信号输出电阻,模拟电路通常运用的沟道长度要比数字电路的最小沟道长度长,这个现象对未注入晶体管尤为正确。

示例

表 2.1 中展示了估测出的未注入和注入晶体管的有效沟道长度的过程,图 2.59 则显示了器件几何形状。假设器件在漏-源电压下为 5 V,漏极电流为 10 μA ,计算互导和输出电

阻。为了计算 X_d 的值,假设漏极和沟道末端的耗尽区像阶梯结一样工作。在给定的漏极偏置电压中,假设 dX_d/dV_{DS} 的值从其他测量中得到的未注入器件的为 $0.1 \mu\text{m}/\text{V}$,注入器件则为 $0.02 \mu\text{m}/\text{V}$ 。

冶金沟道长度为

$$L = L_{\text{drwn}} - 2L_d = 6 \mu\text{m} - (2 \times 0.3 \mu\text{m}) = 5.4 \mu\text{m} \quad (2.36)$$

有效沟道长度为上述长度减去漏极中耗尽区宽度 X_d 。在线性区中,沟道末端漏极电压近似于

$$V_{GS} - V_t = \sqrt{\frac{2I_D}{\mu_n C_{ox} W/L}} = V_{ov} \quad (2.37)$$

如果起初忽略 X_d 而假设 $L \approx L_{\text{eff}}$,查表 2.1 中的数据得一个值为 0.16 V 的 V_{ov} 。因此,穿过漏极耗尽区的电压近似 4.84 V 。为测定耗尽区宽度,假设这是一个主要存在于低掺杂的一边的单边阶梯结。由于沟道和漏极都是 n 型区域,结的内部电位接近 0 ,耗尽层的宽度可以由式(1.14)或图 2.29 推算。若使用式(1.14),假设 $N_D \gg N_A$,

$$X_d = \sqrt{\frac{2\epsilon(V_{DS} - V_{ov})}{qN_A}} \quad (2.38)$$

对于未注入器件,这个公式给出耗尽区宽度为 $2.4 \mu\text{m}$ 。对于注入器件,结果应为 $0.5 \mu\text{m}$ 。假设一个沟道有效恒定掺杂浓度 $2.1 \times 10^{16} \text{ atoms}/\text{cm}^3$ 。那么两个器件的有效沟道长度应分别近似为 $3.0 \mu\text{m}$ 和 $4.9 \mu\text{m}$ 。

由式(1.180)得器件的互导应为

$$g_m = \sqrt{2\mu_n C_{ox} (W/L) I_D} \quad (2.39)$$

设 $\mu_n = 700 \text{ cm}^2/\text{V}\cdot\text{s}$,对于未注入晶体管有

$$g_m = \sqrt{2(700)(8.6 \times 10^{-8})(50/3.0)(10 \times 10^{-6})} \text{ S} = 141 \mu\text{S} \quad (2.40)$$

对于注入晶体管有

$$g_m = \sqrt{2(700)(8.6 \times 10^{-8})(50/4.9)(20 \times 10^{-6})} \text{ S} = 111 \mu\text{S} \quad (2.41)$$

输出电阻可以运用式(1.163)和式(1.194)计算出。对于未注入器件有

$$r_o = \frac{L_{\text{eff}}}{I_D} \left(\frac{dX_d}{dV_{DS}} \right)^{-1} = \left(\frac{3.0 \mu\text{m}}{10 \mu\text{A}} \right) \frac{1}{0.1 \mu\text{m}/\text{V}} = 3.0 \text{ M}\Omega \quad (2.42)$$

对注入器件有

$$r_o = \left(\frac{4.9 \mu\text{m}}{10 \mu\text{A}} \right) \frac{1}{0.02 \mu\text{m}/\text{V}} = 25 \text{ M}\Omega \quad (2.43)$$

由于未注入器件耗尽区比注入器件稍宽些,未注入器件的沟道长度应做得比注入器件稍长,使其在相同偏置状态下取得可比的击穿电压和小信号输出电阻。

有效沟道宽度 MOS 晶体管的有效沟道宽度由平行于表面的栅极和垂直于沟道长度的具有薄层氧化物的栅极长度确定。厚的氧化区域在每一个晶体管边缘增长,这个增长要通过运用 2.2.7 节和 2.8 节中所描述的局部氧化过程实现。在氧化区增长之前,氮化物淀积并形成图案以便它只是一些区域中变成晶体管。这样,氮化区域宽度等于晶体管牵引宽

度。为了减小宽度的变化,氧化区应垂直增长;就是说氧化厚度应只在氮化物没有覆盖氧化物的区域中增长。但实际上,一些侧向生长的氧化物也会在氧化物增长过程中,在氮化物边缘附近生长。结果,氧化区边缘并不垂直,如图 2.9 和图 2.54 中所示。比起牵引宽度,这个氧化物侧向生长削弱了 MOS 晶体管有效宽度。这就好像鸟喙,图 2.9 和图 2.54 中交叉区域逐渐递减的氧化厚度类似于鸟相应部分的轮廓。

结果,晶体管的有效长度和宽度不同于相应的引导尺度。在模拟设计中,有效长度的变化经常比有效宽度的变化更重要,因为晶体管中引导长度通常要小于引导宽度。所以,引导宽度和有效宽度经常被忽略。但是,这个差异有时也很重要,尤其是要使在给定电路限制精度时使两个可比的晶体管匹配。这一内容在 4.2 节中再讨论。

栅-漏内部电容 如第一章所述,晶体管的栅-漏内部电容在线性区域应为

$$C_{gs} = \frac{2}{3} WL_{eff} C_{ox} \quad (2.44)$$

这项参数计算结果在下面例子中说明。

重叠电容 假定源极和漏极区分别在注入后扩散到栅极下 L_d , 则栅-源和栅-漏重叠电容为

$$C_{ol} = WL_d C_{ox} \quad (2.45)$$

这个寄生电容直接加上栅-漏内部电容。它包括全部在运行中的线性区域的栅-漏内部电容。

结电容 源-衬底和漏-衬底电容由源极漏极扩散区和衬底之间的结耗尽电容引起。计算这些电容的一个复杂的因素为:在实际中源极和漏极区周围的衬底掺杂是一个变量。在源极漏极扩散区外围,也就是场效应区边界,结的边界的相对表面浓度较高,这是由于场效应阈值调节注入。虽然近似的计算可行,但外围电容的零偏值电压和分级参数的特性可通过检测装置来了解,衬底结电容可运用式(1.21)或通过图解法由图 2.29 得到。

要说明的附加电容是栅极下方的衬底和沟道之间的耗尽电容,称为 C_{sb} , 此电容计算很复杂,事实上,沟道-衬底电压不是固定的,而是随沟道变化的。而且,这个电容在源极和漏极中的分配要随运行情况变化,和 C_{gs} 的分配是一样的。比较合理的近似方法是得出栅极下方的结电容近似总和,并像分配栅极电容的比率一样,分配到源极和漏极里。例如,在放大区,2/3 的 C_{sb} 与源-衬底电容并联,而漏-衬底电容中不存在。

示例

器件几何尺寸如图 2.59 所示,计算一个注入器件的电容。用表 2.1 给出的过程参数,假设一个漏-源电压为 5 V,漏极电流为 10 μ A,没有衬底偏置电压。忽略沟道和衬底之间的电容。假设 X_d 很小可以忽略。

由式(2.44)得,内部栅-源电容为

$$C_{gs} = \frac{2}{3} WL_{eff} C_{ox} = \left(\frac{2}{3} \right) 50 \mu\text{m} \times 5.4 \mu\text{m} \times 0.86 \text{ fF}/\mu\text{m}^2 = 155 \text{ fF} \quad (2.46)$$

由式(2.45)得,重叠电容为

$$C_{cl} = WL_d C_{ox} = 50 \mu\text{m} \times 0.3 \mu\text{m} \times 0.86 \text{ fF}/\mu\text{m}^2 = 12.9 \text{ fF} \quad (2.47)$$

因此,栅极-源极的全部电容是 $(C_{gs} + C_{cl})$,即 168 fF。栅-漏电容等于重叠电容,即 12.9 fF。

源-衬底和漏-衬底电容包含两部分。周围或外侧部分 C_{jsw} ,与临近场效应区的扩散区域边缘部分接合。第二部分 C_j 是在扩散结和源极及漏极下方的硅衬底之间的耗尽电容。对于所给的偏置情况,源-衬底的结处于零偏置。漏-衬底的结有一反向偏置 5 V。查表 2.1,源-衬底周围部分电容为

$$C_{jsw}(\text{source}) = (50 \mu\text{m} + 9 \mu\text{m} + 9 \mu\text{m})(0.5 \text{ fF}/\mu\text{m}) = 34 \text{ fF} \quad (2.48)$$

这里,周长为 $W + 2L$,因为它是硅表面围绕毗连场效应氧化区的源区和漏区的距离。鉴于衬底掺杂随周长升高而增加场效应区阈值电压的数量级,这里的侧围电容占绝对优势。衬底电容是源扩散面积乘以每单位面积电容量,由表 2.1 得

$$C_j(\text{source}) = (50 \mu\text{m})(9 \mu\text{m})(0.08 \text{ fF}/\mu\text{m}^2) = 36 \text{ fF} \quad (2.49)$$

从源极到衬底总电容是这两项之和,即

$$C_{sb} = 70 \text{ fF} \quad (2.50)$$

对于例子中给出的结构图,晶体管是对称的,源极和漏极及外围是相同的。在表 2.1 中,衬底和周边电容的等级系数都是 0.5。因此,漏-衬底电容与源-衬底电容一样在结上反向偏置 5 V。假设 $\phi_0 = 0.65 \text{ V}$ 。

$$C_{db} = \frac{(70 \text{ fF})}{\sqrt{1 + V_{DB}/\phi_0}} = \frac{(70 \text{ fF})}{\sqrt{1 + 5/0.65}} = 24 \text{ fF} \quad (2.51)$$

2.9.2 p 沟道晶体管

多数 CMOS 技术中 p 沟道晶体管表现为直流(dc)和交流(ac)性质。这一性质与 n 沟道晶体管相似。一点不同的是一个 p 沟道器件的互导参数 k' 是一个 n 沟道器件的 $1/2 \sim 1/3$,因为空穴的迁移率相对电子要低。如式(1.209)所示,同样的原因也减少了 p 沟道器件的 f_T 。另一区别是在 p 型衬底和 n 型阱的 CMOS 技术中,如果是注入器件,p 沟道晶体管的衬底的末端可被电绝缘。在模拟电路中较好地应用这个技术可以减轻这些器件中的衬底效应。对于一个 n 型衬底极 p 型阱的 CMOS 加工过程,将 p 沟道的器件做在连接最高的电源电压的衬底金属中,但 n 沟道器件可以与衬底末端电绝缘。

计算 p 沟道器件的参数像 n 沟道器件一样。一个重要差别是对于 p 沟道晶体管如果没有阈值调节注入,那么产生的阈值电压就相对较高,一般为 1~3 V。发生这种情况是由于 Q_{ss} 项和工作函数项倾向于增加 p 沟道阈值电压,同时减少 n 沟道阈值电压。因此,p 型阈值调节注入通过部分补偿浓度的 n 型阱或衬底来减少表面浓度。所以与 n 沟道器件相比,p 沟道晶体管在电路中有一个有效表面浓度,这一浓度比硅浓度要低,这样,经常表现为低电压衬底偏置时略微增加衬底效应,而高电压衬底偏置时大幅度增加衬底效应。

2.9.3 耗尽型器件

耗尽型器件性质与增强型器件类似,除了在沟道中注入使阈值为负(对于 n 沟道器件来

说), 大多数情况下, 一个耗尽型器件与一个带有栅极引导值 ($V_{\text{D}} - V_{\text{TE}}$) 的连续电压源的增强型器件极其相似, 其中, V_{D} 是耗尽型晶体管的阈值电压, V_{TE} 是增强型晶体管的阈值电压。耗尽型晶体管通常将栅极与源极相连, 因为器件在 $V_{\text{GS}} = 0$ 时工作, 如果它工作在放大区, 那么它就会像一个带有漏极电流

$$I_{\text{DSS}} = I_{\text{D}} \Big|_{V_{\text{GS}}=0} = \frac{\mu_n C_{\text{ox}} W}{2L} V_{\text{D}}^2 \quad (2.52)$$

的电流源那样工作。

耗尽型器件的一个重要性质是带有过程变化的 I_{DSS} 变化, 这些变化最初是因为阈值电压随过程变化中的表面值而充分变化。由于晶体管 I_{DSS} 随阈值电压的平方变化, I_{DSS} 的大幅度变化经常发生。由于过程变化引起的误差超过 $\pm 40\%$ 是很普遍的事。因为 I_{DSS} 决定电路的偏置电流和电能消耗, 这一变化的数量级是一个重要因素, 另一个重要方面是耗尽型器件的衬底效应。因为阈值电压随衬底偏置而变化, 一个 $V_{\text{GS}} = 0$ 且 $v_{\text{sb}} \neq 0$ 的耗尽型器件表现为一个在放大区的有限电导, 即使沟道长度调制的作用被忽略。但是, 这个有限的电导在模拟电路的性质中很重要, 那就是把耗尽型器件当作负载来用。

2.9.4 双极型晶体管

标准 CMOS 技术包括在加工过程中将集电极与衬底相连, 这样来制造一个双极型晶体管。而衬底又与电源相连。图 2.62a 所示为这种器件的横截面。阱区形成晶体管的基极, 而在阱中的器件的源极/漏极扩散部分形成发射极。由于流过基极的电流垂直于硅的表面, 因此, 器件是一个垂直的双极型晶体管。一个 pnp 晶体管在加工中使用 p 型衬底, 如图 2.62a 所示, 而一个 npn 晶体管在加工中使用 n 型衬底。此器件特别适用于带隙参考源, 如第四章中所述, 关于其在输出极的应用则在第五章讨论。器件的性能与阱深及掺杂紧密相关, 但却与双极型技术中衬底 pnp 晶体管 (详见 2.5.2 节) 类似。

这样的垂直双极型晶体管的主要缺陷是它的集电极是衬底且与电源相连来保持衬底 pn 结的反向偏置。标准 CMOS 制作工艺还提供了另外一种无须集电极与电源相连的双极型晶体管。²² 图 2.6.2b 所示为这种器件的横截面。在垂直晶体管里, 阱区形成基极, 源极和漏极扩散形成发射极, 但这样另一个源极/漏极扩散形成了集电极 C_1 。若穿过基极的电流平行于硅的表面, 这个器件为横向双极型晶体管。同样的, pnp 型晶体管利用 n 型阱, npn 型晶体管则利用 p 型阱。横向器件的发射极和集电极与一个 MOS 晶体管源极及漏极相同。因为此时目的是制作一个双极型晶体管, 特意偏置 MOS 晶体管使其工作在截止区。例如图 2.62b 中, p 沟道晶体管栅极应连接足够大的电压使其在截止区中偏置。这里一个关键问题是横向双极型器件的基极宽度与 MOS 器件沟道长度相匹配。

这种结构的缺陷是, 当一个横向双极型晶体管快形成时, 一个垂直双极型晶体管也随之形成。如图 2.62b 所示, 垂直晶体管的发射极和基极的连接与横向晶体管一样, 但集电极是与低电平相连的衬底。当发射极将少量载流子注入基极, 一些电流与表面平行, 且被横向晶体管的集电极 C_1 收集。但是, 其他与表面垂直的电流被衬底 C_2 收集。图 2.62c 中表示的

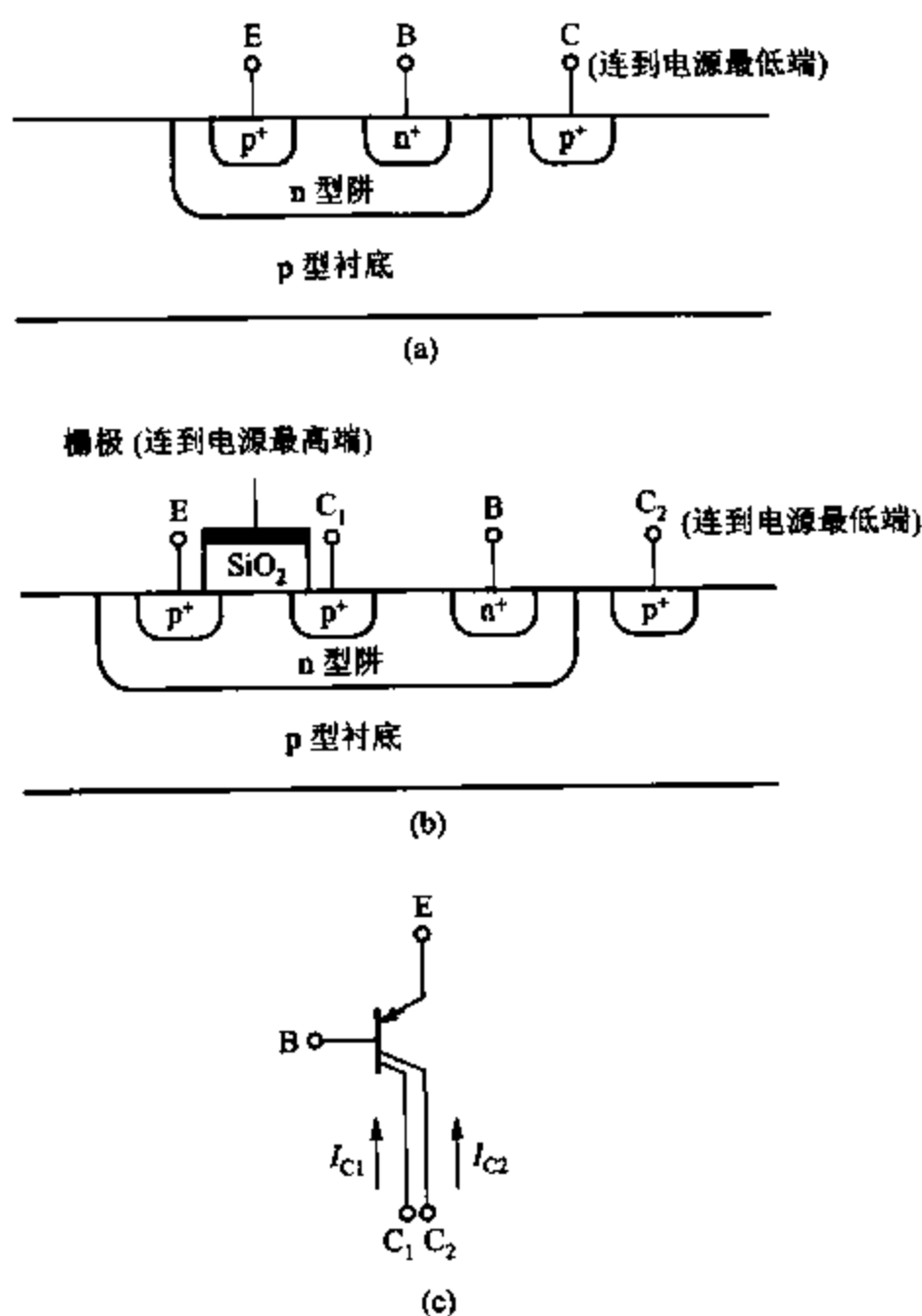


图 2.62 (a) n 阱 pnp 型垂直晶体管的 CMOS 制作工艺横截面；
 (b) n 阱 pnp 型横向晶体管的 CMOS 制作工艺横截面；
 (c) 双极型晶体管 (b) 的示意图

是一个带有一个发射极、一个基极和两个集电极的晶体管符号。 I_{C1} 是横向晶体管的集电极电流,而 I_{C2} 是垂直晶体管的集电极电流。虽然基极电流由于几乎不再进行结合及反注入而很小,但是不希望电流 I_{C2} 与期望电流 I_{C1} 具有可比性。为缩小这一比率,就要使横向晶体管集电极通常围绕发射极,而且发射区面积和横向的基极宽度缩至最小。即使运用这些技术, I_{C2}/I_{C1} 的比率在实际中也很难被控制。^{22,23} 如果发射极的总电流像许多普通电路一样被牢牢控制, I_{C2}/I_{C1} 的变化改变了期望集电极电流,且结合了像跨导一样的小信号参数。为克服这一问题,发射极电流可被负反馈所调整以使期望集电极电流变得对 I_{C2}/I_{C1} 不敏感。²⁴

一些重要横向双极型晶体管的性质,包括它的 β_F 和 f_T , 随基极宽度减低而改善。由于基极宽度相当于 MOS 晶体管沟道长度,在 MOS 技术中最小沟道长度按比例地稳步减小可增强 MOS 管性能,并对横向双极型晶体管的实用性有重要的影响。

2.10 MOS 工艺中的无源器件

本节中,我们将介绍在 CMOS 技术中用到的各式无源器件。电阻包括扩散区电阻、多晶硅电阻和阱电阻。电容包括多晶硅-多晶硅电容,金属-多晶硅电容,金属-硅电容和平行及垂直金属-金属电容。

2.10.1 电阻

扩散区电阻 用于构成 n 沟道和 p 沟道器件的源极和漏极的扩散层可以被用作形成扩散区电阻。最终的电阻构造和性能与 2.6.1 节中所述的在双极型技术的扩散区电阻相似。表面电阻的设计版图和寄生电容相似。

多晶硅电阻 在硅-栅极 MOS 技术中至少有一个多晶硅层是要形成晶体管的栅极,这个层也经常被用于形成电阻。所使用的版图与用于扩散电阻的相似,而且电阻显示出一个底层的寄生电阻就像一个扩散电阻一样。这种情况下,多晶硅下氧化层的电容代替了反向偏置 pn 结。MOS 制作工艺所利用的大多数多晶硅的静态表面电阻取值范围是 $20 \sim 80 \Omega/\square$,且典型地表现为其阻值随过程的变化而围绕一典型值产生大的变化量。多晶硅电阻匹配性质与那些扩散电阻相似。典型多晶硅电阻设计意图和横截面如图 2.63c 所示。

多晶硅表面电阻可被互连速度限制,尤其在微米技术下。为减少表面电阻,将一个硅化物置于多晶硅的上面。硅化物是硅和金属的化合物,如钨,可以抵制连续高温的微小运动。硅化物将表面电阻减小一个数量级。而且,它对多晶硅氧化率几乎没有影响,因此与普通 CMOS 过程技术兼容。²⁵最后,硅化物能被用于源极/漏极扩散,与用于多晶硅一样。

阱电阻 在 CMOS 技术中阱区域可被当作电阻主体使用。该区域的掺杂浓度较轻。被当作电阻使用时,提供一个数量级在 $10 \text{ k}\Omega/\square$ 的表面电阻。它的性质和几何配置与外延型电阻一样,这在 2.6.2 节已做介绍,如图 2.42 所示。比起其他种类的电阻,这种电阻有着极大的负荷、高电压系数和高温度系数。更高的表面电阻可由增加扩散量来达到,像在双极型技术中情况一样。

作为电阻的 MOS 器件 MOS 晶体管在三极管区中的偏置可在很多电路中当作电阻使用。漏-源电阻可通过三极管区中带有源-漏电压的漏极电流微分方程来计算。由 (1.153) 得

$$R = \left(\frac{\partial I_D}{\partial V_{DS}} \right)^{-1} = \frac{L}{W k' (V_{GS} - V_t - V_{DS})} \quad (2.53)$$

由于 L/W 是给出平方数,方程式右边的第二项给出了表面电阻。这个方程式显示有效的表面电阻是一个实用的栅极偏置的函数。实际上,这个表面电阻比多晶硅或扩散电阻高得多,使一个很小的面积达到很大的电阻。而且,一个电阻可被用作追踪在放大区运行的 MOS 晶体管的互导,可以设计具有对制作工艺、电源以及温度不敏感属性的电路。这种电路在 9.4.3 节中举例说明。这种电阻在理论上的缺点是由电阻工作环境导致的高度的非线性;即漏-源电阻不是固定的,而是依靠漏-源电压,但它在许多实际中得到非常有效的

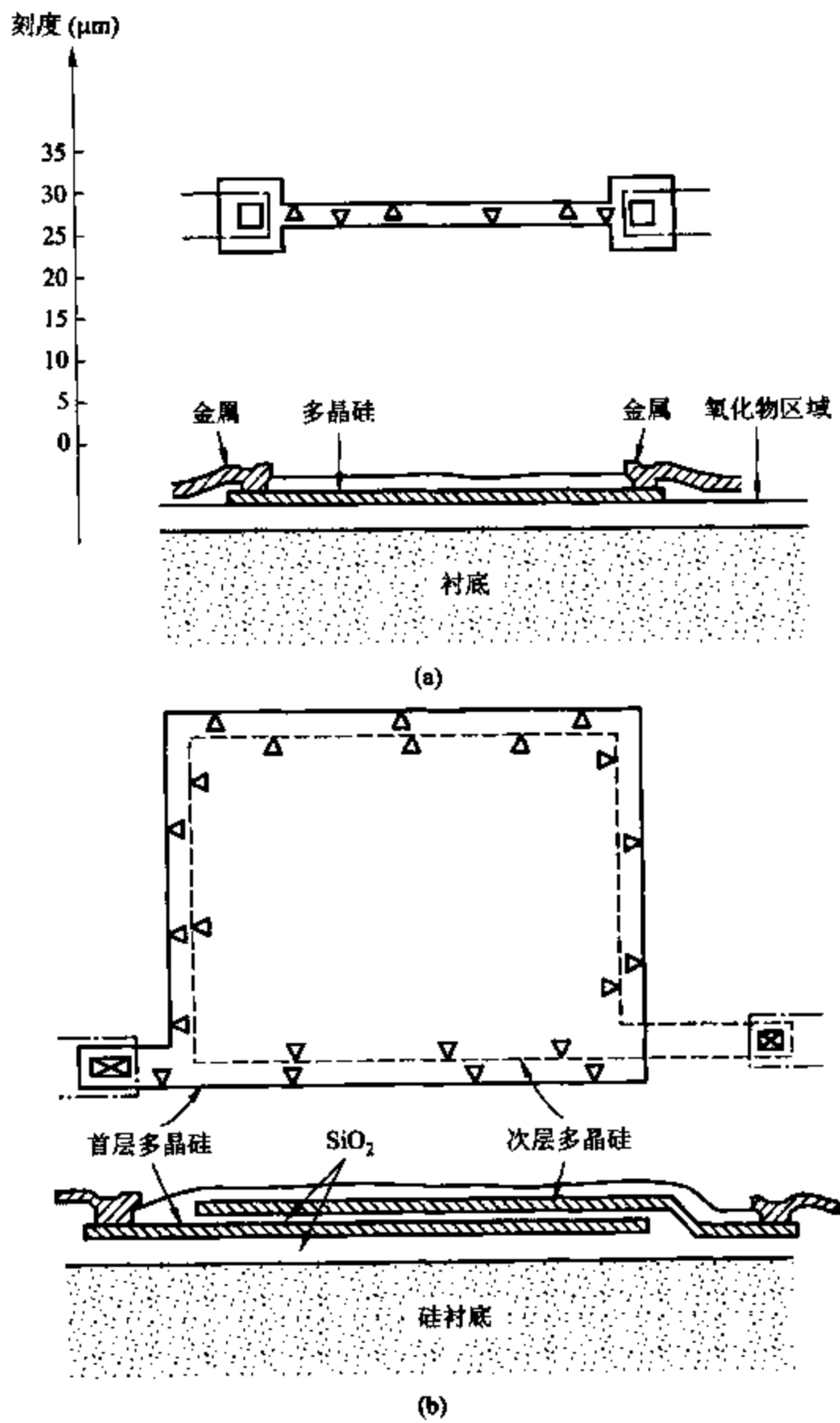


图 2.63 (a) 多晶硅电阻设计意图和横截面；
(b) 多晶硅-多晶硅电容设计意图和横截面

应用。

2.10.2 MOS 工艺中的电容

作为一个无源器件,电容在 MOS 技术中比它们在双极型技术中发挥的作用更重要。

因为 MOS 晶体管有一个实际无限的输入电阻,电容两端的电压可通过 MOS 放大器精确地检查。所以,电容可用于实现很多功能,在双极型技术中这些功能通常由电阻实现。

多晶硅-多晶硅电容 许多用来实现模拟功能的 MOS 技术有二层多晶硅。附加层提供一个有效电容,一个额外的互连层,也可以用来实现可电编程和紫外线擦除的悬浮栅极的记忆单元(EEPROM)。一个典型的多晶硅-多晶硅电容结构的截面如图 2.63b 所示。两层间距和 MOS 晶体管栅极氧化物厚度是可比较的。

电容结构的一个重要的方面是每一层都有寄生电容。最大的寄生电容存在于最底层与下层之间,这里的下层是电绝缘的衬底或阱。这一底部-层的寄生电容与底部-层面积成正比,占到电容本身的 10%~30%。

顶部-层寄生电容由那些连接顶层到其余电路的互连金属镀层或多晶硅导致,加上连接到它的晶体管的寄生电容。如图 2.63b 所示的结构,一个附加的 MOS 晶体管的漏-衬底电容增加了顶部-层寄生电容。这一个寄生电容的最小值是由工艺决定的,一般在 5 fF 到 50 fF 这个量级上。

单片集成电路的电容结构的其他重要的参数是公差、电压系数和电容值的温度系数。电容公差的绝对值是氧化物厚度变化的主要函数,经常浮动在 10%~30%。然而,与另外的同一结构电容的匹配需要更加精确,而且典型变化范围能在 0.05%~1%,这依赖于版图设计。因为电容的层是重掺杂的半导体而并非理想导体,表面与衬底材料层之间电位的变化相当于加在电容上的电压。²⁶ 这相当于在 MOS 晶体管中表面电位的变化类似于电压加到栅极上。然而,因为层的掺杂浓度通常相对较高,表面电位的变化很小。这些表面电位变化的结果就是电容随着应用电压有轻微的变化。增加电容层的掺杂浓度可减少电压系数。对于在多晶硅层中典型应用的掺杂浓度,电压系数通常是少于 50 ppm/V 的,^{26,27} 这在大多数应用中可被忽略。

电容的变化也随温度而变化。这种变化发生的主要因素是先前描述过的层的表面电位随温度而变化。²⁶ 同样,其次要因素包括随温度变化的介电系数的变化和电介质的扩张和收缩。对于高掺杂的多晶硅层,这种温度变化通常是少于 50 ppm/°C。^{26,27}

作为电容的 MOS 晶体管 在三极管区中偏置的 MOS 晶体管可作电容使用,栅极形成一个层,源极、漏极和沟道形成另一个层。不幸的是,因为下层衬底是低掺杂的,表面电位随应用电压大幅变化,即电容具有高电压系数。然而,在不是很重要的应用场合,在两种条件下可以得到有效利用。电路需要设计成:当需要一个大电容时,器件偏置在三极管区。而且由沟道形成的底层高表面电阻要计算在内。

其他的垂直电容结构 在单层多晶硅制作工艺中,可以选择结构用来作为电容的元件。一种解决方法就是插入一层掩模以减小多晶硅层的顶层的氧化物厚度,以便当互连镀金属层被使用时,一个薄氧化物层存在于选定区域内的金属层和多晶硅层之间。这样的电容有与多晶硅-多晶硅电容类似的特性。

另一种在单层多晶硅制作工艺中实现电容的方法包括了额外的掩模和类似于下部的薄氧化物区的多晶硅层形成的低表面电阻的扩散层。因为多晶硅层是在源-漏注入或扩散之前沉淀的,所以这在传统的硅-栅极制作工艺中是不可能实现的。这样的电容的特性与多

晶硅-多晶硅结构电容类似,除了底部-层寄生电容是一个依赖电压且大于多晶硅-多晶硅形式的 pn 结以外,底层还有一个和它连接的结的漏电流,这在一些应用中很重要。

为避免额外的加工步骤,电容也可用金属和多晶硅层构成,两层之间具有标准氧化层厚度。例如,加工出一个多晶硅层和两个金属层,顶层的金属和多晶硅层可被连接以形成电容的一个层,底部的金属用来形成另一个层。这种结构的主要缺点是单位面积电容很小,因为原先用来隔离两个层的氧化物较厚。因此,这种电容通常占很大面积。此外,氧化物厚度与 CMOS 制作工艺中缩小沟道最短长度一样改变甚小。因此,在模拟电路中使用这种电容对所需面积的要求就要远小于新的数字电路技术中所需的。这一特性很重要,因为减少集成电路的面积可以减少它的成本。

横向型电容结构 为了减少电容面积以及避免额外加工步骤,可以运用横向电容。²⁸ 一个横向电容可在一个金属层中形成,两层间距为 s ,如图 2.64a 所示。如果 w 是金属的宽度, t 是金属的厚度,那么电容为 $(wt\epsilon/s)$, ϵ 为介电常数。随着技术的发展,形体尺寸的减小,金属的最小间距缩小但是厚度变化甚微;因此,对一个给定的横向电容使所需的模片面积在尺度技术方面减少。²⁹ 注意:横向电容与跟它相连接的水平层的周长是成比例的。增加给定面积的模片的周长几何形状已经给出。²⁹

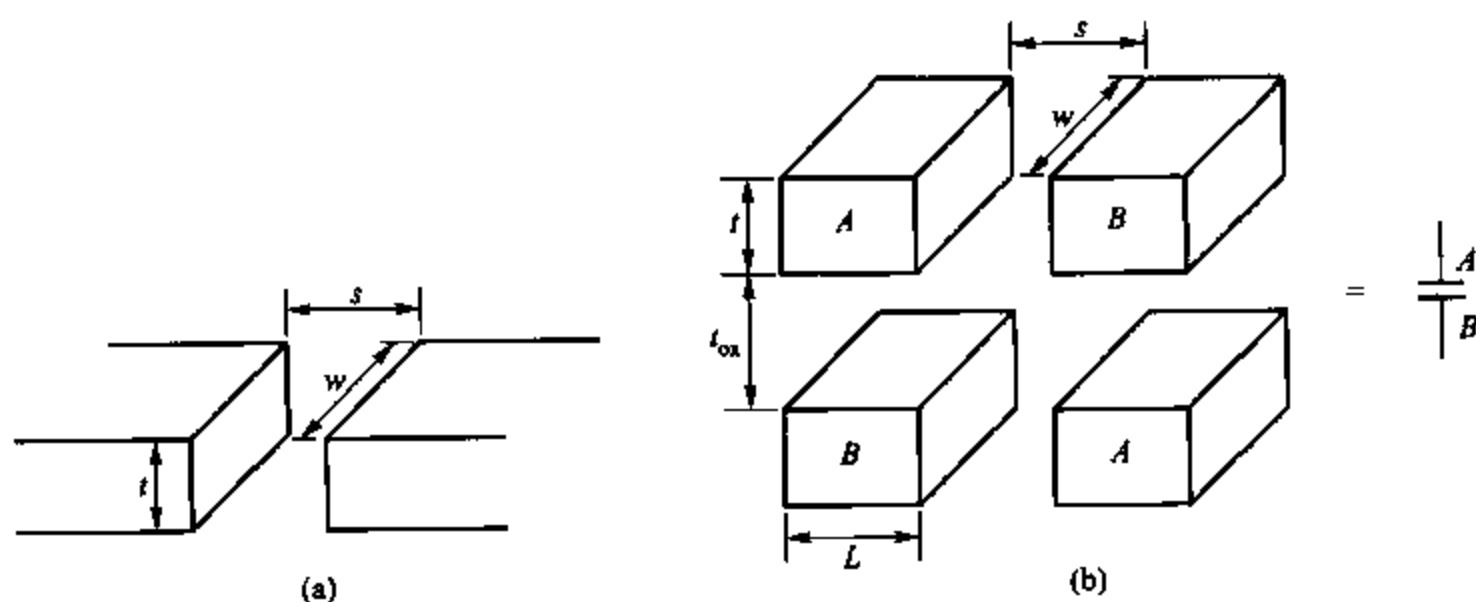


图 2.64 (a) 一层金属中的横向电容;(b) 两层金属中的横向和垂直电容构成期望的电容

横向电容可与垂直电容器并联使用,如图 2.64b 所示。²⁸ 这里的重点是每个金属层都为多个部分,每个电容结点以交互的方式被连接到每个层的每一块。结果,总电容包括了所有层的垂直和横向的附加部分。如果垂直和横向的介电常数相等,总电容与在模片面积用来构造一个最小间距为 $s < \sqrt{2t(t_{ox})}$ 的垂直电容相比是增加的, t 是金属厚度, t_{ox} 是在金属层之间的氧化物厚度。这一思想可被引申到每个附加的层和每层附加的部分。

2.10.3 CMOS 技术的闩锁

CMOS 标准技术中的器件结构本身包含 pnpn 交替的层。例如,考虑图 2.65a 中的典型电路。它是由一个 n 沟道和一个 p 沟道晶体管组成的反相器,如果两个栅极连接在一起充

当反向器输入。图 2.65b 展示 n 阱制造的横截面。当两个 MOS 晶体管被制造的时候形成两个寄生双极型晶体管:一个平行的 npn 和一个垂直的 pnp。在这一个例子中, n 沟道晶体管的源极形成寄生平行的 npn 晶体管的发射极, 衬底形成基极, n 阱形成集电极。p 沟道晶体管的源极形成寄生垂直的 pnp 晶体管的发射极, n 阱形成基极, p 型衬底形成集电极。这些双极型晶体管的电连接设计版图如图 2.65c 所示。正常情况下, 结构中的 pn 结应为反向偏置。然而, 如果两个双极型晶体管因某种原因, 工作在放大区, 电路会出现很多的正反馈, 引起两个晶体管传导剧烈。这一个器件结构与硅控整流器 (SCR) 类似, 这在能量控制应用中被广泛地使用。在能量控制应用中, pnpn 交替的性质在没有外部信号时的通电状态下是极为有利的。然而, 这种做法的结果通常是一种破坏性崩溃现象, 叫做闩锁。

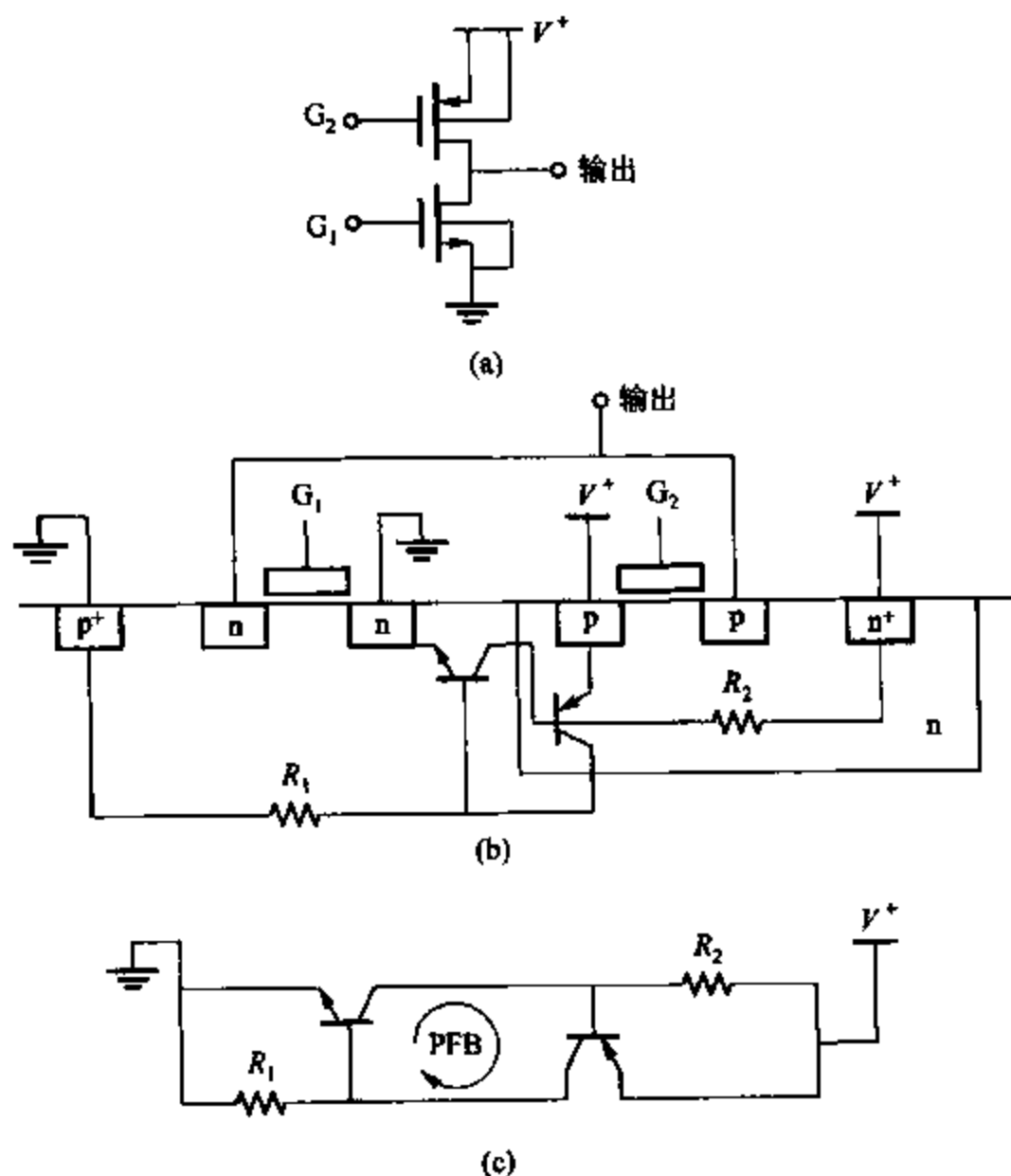


图 2.65 (a) 典型的 CMOS 对; (b) pn 结截面图; (c) pn 结电路图

图 2.65c 中标出了正反馈回路。反馈在第八、九章中详细讲解。下面解释反馈为什么在这个回路中是正的, 假设晶体管都是有源的而且 npn 晶体管的基极电流因某种原因增加了 i 。使 npn 晶体管的集电极电流增加了 $\beta_{\text{npn}} i$ 。如果 R_2 被忽略, 这个电流又由 pnp 晶体管的基极流入。结果, pnp 晶体管集电极电流增加到 $\beta_{\text{npn}} \beta_{\text{pnp}} i$ 。最后, 如果 R_1 被忽略, 这个电流流回 npn 晶体管的基极。这个分析说明电路产生一个与开始的扰动同向的增大的电

流;因此,反馈是正向的。如果环路的增益不只是单一的,起初的扰动使电路的响应增长直到一个甚至两个双极型晶体管都饱和。在这种情况下,在电源和地之间有巨大的电流通过,直到电源关闭或电路烧毁。这个条件叫做闩锁。如果 R_1 和 R_2 足够大使基极电流远大于这些电阻的电流,环路的增益为 $\beta_{npn}\beta_{pnp}$ 。因此,能使闩锁发生所需的 β 要远大于单一结构的 β 。

因为闩锁发生,交替结构的一个结应变为正向偏置。如图 2.65 所示的配置图,电流必须从发射极中间的电阻和两个晶体管之中的一个基极中流过才能发生。这个电流可能由多种因素产生。例如,输入或输出端电压高于电源电压,不合适的电源顺序、衬底或 p 阱或 n 阱中出现大的直流电流,或由快速变化的内部结点导致的衬底或阱的位移电流。闩锁比较容易发生在衬底和阱浓度较低的电路中,如同阱被做得比较薄一样,而且器件比较小。制造工艺的趋势是增加图 2.65b 中的 R_1 和 R_2 ,以及增加两个双极型晶体管的 β 。这些变化增加了闩锁发生的可能性。

CMOS 集成电路的版图设计一定要预防闩锁发生。虽然明确要遵循的法则取决于技术的细节,但是平常的做法是保证 R_1 , R_2 和 β 足够小来避免这一问题。垂直的双极型晶体管的 β 由工艺特性决定,正如阱深不受电路设计者的控制。然而,横向双极型晶体管的 β 可通过增加基极宽度(即 n 沟道晶体管的源极到 n 型阱的距离)而减少。为了减少 R_1 和 R_2 ,许多衬底和阱联合使用来代替分开使用,如图 2.65 所示的简单例子。衬底极的保护环和阱的连接处在阱区内或稍外。这些环由源极/漏极扩散形成,并且提供衬底和阱的低电阻连接来减少电阻级数。而且,在每个输入和输出设备中通常包括特别的保护结构使芯片流入或流出的多余电流安全地分流。

2.11 BiCMOS 技术

在 2.3 节中,我们提到的那个具有高的集电极-基极击穿电压的双极型晶体管结构,运用了厚的外延层(36 V 的工作电压 17 μm 的 5 $\Omega\text{-cm}$ 材料)。这次需要一个深的 p 型扩散来隔离晶体管和其他器件。另一方面,如果一个低击穿电压(对 5 V 允许工作电压来说约 7 V)可以承受,那么一个更高掺杂(0.5 $\Omega\text{-cm}$ 数量级)的集电区也可以用,不过需要更薄(1 μm 数量级)。在这些条件下,双极型器件可以使用 CMOS 中的局部氧化技术来进行隔离,如 2.4 节中所描述。由于在表面附近的高掺杂的高电容区域被低电容氧化物隔离所代替,所以这种方式极大地减少了双极型晶体管集电极-衬底寄生电容。器件在芯片上封装的密度也增加了。此外,CMOS 和双极型制造技术开始看起来相当相似,而使双极型晶体管的高速、浅、离子注入运用于 CMOS 器件中形成的 BiCMOS 技术成为可能(增加几个步骤)。³⁰ 因为双极型晶体管的高电流-驱动能力极大的驱动了大电容的负载,所以这一技术在数字电路应用中具有相当的优势。因为它能使设计者可以利用两种类型器件的特性,它在模拟应用中具有吸引力。

现在描述典型的高频、低点压、氧化物-隔离的 BiCMOS 程序的结构。高性能制造工艺的横截面如图 2.66 所示。³¹ 制造的开始是掩模步骤和 n 型锑掩埋层注入到 p 型衬底中来

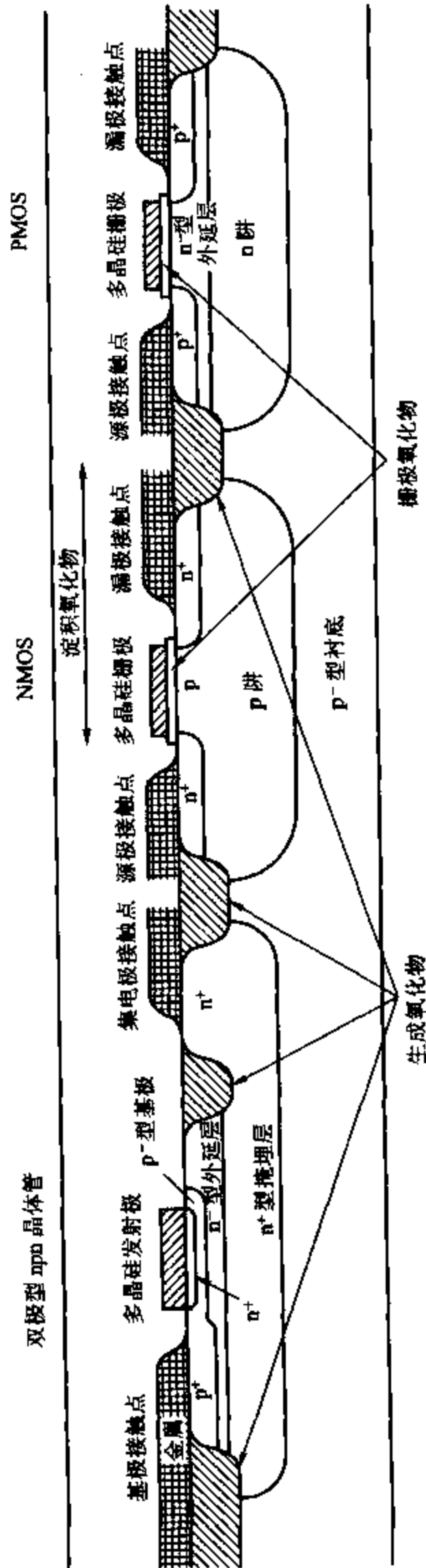


图 2.66 高性能 BiCMOS 截面图

形成一个 npn 双极型晶体管或 PMOS 器件。第二步注入 p 型杂质硼以构成 p 阱形成 NMOS 器件。接下来 n⁺ 外延层会有 1 μm 的增长来形成 npn 双极型器件的集电极和 PMOS 器件的沟道区。这一步和后面的加热环节,更多的硼离子扩散使 p 阱延伸到表面,而锑掩埋层仍然是固定的。

掩模步骤确定哪些区域是要生长厚的氧化层和哪些区域要被蚀刻到外延层。氧化物生长区完工后,接着的抛光步骤是蚀刻超过表面的氧化物使其与周围区域的厚度一致。图 2.57 表示的可消除部分,用来保证金属可以越过氧化物层连接(所以称为阶梯覆盖)。最后,完成接下来的掩模步骤和 p 型 n 型注入则形成了双极型基极和发射极、相连的低电阻双极型集电极、MOSFET 的源极和漏极。栅极氧化物增长,多晶硅栅极和发射极形成,MOS 器件的阈值调节注入形成。金属连接形成期待的区域,然后在芯片上覆盖一层二氧化硅。金属的第二层互连形成在氧化物的顶端的与第一层金属连接的部分。进一步的二氧化硅沉积在第三层金属互连上,使连接更具适应性,而且增加设计版图的密度。

2.12 异质结双极型晶体管

异质结是由两种不同材料构成的 pn 结。在此之前我们所讨论过的所有结都是单质结,因为它们 n 型和 p 型两个部分都是由同一种材料(硅)形成的。与之相反的是,异质结是由硅的 n 型部分与锗或硅锗化合物的 p 型部分形成的。

在同质结双极型晶体管中,发射极掺杂比基极掺杂浓度要高很多,这使发射极注入效率 γ 大约为 1,如图 1.51b 所示。因此,在实际中,基极掺杂浓度较低,发射极掺杂浓度较高。在 1.4.8 节中的讨论已表明双极型器件的 f_T 被 τ_F 部分限制,其中 τ_F 是少数载流子通过基极所需的时间。 f_T 的最大值在一些设备如音频电子器件中是很重要的。为了增加 f_T ,基极的宽度可以适当地减小。如果基极掺杂一定来维持常量 γ ,这样将增加基极的电阻 r_b 。反过来,因为形成了一个跟基极电容有关的时间常数,这种基极限制了速度。因此,标准双极型技术中对于高 f_T 和低 r_b 采取了折中的办法,而且两个极端的速度在实际中都可以达到。

克服这种折中的方法之一是在双极型晶体管的基极中添加适量的锗,以便形成异质结晶体管。其基本原理是位于结两边的不同源极是具有不同的带隙,具体而言,硅的带隙比锗的要宽一些,而且基极处形成的化合物 SiGe 也减少了那里的带隙。从基极返回发射极时可能会形成一些空穴,而发射极中相对较大的带隙可用于增加防止这些空穴生长的潜在屏障。因此,这种结构并不需要发射极掺杂要比基极掺杂更高以满足 $\gamma \approx 1$ 的条件。所以与单质晶体管相比在异质双极型晶体管发射极掺杂可以减少,而基极掺杂可被增加。基极掺杂比重的增加可以保证当基极宽度减小以增加 f_T 时, r_b 仍保持为一个常数。进一步讨论,当晶体管在正向放大区工作时,前面讨论的掺杂变化使基极-集电极耗尽区的宽度减小,这导致基极宽度调制作用的降低,并增加了厄尔利电压 V_A 。基极掺杂的提高不仅对晶体管的性能有很大的提高,同时也降低了因发射极掺杂而引发的基极-发射极宽度和耗尽区电压

增加的概率、电容 C_{jc} 的减少以及最大速度的提高。

双极型异质晶体管的基极部分是由通过超高真空化学蒸镀而形成的一层薄薄的 SiGe 外延层构成的。³² 由于这是外延层, 因此它发生在衬底中的硅晶体结构中, 锗的点阵常数比硅的大一些, SiGe 层在压缩张力下形成, 限制了锗浓度和 SiGe 层的厚度, 避免在常规技术使用后期的高温过程可能发生的缺陷。³³ 在实践中, 一个基极厚度若为 $0.1\ \mu\text{m}$, 锗浓度被限制在 15% 左右以使 SiGe 层无条件稳定。³⁴ 由于锗浓度较低, 带隙的改变, 影响发射极中反向注入空穴的势垒都是较小的。但是, 反向注入与屏障的作用关系是指数关系, 因此, 即便是势垒发生很小的改变也会剧烈地减少反向注入, 并引发以上讨论的种种益处。

实际情况中, 基极中的锗浓度并不需要维持一个常数。具体而言, UHV/CVD 过程可以增加从发射极末端到集电极末端中基极里锗的浓度。锗的含量等级变化, 产生了一个电场, 它可以帮助电子穿行基极, 进一步减小 τ_F , 增大 f_T 。

以上所描述的双极型异质晶体管可被归纳在其他方面的常规 BiCMOS 过程中的双极型晶体管中。其要点是由于基极中平均锗的浓度较小, 器件加工过程要保持由硅集成电路的阱设置的性质。³⁵ 这个性质之所以重要是因为它使得一个新的过程方法仅仅是现有过程的简单改进, 而且减少了新技术的成本。如众所周知的, 最小引导 CMOS 沟道长度为 $0.3\ \mu\text{m}$ 的 BiCMOS 过程可实现 50 GHz 的 f_T 的双极型异质晶体管。³⁴ 异质结技术与同质结技术相比所具有的优势使 f_T 得到很大的增加。

2.13 互连延迟

当集成电路技术中所允许的最小尺寸减小时, 最大运行速度和带宽随之增大。产生这一趋势的部分原因是因为双极型晶体管最小基极宽度以及 MOS 晶体管最小沟道长度的降低, 使这些器件的 f_T 增大了, 晶体管的速度按比例增大, 也同时增大了因互连而产生的延迟, 而这将急剧限制集成电路的最大速度。³⁵ 当最小形体尺寸减小时, 这一延迟会加大。尺寸减小是由于金属宽度和间距都减小以增加互连所容许的密度。减小线的宽度使固定长度上的数量平方增长, 使电阻增大。线的间距减小使线之间横向电容增大。延迟与电阻和电容的乘积是成比例的。为降低延迟, 用于集成电路中的替代材料正处于研究阶段。

首先, 在金属层中用铜取代了铝, 一方面是因为铜降低了互连中约 40% 的电阻系数, 另一方面, 与铝相比, 铜不易受到电迁移和应力迁移的影响。在电迁移和应力迁移作用下, 导体在电压下或导电时会轻微移动。这些过程可导致金属互连的断路, 是集成电路中重要的失效机理。但遗憾的是, 铜不能在同样的制作工艺中简单地取代铝。两个关键问题是: 第一是铜通过硅扩散并且二氧化硅的混合扩散速度比铝快, 第二是铜很难进行等离子蚀刻。³⁶ 为了克服第一个扩散问题, 可在铜的表面包裹一层其他金属薄膜, 使其在高温情况下不易移动。同时, 为解决蚀刻问题, 已研制出一种波形花纹。³⁷ 在这一过程中, 氧化物在互连系统的表面一次沉积, 形成一层薄膜, 随后互连系统的形状被氧化物蚀刻出来, 晶体表面均匀地附着一层扩散电阻薄膜和镀铜层, 再通过一个化学机械过程将晶体抛光, 直到露出氧化物层,

使空腔中被氧化物蚀刻出的铜显露出来。这个方法最大的优点是在每一层次的金属化过程后都形成了一个平面结构。

同时,为了降低互联系统的电容,人们正在研制具有低介电常数的电介质以取代二氧化硅。二氧化硅的电介质常数是空气的 3.9 倍。相对电介质常数在 2.5~3.0 之间的介质,主要研究聚合体,而相对电介质常数在 2.0 以下的被考虑原材料包括泡沫和凝胶体,空气也是其中之一。³⁶ 低电容率的电介质材料还应满足以下的一些重要要求:低渗漏、高击穿电压、高导热系数、高温过程下的稳定性以及金属层黏附强度。³⁵ 因此,要找到满足以上所有条件的出色电介质以代替二氧化硅是十分困难的。

2.14 集成电路制造过程的经济意义

集成电路能够在各式系统中持续普遍深入应用的首要原因是使用集成电路可以降低制作成本。合理利用技术以减小成本要求人们对集成电路影响成本的因素有一个全面系统的了解。在这一章节,将考虑以下几个因素。

2.14.1 集成电路制造过程的收益因素

本章前一部分已经讨论过,集成电路是由一种晶圆成批生产的,每个集成电路都包含数千个独立但相同的电路。在这个处理过程中,在晶圆分解为独立个体前要对晶圆上独立电路进行探索 and 检测。电路中的电作用部分所占百分比符合规定种类晶圆的产量 Y_{ws} ,且通常介于 10%~90% 之间。而失效部分是由多种原因造成的,但是造成 Y_{ws} 损失的一个主要原因是在光阻材料及扩散操作中发生的各类的缺陷。这些缺陷包括掩模缺陷、光阻材料针孔、空气中的微粒附着在晶圆表面、外延层上的晶圆缺陷等。如果电路中的晶体管或电阻中的放大区域发生上述缺陷,就可能导致无效部分的产生。晶圆发生这类缺陷的单位频率首先取决于具体的制造过程,而不是由被制造出的电路决定的。总之,晶圆有越多的掩模步骤和扩散步骤,其表面缺陷的密度就越高。

这些缺陷的存在限制了在一个单片模片上设计出经济的电路尺寸。如图 2.67 所示,两个相同的晶圆分别用来制造电路的不同部分,晶圆上分布着一些位置相同的缺陷点。虽然两个晶圆上的缺陷位置是相同的,但是大的模片的 Y_{ws} 却为零。当模片尺寸变为原来的 1/4 时, Y_{ws} 为 62%。这个概念上的例子表明模片的尺寸对 Y_{ws} 的影响。从数量上讲,在给定模

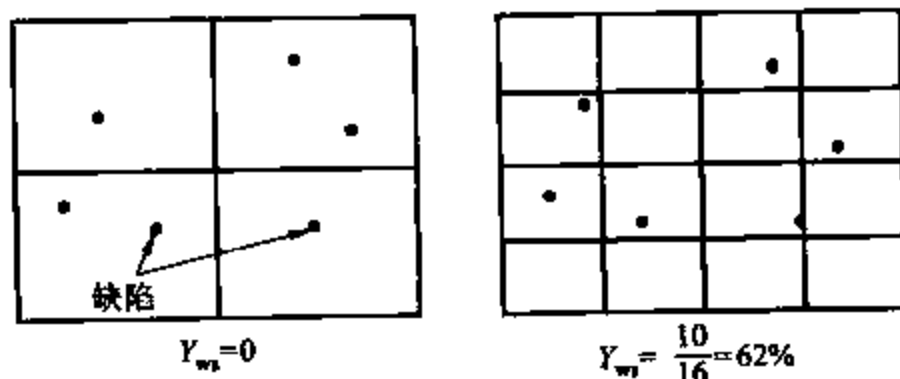


图 2.67 制造过程中模片的尺寸影响示意图

片尺寸的条件下,期望的产量与制作工艺的复杂性紧密相关,是加工中各步骤的本质,换言之是最重要的,体现整个生产以及其中各步骤的成熟度和发展水平。在这一制作工艺初期,由于改良平版印刷术和增加低温加工步骤的使用,比如前述的离子注入,改进工艺环境控制以及使缺陷密度有了平稳的降低。图 2.68 是根据双极型和 MOS 制作工艺中的 Y_{ws} 数据绘制的三条典型曲线。它们是 Y_{ws} 的代表曲线,从包含多个 Y_{ws} 递减步骤的复杂过程到通过先进的 VLSI 制造设备承担的简单过程。同时,产量曲线在更多的传统设计规则及其他因素的影响下上下移动。电路中出现的检测失误和设计问题等不可控因素导致个别集成电路偏离这些曲线,但其总趋势仍是有效的。

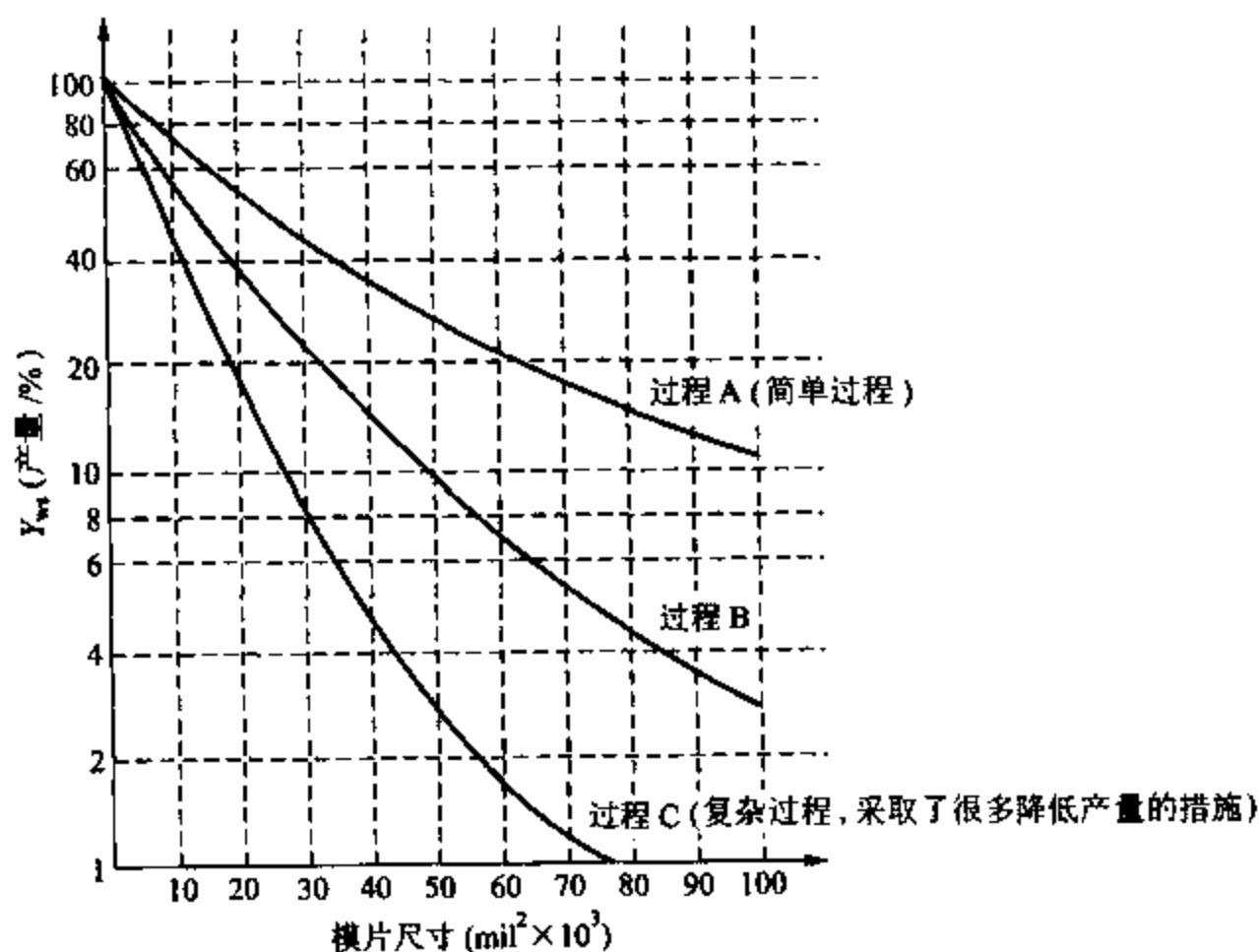


图 2.68 三种不同的制作工艺产量与模片尺寸的典型曲线,范围从简单、完善(曲线 A)到一个带降低产量步骤的非常复杂的过程(曲线 C)

模片的尺寸不仅影响 Y_{ws} ,还影响给定尺寸晶圆上可加工出的个体数量。晶圆上可用面积总和,称为总模片数/晶圆 N ,如图 2.69 绘制出的模片的尺寸对晶片尺寸的作用。由总模片数/晶圆和 Y_{ws} 得到的净模片/晶圆,如与图 2.68 对应的图 2.70 所示,假定为 4 英寸晶圆。

当晶圆经过相应的检测后,便分解为独立的个体。这些独立小片可供检测,收集,组合封装。这一步骤称为模片的制造,它会在一定程度上造成有效面积的损失。一些晶片上原有的有效部分,因其在模片制造过程中表面遭到破坏和刮擦而废弃。因此,加工后的有效部分与加工前的有效部分的比率称为模片制造收益 Y_d ,随后,有效芯片被嵌入封装,模片之间的电连接由封装管脚上的焊线组成。在封装电路经过最终测试过程后,由于不适当的压焊和处理过程常使部分单位的作用失效。最终测试后的有效单位数与完成封装的有效芯片

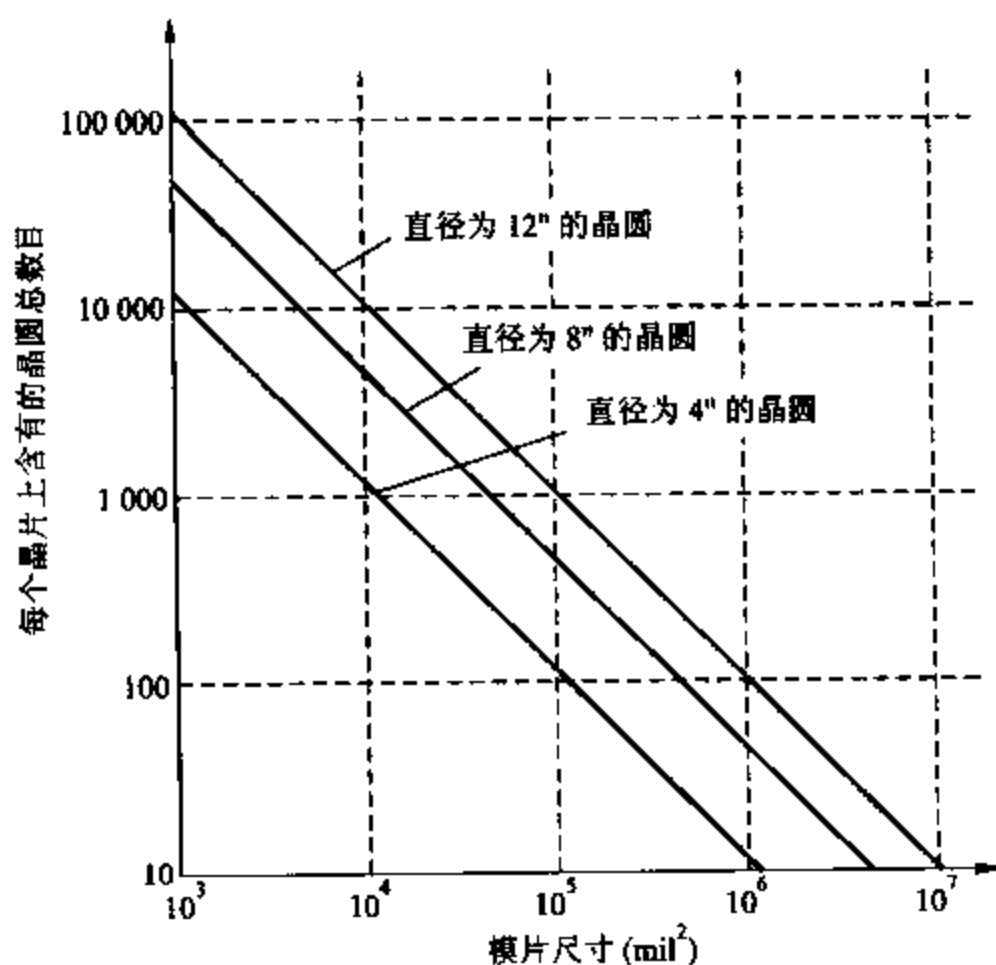


图 2.69 4 英寸, 8 英寸和 12 英寸的总模片数/晶圆图

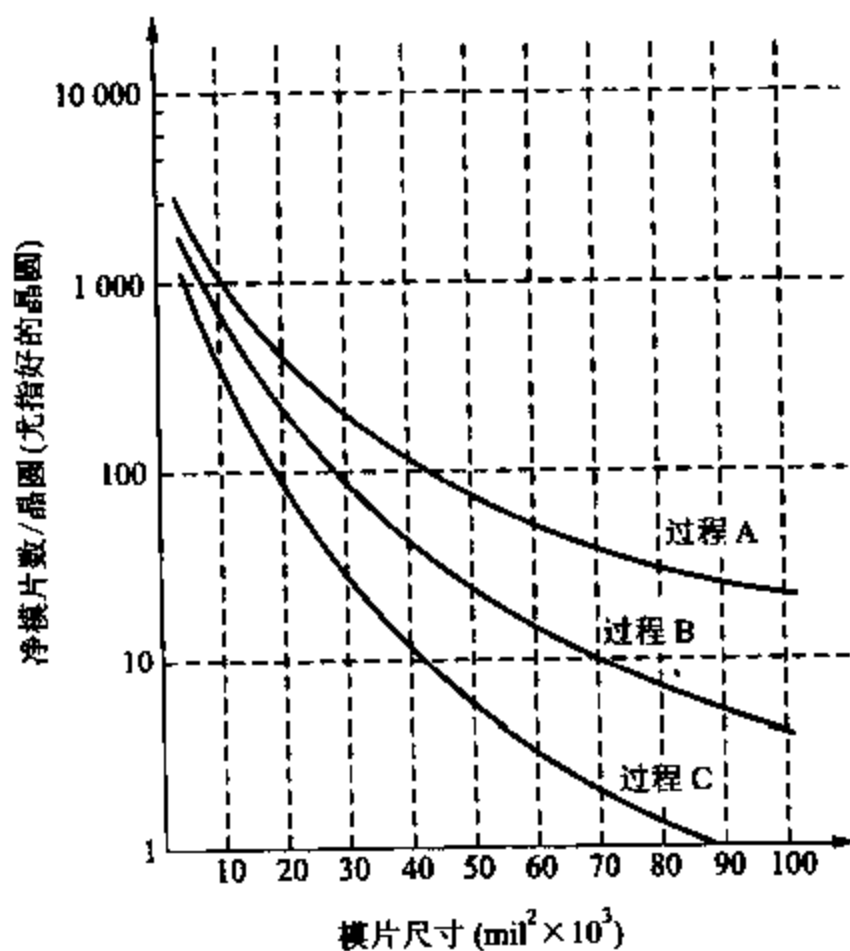


图 2.70 以 4 英寸晶圆为例, 图 2.66 中, 净模片数/晶圆三个过程。
同样的曲线大致可以从其他晶圆大小获得, 只是纵轴晶圆面积要按比例缩放

的比率称为最终测试收益 Y_{ft} 。

2.14.2 集成电路制造中的成本核算

制造商主要考虑的直接费用分为两类,与制造和测试晶圆相关的费用称为晶片加工成本 C_w ,由封装和最后独立测试生产的部分称为封装成本 C_p ,如果考虑晶片的整个制造过程中的费用,即晶圆自身产生的费用为 C_w 。晶圆中封装完毕的有效芯片总数为 $NY_{ws} Y_{df}$ 。这些经组装和检测的芯片总成本 C_t 为

$$C_t = C_w + C_p NY_{ws} Y_{df} \quad (2.54)$$

有效单位总数

$$N_g = NY_{ws} Y_{df} Y_{ft} \quad (2.55)$$

平均成本

$$C = \frac{C_t}{N_g} = \frac{C_w}{NY_{ws} Y_{df} Y_{ft}} + \frac{C_p}{Y_{ft}} \quad (2.56)$$

在这组公式中:第一个表达式为晶圆加工成本,第二个是与组装和测试相关的。这个表达式可用于计算厂商成品的直接费用。下面将用一道例题说明。

示例

用以下两组数据计算作图,表示直接生产费用对模片尺寸的作用。

(a) 晶圆加工成本为 \$ 75.00, 组装及检测成本/单位模片为 \$ 0.06, 模片加工收益 Y_{df} 为 0.9, 最终检测收益 Y_{ft} 为 0.9。假设收益曲线 B 如图 2.68 所示, 这一系列条件可描述为一个价格适中的 8 或 14 管脚的中等复杂度的双极型运算放大器。

由式(2.56)得

$$C = \frac{\$ 75.00}{(NY_{ws})(0.81)} + \frac{0.06}{0.9} = \frac{\$ 92.59}{NY_{ws}} + 0.066 \quad (2.57)$$

计算成本与图 2.71a 中的模片尺寸对应。

(b) 晶圆加工成本 \$ 100.00, 单位模片/组装及检测成本为 \$ 1.00。模片加工收益 Y_{df} 为 0.9, 最终检测收益 Y_{ft} 为 0.8。收益曲线 A 如图 2.68 所示。这些条件可用于描述一个复杂的模拟/数字的集成电路, 这种电路利用先进的 CMOS 制造工艺, 采用大型的多管脚方法进行封装。同样, 由(2.56), 得

$$C = \frac{\$ 100.00}{NY_{ws} \times 0.72} + \frac{\$ 1.00}{0.8} = \frac{\$ 138.89}{NY_{ws}} + \$ 1.25 \quad (2.58)$$

此成本与图 2.71b 中的模片尺寸相对应。

这个例子表明:对于较小的模片尺寸,大部分成本来自于组装和检测过程;而对于较大的模片尺寸,大部分成本源于晶圆加工过程产生的成本。如图 2.72 所示,根据成品上每单位硅的平均成本而得到的集成电路成本将上面所讨论的关系进一步清晰化。这些曲线是成品成本与模片上硅面积(mil^2)的比率。从以上两道例题可以看到,每单位面积硅成本均介于封装成本与模片成本之间,根据以最低成本使用硅模片的原理,制造过大或过小的芯片都

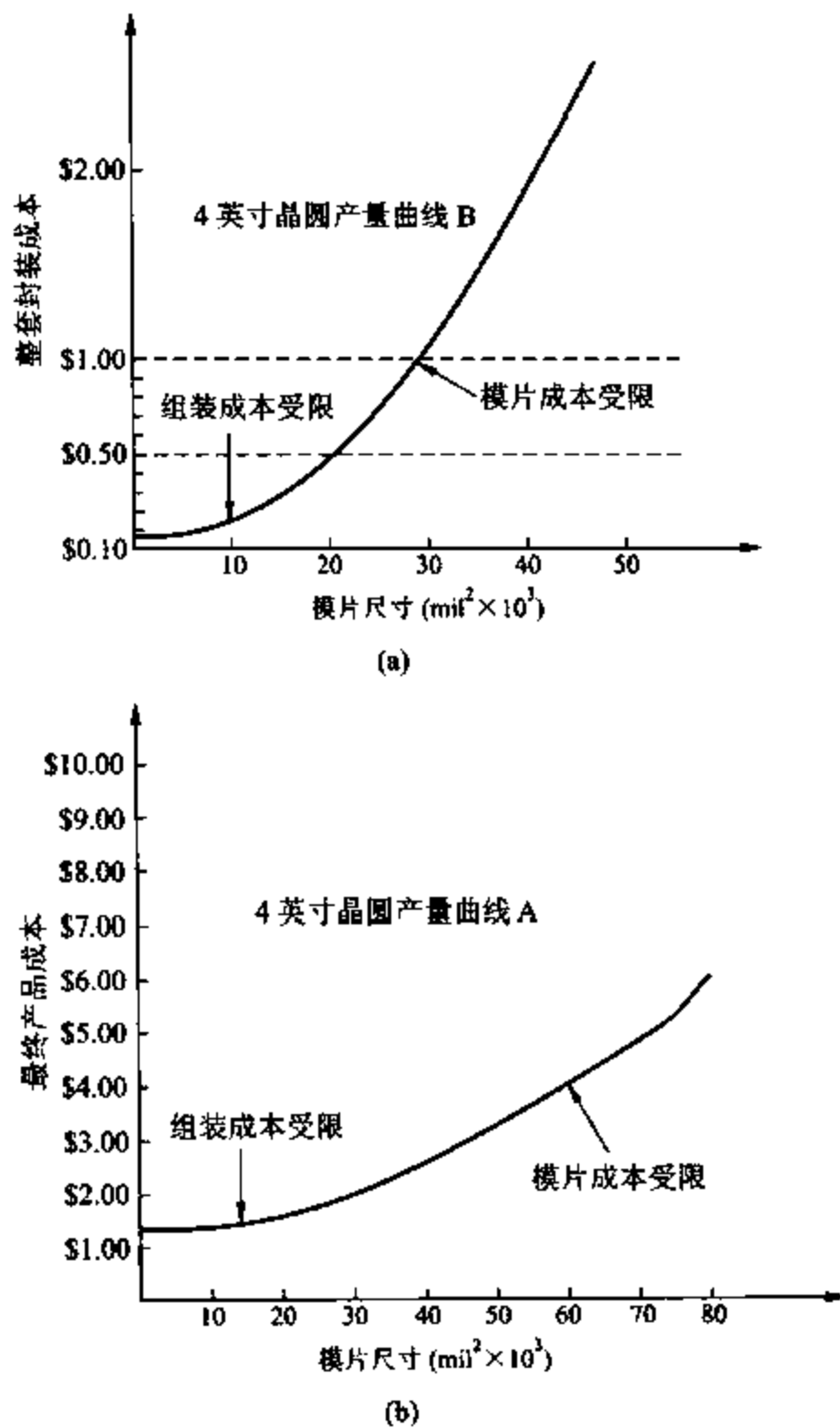


图 2.71 (a) 示例 a 的成本曲线; (b) 示例 b 的成本曲线

是不经济的行为。这些曲线的意义,以图 2.72b 为例,一个复杂的模拟/数字系统,其中硅区域为 $80\,000\text{ mil}^2$,在两个芯片上设计该系统会比在一个芯片上制作更加经济。除此之外,许多其他因素也表明了这种做法的优越性,如连接两个芯片间的封装管脚总数,互连系统运作的影响以及额外封装所需的附加电路板空间。成本曲线的形状同时受封装成本、单个成品的检测成本和独立制作的收益曲线等因素的影响。

前面的分析仅仅涉及厂商的成品制造过程,而实际售价往往更高,因为它还包含了研发成本,工程成本以及销售费用。这些成本中大部分都是固定费用,因此集成电路的售价与厂商售出的电路个数成反比。

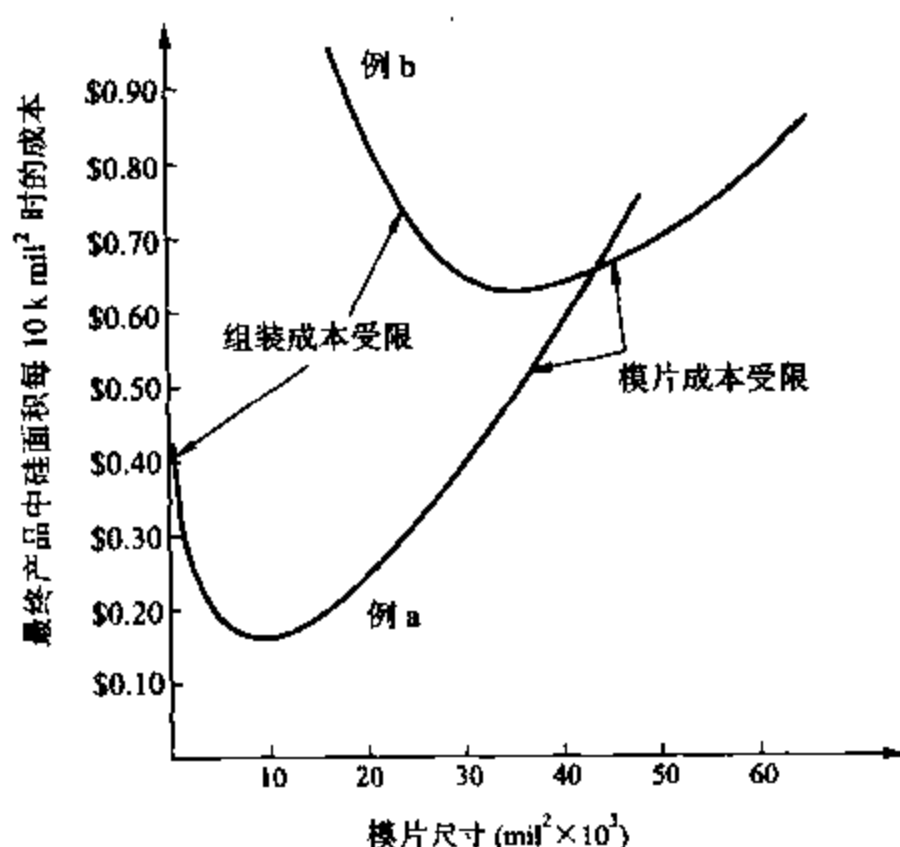


图 2.72 最终产品中每单位面积硅的成本的 2 个实例图。例 a 中由于封装和测试的成本低，最低成本点位于晶片尺寸偏小处。由于过程 A 在大的晶片尺寸时成本高，例 b 中对于大的晶片尺寸每单位面积硅成本偏小

2.15 集成电路的封装因素

一个集成电路的最终售价很大程度上取决于它的封装成本。封装工序除产生成本费用外，还密切影响着两个重要参数。第一个参数是电路中可允许的最大功耗，第二个参数是电路的可靠性，下面将分别讨论这两个因素。

2.15.1 最大功耗

当集成电路晶片表面的器件中发生能量损耗时，会产生两种截然不同的变化。首先，热能通过硅材料从独立的器件发散出去，这使得芯片表面的温度呈坡度上升。温度的逐步上升会显著影响电路的工作，关于它们的进一步影响将在第六章进行讨论。第二，热量随后通过硅材料进入封装结构，进一步发散到周围的空气中。热量从封装部位到周围空气的散发，主要是通过辐射和对流实现的，如果封装部位在散热片旁边，也可以通过传导方式进行。热能向空气中外逸，使晶片温度升高，在稳定情况下，晶片平均温度会比环境温度略高，因为晶片温度与芯片上的功率消耗和封装的热阻成一定比例。

稳定情况下晶片/封装结构的散热效果可以用图 2.73 中的电模型进行类似的分析。在这个模型中，可将电流比作热流，电压比作温度，电流源代表集成电路晶片的功率消耗，电压通过电阻 θ_{jc} 时降低可比作在芯片表面与封装之间温度的降低。最后，在电阻 θ_{ca} 上的压降

可比作温度在电路外围与周围空气之间的降低。这种比拟法只是一种近似状态的分析,因为现实中的结构是分散的,而且不论是模片表面还是电路本身都不是等温体。但是,这种相当于电路的近似分析仍然是有效的。

θ_{jc} 是封装中的接合热阻,其阻值在 $30\text{ }^{\circ}\text{C}/\text{W}$ (TO-99 金属)至 $4\text{ }^{\circ}\text{C}/\text{W}$ (TO-3 金属)之间变化。这些塑料的双列直插式封装 (DIP) 如图 2.74 所示。 θ_{ca} 称为外界热阻。在缺少散热片的情况下,热阻值主要由热量从封装外围散发到四周空气中的比率决定,而这个比率又以封装尺寸以及封装周围的空气流动率为依据。因为热阻的影响是时时存在的,热量传递率对温度是非线性影响,但在近似研究中常将它定为线性影响。在周围环境是静止且不使用散热片的情况下,热阻 θ_{ca} 在 $100\text{ }^{\circ}\text{C}/\text{W}$ (TO-99 金属)至 $40\text{ }^{\circ}\text{C}/\text{W}$ (TO-3 金属)之间变化。

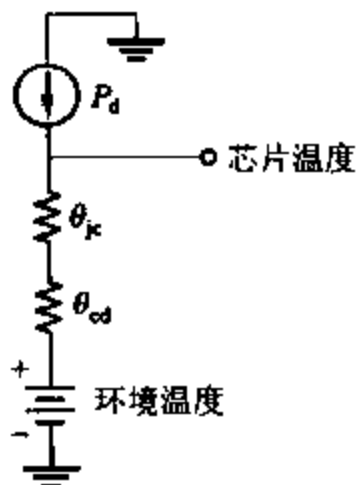


图 2.73 模片封装结构的热现象电模型图

对于那些散热量大的集成电路,利用散热片避免过高的模片温度是十分必要的。在这种情况下,外界热阻是由散热片决定的。集成电路中使用的散热片有多种形式,从 $30\text{ }^{\circ}\text{C}/\text{W}$ 的小型鳍状热阻到 $2\text{ }^{\circ}\text{C}/\text{W}$ 的大型热阻都有涉及。合理有效地使用低热阻散热片要求封装与散热片之间紧密地接触。对于 TO-3 型号,可使用特制的云母垫圈和散热片润滑油连接封装件与散热片,同时保持电绝缘。

在具体电路中选择合适的封装及散热片取决于电路耗散的热量、周围温度的变化范围及最大允许芯片温度,这三个参数在稳定状态下是相互联系的,即

$$T_{\text{chip}} = T_{\text{ambient}} + (\theta_{jc} + \theta_{ca})P_d \quad (2.59)$$

其中, T_{ambient} 是环境温度, T_{chip} 为芯片温度, P_d 是芯片上的功率消耗。出于稳定性考虑,规定硅集成电路的芯片温度控制在 $150\text{ }^{\circ}\text{C}$ 以下,通常认为这一温度是芯片最高允许温度。因此,若周围温度已知,可求出 θ_{jc} 和 θ_{ca} 的结合热阻温度;而当功耗已知时,也可计算出封装及散热片的最大允许热阻。

示例

在环境温度为 $70\text{ }^{\circ}\text{C}$ 的静止空气中,求 TO-99 封装的电路可允许的最大功耗为多少;如环境温度为 $125\text{ }^{\circ}\text{C}$,结果如何?

因为 TO-99 在静止空气中, $(\theta_{jc} + \theta_{ca}) = 30\text{ }^{\circ}\text{C}/\text{W} + 100\text{ }^{\circ}\text{C}/\text{W} = 130\text{ }^{\circ}\text{C}/\text{W}$

由 (2.59) 得

$$T_{\text{chip}} = T_{\text{ambient}} + (130\text{ }^{\circ}\text{C}/\text{W})(P_d)$$

若 $T_{\text{ambient}} = 70\text{ }^{\circ}\text{C}$,

$$150\text{ }^{\circ}\text{C} = 70\text{ }^{\circ}\text{C} + (130\text{ }^{\circ}\text{C}/\text{W})P_{d\text{max}}$$

所以

$$P_{d\text{max}} = 620\text{ mW}$$

若 $T_{\text{ambient}} = 125\text{ }^{\circ}\text{C}$,

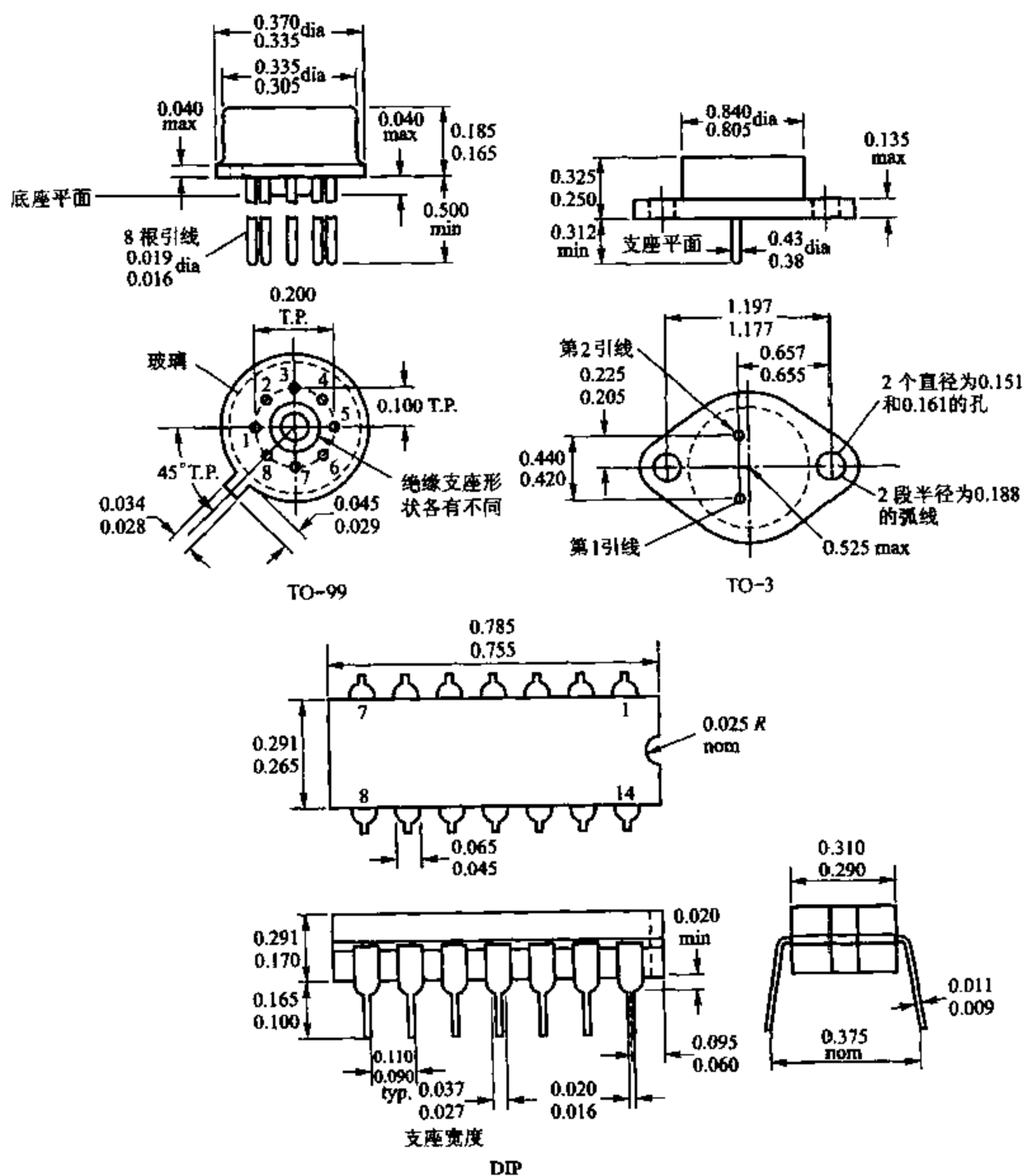


图 2.74 TO-99, TO-3, DIP 集成电路封装。单位为英寸, TO-3 表示三端口 IC, 如电压调整器。如果需要可以加到 10 个端口。TO-99 封装有 3、4、6、8、10 和 12 端口形式。DIP 封装有 8、14、16、18 和 22 端口形式。这属于密封陶瓷封装和塑料封装

$$150^{\circ}\text{C} = 125^{\circ}\text{C} + (130^{\circ}\text{C}/\text{W}) P_{\text{dmax}}$$

所以

$$P_{\text{dmax}} = 190 \text{ mW}$$

2.15.2 集成电路封装中的稳定性因素

在无法或难于进行现场维修或器件失灵会造成严重后果的情况下,电路稳定性成为首要考虑的因素。描述电路稳定性的第一个参数是:在一系列恶劣环境下集成电路的失灵状况。对一定条件下集成电路的各种失效模式以及避免这些失灵现象发生的方法的研究已发展成一个独立的学科,这超出了本书的范畴。然而,从稳定性的角度来看,集成电路封装可被划分为两种不同类型:密封腔内置模片和非密封腔内置模片。前一类型包括大多数的金属罐封装和陶制双级扁平电路。后一类型包括塑料封装。塑料封装的生产成本比较低,其在温和适度的环境下与密封配置同样稳定。密封配置需要更高的生产成本,但在不利的环境因素下,尤其是高温/高湿度条件下,往往表现出更稳定的性质。

附录

A.2.1 SPICE 模型参数

在这个部分,将 SPICE 模型参数符号与文中常规使用符号相比较。

双极型晶体管参数		
SPICE 符号	文中符号	描述
IS	I_S	饱和传递电流
BF	β_F	正向电流最大增益
BR	β_R	反向电流最大增益
VA	V_A	正向厄尔利电压
RB	r_b	基极串联电阻
RE	$r_{e\alpha}$	发射极串联电阻
RC	r_c	集电极串联电阻
TF	τ_F	正向传输时间
TR	τ_R	反向传输时间
CJE	C_{je0}	零偏差基极-发射极损耗电容
VJE	ϕ_{0e}	发射结电势
MJE	n_e	发射结-电容指数
CJC	C_{jc0}	零偏差基极-集电极损耗电容
VJC	ϕ_{0c}	集电结电势
MJC	n_c	集电结-电容指数
CJS	C_{cs0}	零偏差集电极-衬底损耗电容
VJS	ϕ_{0s}	集电极-衬底结电势
MJS	n_s	集电极-衬底结-电容指数

注:根据所使用的 SPICE 版本的不同,可能需要一个单独的二极管来模拟 pnp 晶体管中的基极-衬底电容。

MOSFET 参数		
SPICE 符号	文中符号	描述
VTO	V_t	零源极 - 衬底电压的阈值电压
KP	$k' = \mu C_{ox}$	互导参数
GAMMA	$\gamma = \frac{\sqrt{2qeN_A}}{C_{ox}}$	阈值电压参数
PHI	$2\phi_t$	表面电势
LAMBDA	$\lambda = \frac{1}{L_{eff}} \frac{dX_d}{dV_{DS}}$	沟道长度调制参数
CGSO	C_{o1}	栅极 - 源极单位沟道宽度的叠加电容
CGDO	C_{o1}	栅极 - 漏极单位沟道宽度的叠加电容
CJ	C_{j0}	源极和漏极底部到衬底的零偏置结电容/单位面积(基极)
MJ	n	源极 - 衬底和漏极 - 衬底零偏差结电容/单位结参数
CJSW	C_{jsw0}	源极漏极侧壁到衬底的零偏置电容/单位结参数
MJSW	n	源极 - 衬底和漏极 - 衬底侧壁结电容指数
PB	ϕ_0	源极 - 衬底和漏极 - 衬底结内部电势
TOX	t_{ox}	氧化物厚度
NSUB	N_A, N_D	衬底掺杂
NSS	Q_{ss}/q	表面状态密度
XJ	X_j	源极漏极结深度
LD	L_d	源极漏极平行扩散

习题

2.1 在 p 型硅中多大的掺杂浓度相当于 $1 \Omega\text{-cm}$ 的电阻系数, n 型硅呢?

2.2 $1 \Omega\text{-cm}$ 的材料的一个 $5 \mu\text{m}$ 厚的层的表面电阻是多少?

2.3 设想一个硅层的顶面具有浓度为 10^{17}cm^{-3} 的 n 型掺杂, 硅层内掺杂浓度随深度按指数减少。假设深 $0.5 \mu\text{m}$ 处掺杂浓度减小到 $1/e$, 而且在注入 n 型掺杂之前已有浓度为 10^{15}cm^{-3} 的 p 型掺杂。求 pn 结表面下的深度以及 n 型层的表面电阻。假设电迁移率为 $800 \text{cm}^2/\text{V}\cdot\text{s}$ 。耗尽层宽度可忽略。

2.4 一个扩散电阻器长 $200 \mu\text{m}$ 宽 $5 \mu\text{m}$ 。基极扩散的表面电阻系数为 $100 \Omega/\square$, 发射极扩散的表面电阻系数为 $5 \Omega/\square$ 。基极箍缩层的表面电阻系数为 $5 \text{k}\Omega/\square$ 。假设它分别为发射极扩散电阻、基极扩散的电阻或箍缩电阻, 求其阻值。

2.5 在一个 npn 晶体管结构上测得基极 - 发射极电压为 $520 \sim 580 \text{mV}$, 集电极电流为 $10 \mu\text{A}$ 。发射极尺寸为 $100 \mu\text{m} \times 100 \mu\text{m}$ 。求该区域 Q_B 的值。利用上述条件求表面电阻的值可认为是电路中的箍缩电阻。假设电子掺杂常数 $D_n = 13 \text{cm}^2/\text{s}$, 空穴掺杂常数为 $150 \text{cm}^2/\text{V}\cdot\text{s}$ 。假设耗尽层宽度可忽略。

2.6 高电流 npn 晶体管结构如图 2.75 所示, 计算串联基极电阻、串联集电极电阻 r_c 、基极 - 发射极

电容和集电极-衬底电容。这个结构是典型的运算放大器中的输出晶体管,必须用 20 mA 电源。假设掺杂如图 2.17 所示。

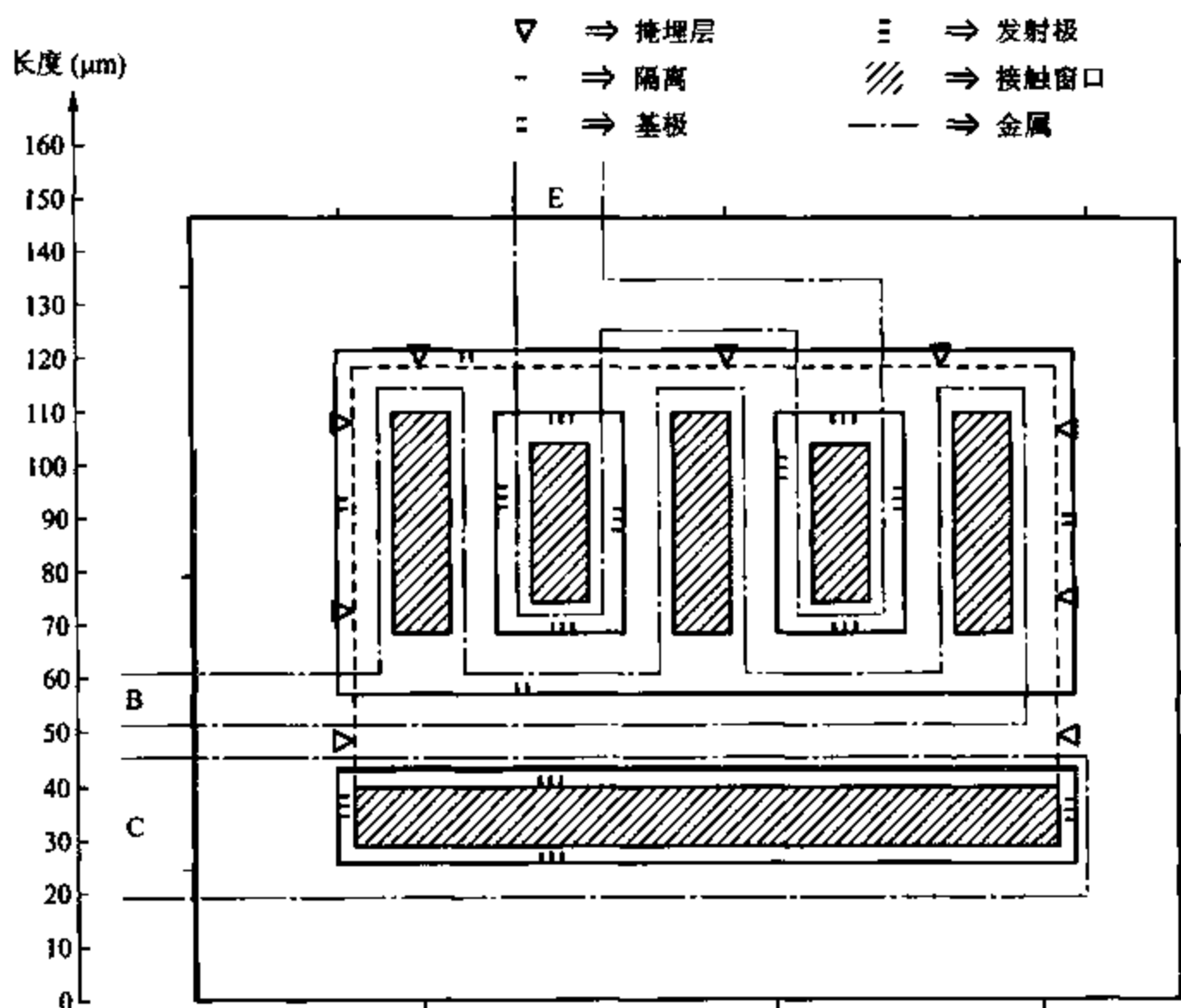


图 2.75 习题 2.6 的器件结构

2.7 如果横向 pnp 结构如图 2.33a 所示是由具有 $0.5 \Omega\text{-cm}$ 电阻系数的外延层构成,求电流增益开始下降时的集电极电流。假设空穴的扩散为 $D_p = 10 \text{ cm}^2/\text{s}$,基极宽度为 $8 \mu\text{m}$ 。

2.8 如图 2.36 所示的 pnp 型衬底用来监控外延层厚度。假设穿过基极的载流子是垂直的,发射极-基极的宽度和集电极-基极耗尽层宽度可忽略。设 epi 层电阻系数用独立方法测得为 $2 \Omega\text{-cm}$ 。个别晶片基极-发射极电压在 520 mV 到 560 mV 之间变化,集电极电流为 $10 \mu\text{mA}$ 。那么外延层厚度应为多少,相应的外延收缩电阻的表面电阻应为多少? 假设空穴掺杂为 $10 \text{ cm}^2/\text{s}$,电子掺杂为 $800 \text{ cm}^2/\text{V-s}$ 。忽略耗尽层宽度。假设基极扩散结深度为 $3 \mu\text{m}$ 。

2.9 计算具有 $100 \Omega/\square$ 基极表面电阻的宽 $6 \mu\text{m}$ 的 $10 \text{ k}\Omega$ 基极扩散电阻总的结电容。当宽度为 $12 \mu\text{m}$ 时,结电容值又为多少? 假设掺杂轮廓如图 2.17 所示。假设杆头为 $26 \mu\text{m} \times 26 \mu\text{m}$,结深为 $3 \mu\text{m}$ 。考虑侧壁效应。

2.10 如图 2.36a 所示的 pnp 衬底结构,计算 I_s , C_k , C_p 和 τ_F 。假设掺杂轮廓如图 2.17 所示。

2.11 测得一个超 β 晶体管的基极-发射极电压为 480 mV,具有 $100 \mu\text{m} \times 100 \mu\text{m}$ 的发射极面积,集电极电流为 $10 \mu\text{A}$ 。计算 Q_B 和基极的表面电阻。用下述方法估算击穿电压。当基极耗尽区包括整个基极时,电荷中性的需求要求基极耗尽层中受主离子的数量等于基极的集电极一侧的耗尽层中施主离子的

数量。[参考式(1.2)]所以,当有足够的电压时基区的耗尽区包括了整个基区,集电极中的耗尽区必须包括电离的粒子来等于 Q_B 。当这些粒子的密度已知时(等于 N_D),集电极中的耗尽层的击穿电压就可以确定了。如果我们假设基区的掺杂 N_A 比集电极中的 N_D 大得多,那么就可以利用式(1.15)来求电压,然后求出耗尽层宽度。如果是在标准器件上考虑这个问题,假设 V_{BE} 为 560 mV。假设电子迁移率为 $\bar{D}_n = 13 \text{ cm}^2/\text{s}$,空穴迁移率 $\bar{\mu}_p$ 为 $150 \text{ cm}^2/\text{V}\cdot\text{s}$,外延掺杂为 10^{15} cm^{-3} 。硅的介电常数 $\epsilon = 1.04 \times 10^{-12} \text{ F/cm}$ 。集电极的 ϕ_0 为 0.55 V。

2.12 一个 MOS 晶体管偏置在放大区, $V_{GS} = 1.5 \text{ V}$ 时漏极电流为 $100 \mu\text{A}$, $V_{GS} = 0.8 \text{ V}$ 时漏极电流为 $10 \mu\text{A}$ 。求阈值电压和 $\mu_n C_{ox} (W/L)$ 。忽略低于阈值的传导,假设迁移率为常数。

2.13 计算表 2.1 中的 p 沟道晶体管的阈值电压首先求出为注入器件的,然后求沟道注入的。注意到这是 p 型注入,所以有效表面浓度与背景衬底浓度和有效浓度不同。

2.14 由表 2.1 描述的一个 n 沟道的未注入晶体管测得输出电阻为 $5 \text{ M}\Omega$,漏极电流为 $10 \mu\text{A}$,偏置在放大区, $V_{DS} = 5 \text{ V}$ 。器件的引导尺度为 $100 \mu\text{m} \times 7 \mu\text{m}$ 。求另一个同样技术的器件的输出电阻,其引导尺度为 $50 \mu\text{m} \times 12 \mu\text{m}$,漏极电流为 $30 \mu\text{A}$, $V_{DS} = 5 \text{ V}$ 。

2.15 计算图 2.76 所示器件的小信号模型参数。包括 g_{mb} , r_o , C_{gs} , C_{gd} , C_{db} 和 C_{sb} 。假设晶体管在漏源电压 2 V,漏极电流 $20 \mu\text{A}$ 时偏置。设计参数如表 2.4 所示,假设 $V_{SB} = 5 \text{ V}$ 。

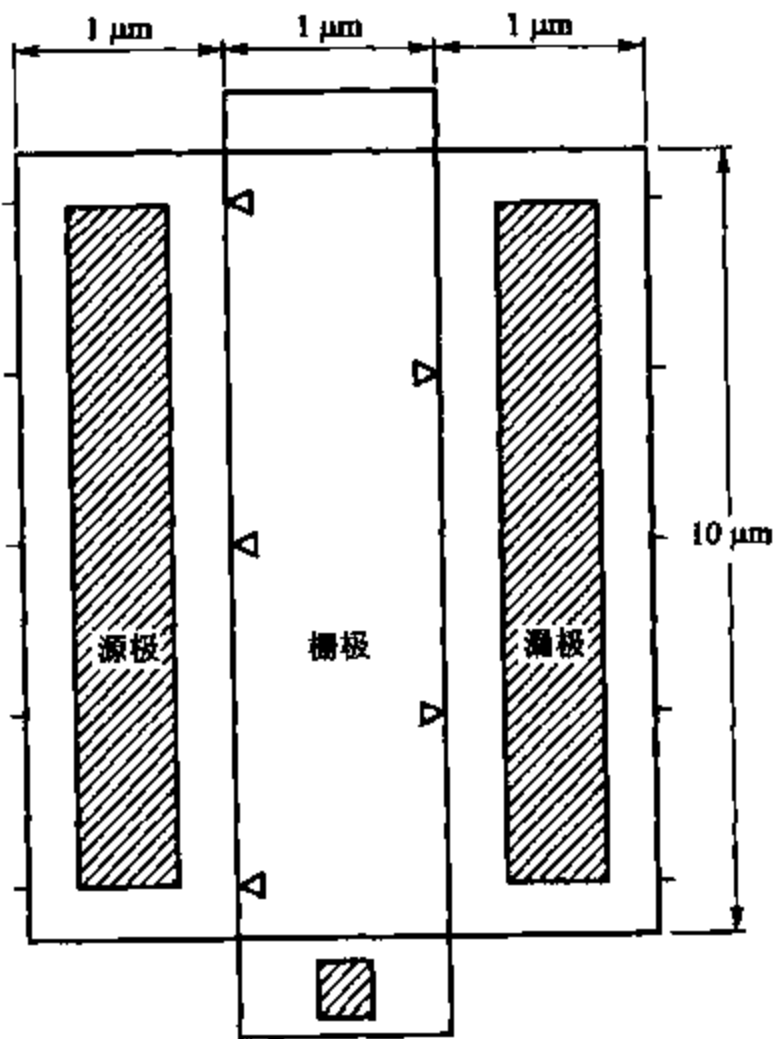


图 2.76 习题 2.15 的晶体管

2.16 如图 2.76 所示的晶体管连接在图 2.77 所示的电路中。栅极接地,衬底连至电压 -1.5 V ,漏极开路。理想电流源接在源极上,电流源在 $t < 0$ 时为 0, $t > 0$ 时为 $10 \mu\text{A}$ 。当 $t = 0$ 时源极和漏极初始电压为 $+1.5 \text{ V}$ 。画出从 $t = 0$ 时到漏极电压达到 -1.5 V 时的源极和漏极电压。简单起见,假设源极-衬底和漏极-衬底电容保持在其零偏置的值。阈值电压为 0.6 V 。

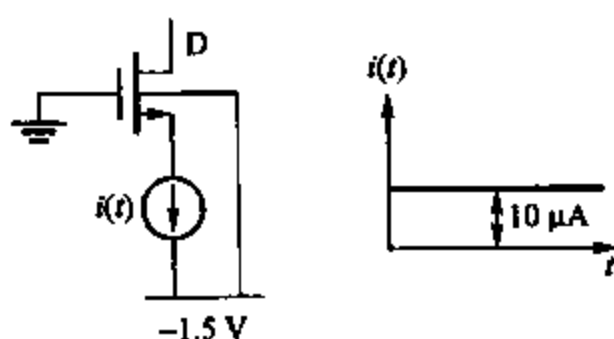


图 2.77 习题 2.16 的电路

2.17 在图 2.78 中所示将沟道宽为 W_1 和 W_2 、长为 L 的两个 MOS 晶体管并联,与沟道平行连接成为一个沟道宽为 $W_1 + W_2$ 、长为 L 的晶体管。假设两个晶体管除了沟道宽度都一样。

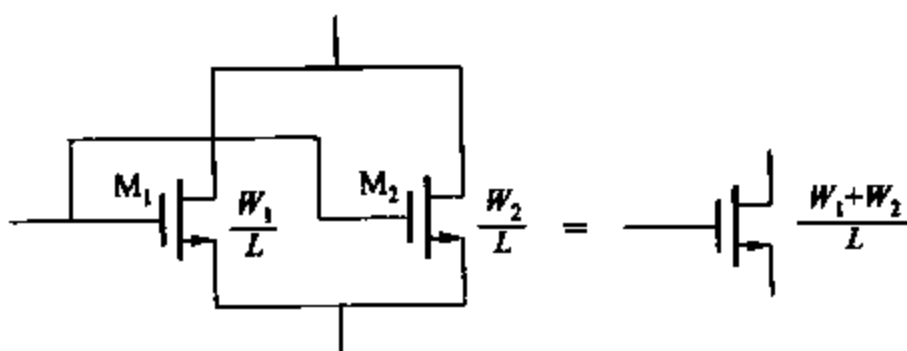


图 2.78 习题 2.17 的电路

2.18 在图 2.79 中所示将沟道宽为 W 、长为 L_1 和 L_2 的两个 MOS 晶体管串联,与沟道平行连接成为一个沟道宽为 W 、长为 $L_1 + L_2$ 的晶体管。假设两个晶体管除了沟道宽度都一样。忽略衬底效应和沟道长度调制。

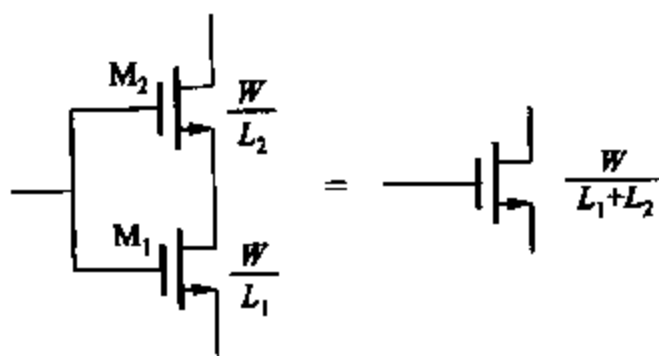


图 2.79 习题 2.18 的电路

2.19 制作一个完整的电子子系统,需要 $40\,000\text{ mils}^2$ 的硅面积。求系统是用一个还是两个芯片,假设制作成本只考虑两个芯片的。加工成本为 \$100.00,封装测试成本为 \$0.60,模片加工收益为 0.9,最终测试收益为 0.8。设制造曲线如图 2.68B 所示,再考虑制造曲线分别为 A 和 C 时的情况。该晶圆为 4 英寸晶圆。

2.20 求边长为 150 mils 的集成电路的直接制造成本。设晶圆制造成本为 \$130.00,封装测试成本为 \$0.40,模片加工收益为 0.8,最终测试收益为 0.8。收益曲线如图 2.68 中的 A、B、C 所示。该晶圆为 4 英寸晶圆。

2.21 (a) 经常运用经验得出关于模片尺寸的 IC 制造收益函数为

$$Y_{wa} = \exp(-A/A_0)$$

A 为模片面积, A_0 为常数。根据图 2.68, 求三个制造过程中 A_0 的近似值。利用曲线上的收益为 e^{-1} 的点来求 A_0 。

将通过这个表达式绘制出的图与图 2.68 比较。

(b) 利用(a)的结果与图 2.69 所示总模片/晶圆曲线, 从 A、B、C 三种过程能近似推出硅成本与单位模片面积的函数, 即 Y_a , Y_b , C_p 和 C_w 。

2.22 一个带有散热片的 TO-99 封装, 封装到环境相当于一个 $20^\circ\text{C}/\text{W}$ 的热阻。模片到封装相当于 $30^\circ\text{C}/\text{W}$ 的热阻。描绘本封装关于环境温度的最大允许功耗函数, 假设模片最大允许温度为 150°C 。

参考文献

1. A. S. Grove. *Physics and Technology of Semiconductor Devices*. Wiley, New York, 1967.
2. R. S. Muller and T. I. Kamins. *Device Electronics for Integrated Circuits*. Wiley, New York, 1986.
3. E. M. Conwell. "Properties of Silicon and Germanium," *Proc. IRE*, Vol. 46, pp. 1281 ~ 1300, June 1958.
4. J. C. Irvin. "Resistivity of Bulk Silicon and of Diffused Layers in Silicon," *Bell System Tech. Journal*, Vol. 41, pp. 387 ~ 410, March 1962.
5. R. W. Russell and D. D. Culmer. "Ion-Implanted JFET-Bipolar Monolithic Analog Circuits," *Digest of Technical Papers, 1974 International Solid-State Circuits Conference*, Philadelphia, PA, pp. 140 ~ 141, February 1974.
6. D. J. Hamilton and W. G. Howard. *Basic Integrated Circuit Engineering*. McGraw-Hill, New York, 1975.
7. Y. Tamaki, T. Shiba, I. Ogiwara, T. Kure, K. Ohya, and T. Nakamura. "Advanced Device Process Technology for $0.3\ \mu\text{m}$ Self-Aligned Bipolar LSI," *Proceedings of the IEEE Bipolar Circuits and Technology Meeting*, pp. 166 ~ 168, September 1990.
8. M. Kurisu, Y. Sasyama, M. Ohuchi, A. Sawairi, M. Sigiyama, H. Takemura, and T. Tashiro. "A Si Bipolar 21 GHz Static Frequency Divider," *Digest of Technical Papers, 1991 International Solid-State Circuits Conference*, pp. 158 ~ 159, February 1991.
9. R. M. Burger and R. P. Donovan. *Fundamentals of Silicon Integrated Device Technology*. Vol. 2, pp. 134 ~ 136. Prentice-Hall, Englewood Cliffs, NJ, 1968.
10. R. J. Whittier and D. A. Tremere. "Current Gain and Cutoff Frequency Falloff at High Currents," *IEEE Transactions Electron Devices*, Vol. ED-16, pp. 39 ~ 57, January 1969.
11. H. R. Camenzind. *Electronic Integrated Systems Design*. Van Nostrand Reinhold. New York, 1972. Copyright © 1972 Litton Educational Publishing, Inc. Reprinted by permission of Van Nostrand Reinhold Company.
12. H. J. DeMan. "The Influence of Heavy Doping on the Emitter Efficiency of a Bipolar Transistor," *IEEE Transactions on Electron Devices*, Vol. ED-18, pp. 833 ~ 835, October 1971.
13. H. C. Lin. *Integrated Electronics*. Holden-Day, San Francisco, 1967.
14. N. M. Nguyen and R. G. Meyer. "Si IC-Compatible Inductors and LC Passive Filters," *IEEE Journal of Solid-State Circuits*, Vol. 25, pp. 1028 ~ 1031, August 1990.
15. J. Y.-C. Chang, A. A. Abidi, and M. Gaitan. "Large Suspended Inductors on Silicon and Their Use in a $2\ \mu\text{m}$ CMOS RF Amplifier," *IEEE Electron Device Letters*, Vol. 14, pp. 246 ~ 248,

May 1993.

16. K. Negus, B. Koupal, J. Wholey, K. Carter, D. Millicker, C. Snapp, and N. Marion. "Highly Integrated Transmitter RFIC with Monolithic Narrowband Tuning for Digital Cellular Handsets," *Digest of Technical Papers, 1994 International Solid-State Circuits Conference*, San Francisco, CA, pp. 38~39, February 1994.

17. P. R. Gray and R. G. Meyer. *Analysis and Design of Analog Integrated Circuits*, Third Edition, Wiley, New York, 1993.

18. R. J. Widlar. "Design Techniques for Monolithic Operational Amplifiers," *IEEE Journal of Solid-State Circuits*, Vol. SC-4, pp. 184~191, August 1969.

19. K. R. Stafford, P. R. Gray, and R. A. Blanchard. "A Complete Monolithic Sample/Hold Amplifier," *IEEE Journal of Solid-State Circuits*, Vol. SC-9, pp. 381~387, December 1974.

20. P. C. Davis, S. F. Moyer, and V. R. Saari. "High Slew Rate Monolithic Operational Amplifier Using Compatible Complementary *pnp*'s," *IEEE Journal of Solid-State Circuits*, Vol. SC-9, pp. 340~346, December 1974.

21. A. P. Chandrakasan, S. Sheng, and R. W. Brodersen. "Low-Power CMOS Digital Design," *IEEE Journal of Solid-State Circuits*, Vol. 27, pp. 473~484, April 1992.

22. E. A. Vittoz. "MOS Transistors Operated in the Lateral Bipolar Mode and Their Application in CMOS Technology," *IEEE Journal of Solid-State Circuits*, Vol. SC-18, pp. 273~279, June 1983.

23. W. T. Holman and J. A. Connelly. "A Compact Low-Noise Operational Amplifier for a 1.2 μm Digital CMOS Technology," *IEEE Journal of Solid-State Circuits*, Vol. 30, pp. 710~714, June 1995.

24. C. A. Laber, C. F. Rahim, S. F. Dreyer, G. T. Uehara, P. T. Kwok, and P. R. Gray. "Design Considerations for a High-Performance 3- μm CMOS Analog Standard-Cell Library," *IEEE Journal*

of Solid-State Circuits, Vol. SC-22, pp. 181~189, April 1987.

25. B. L. Crowder and S. Zirinsky. "1 μm MOSFET VLSI Technology: Part VI—Metal Silicide Interconnection Technology—A Future Perspective," *IEEE Journal of Solid-State Circuits*, Vol. SC-14, pp. 291~293, April 1979.

26. J. L. McCreary. "Matching Properties, and Voltage and Temperature Dependence of MOS Capacitors," *IEEE Journal of Solid-State Circuits*, Vol. SC-16, pp. 608~616, December 1981.

27. D. J. Allstot and W. C. Black, Jr. "Technological Design Considerations for Monolithic MOS Switched-Capacitor Filtering Systems," *Proceedings of the IEEE*, Vol. 71, pp. 967~986, August 1983.

28. O. E. Akcasu. "High Capacitance Structure in a Semiconductor Device," *U. S. Patent 5,208,725*, May 1993.

29. H. Samavati, A. Hajimiri, A. R. Shahani, G. N. Nasserbakht, and T. H. Lee. "Fractal Capacitors," *IEEE Journal of Solid-State Circuits*, Vol. 33, pp. 2035~2041, December 1998.

30. A. R. Alvarez. *BiCMOS Technology and Applications*, Kluwer Academic Publishers, Dordrecht, The Netherlands, 1989.

31. J. L. de Jong, R. Lane, B. van Schravendijk, and G. Conner. "Single Polysilicon Layer Advanced Super High-speed BiCMOS Technology," *Proceedings of the IEEE Bipolar Circuits and Technology Meeting*, pp. 182~185, September 1989.

32. D. L. Hareme, J. H. Comfort, J. D. Cressler, E. F. Crabbé, J. Y.-C. Sun, B. S. Meyerson, and T. Tice. "Si/SiGe Epitaxial-Base Transistors—Part I: Materials, Physics, and Circuits," *IEEE Transactions on Electron Devices*, Vol. 42, pp. 455~468, March 1995.

33. J. D. Cressler, D. L. Hareme, J. H. Comfort, J. M. C. Stork, B. S. Meyerson, and T. E. Tice. "Silicon-Germanium Heterojunction Bipolar Technology: The Next Leap in Silicon?" *Digest of Technical Papers, 1994 International Solid-State*

Circuits Conference, San Francisco, CA, pp. 24 ~ 27, February 1994.

34. D. L. Harnme, J. H. Comfort, J. D. Cressler, E. F. Crabbé, J. Y.-C. Sun, B. S. Meyerson, and T. Tice. "Si/SiGe Epitaxial-Base Transistors—Part II: Process Integration and Analog Applications," *IEEE Transactions on Electron Devices*, Vol. 42, pp. 469 ~ 482, March 1995.

35. M. T. Bohr. "Interconnect Scaling—The Real Limiter to High Performance ULSI," *Technical Digest, International Electron Devices Meeting*, pp. 241 ~ 244, December 1995.

36. C. S. Chang, K. A. Monnig, and M.

Melliar-Smith. "Interconnection Challenges and the National Technology Roadmap for Semiconductors." *IEEE International Interconnect Technology Conference*, pp. 3 ~ 6, June 1998.

37. D. Edelstein, J. Heidenreich, R. Goldblatt, W. Cote, C. Uzoh, N. Lustig, P. Roper, T. McDevitt, W. Motsiff, A. Simon, J. Dukovic, R. Wachnik, H. Rathore, R. Schulz, L. Su, S. Luce, and J. Slattery. "Full Copper Wiring in a Sub-0.25 μm CMOS ULSI Technology," *IEEE International Electron Devices Meeting*, pp. 773 ~ 776, December 1997.

第三章 单级放大器与多级放大器

过去集成电路制造技术给电路设计者造成了一系列元件成本上的限制。当能够实现与分立晶体管和无源元器件电路不同的单片集成电路时,性价比最高的电路实现方式与过去是大不相同的。¹ 例如,考虑图 3.1 和图 3.2 中所示的三级音频放大器的两种实现方式。首先反映在用分立元件的高性价比的解决方案上,因为无源元器件(如电阻和电容)要比有源元器件(如晶体管)便宜得多。因此,电路应该含有尽量少的晶体管,并且用电容完成级间耦

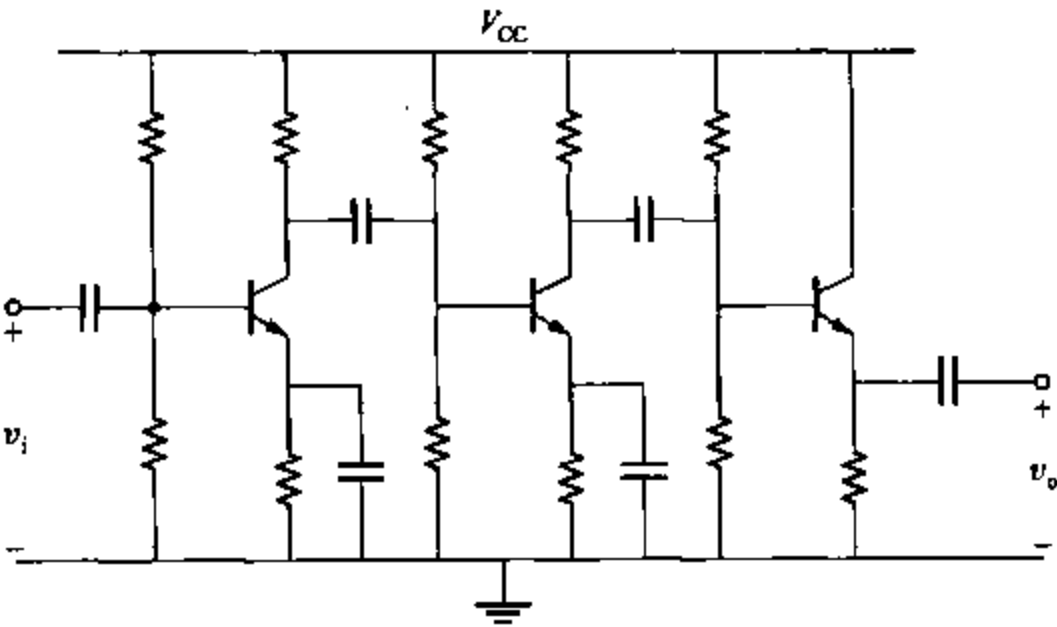


图 3.1 典型分立元器件实现的音频放大器

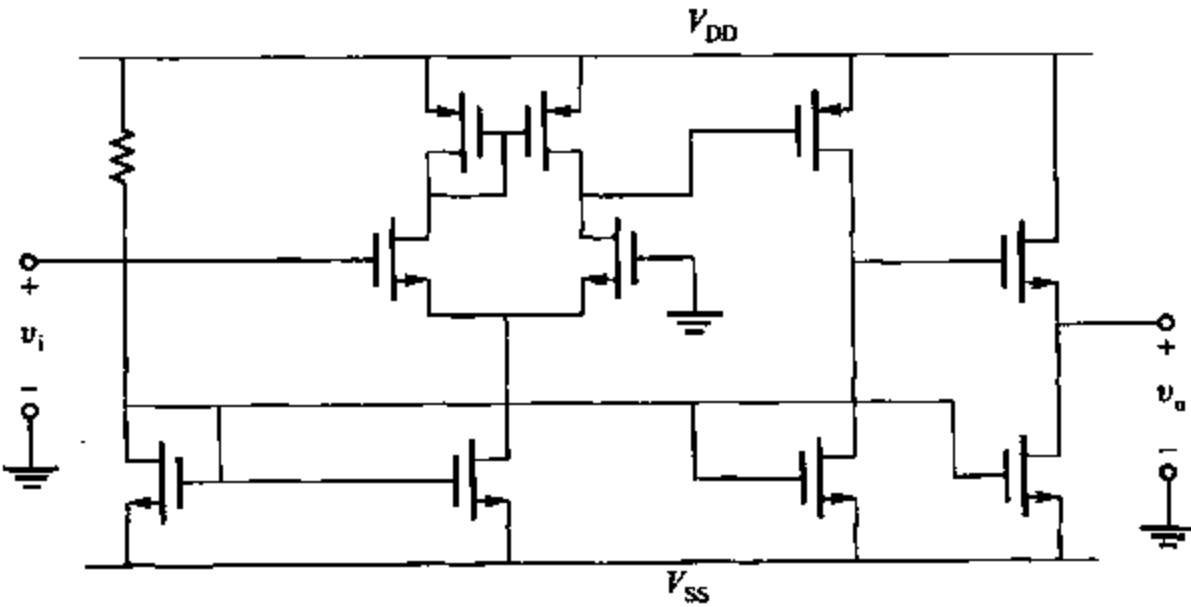


图 3.2 典型 CMOS 集成电路实现的音频放大器

合。然而对于单片集成电路而言,价格方面的一个关键性的决定因素是使用的模片面积。在分立的元器件电路中所使用的电容值是无法实现的,必须扩展到芯片的外部,这便增加了封装包的管脚数量,从而也就提高了价格。因此,大量的额外费用被用于排除大电容和实现一个直流耦合电路。第二个制约因素是,在集成电路里最便宜的元件是占用空间最小的,而这通常是晶体管。因此,最优的电路实现形式中有源器件数较多的条件下总电阻最小。^{2,3}另外,模拟电路的一个重要应用是它为现实世界和数字世界之间提供了一个接口。在数字集成电路的构建中,CMOS工艺因为其高密度和低能耗而占有优势。为了使数模混合系统的价格降低并增加其轻便性,需要提高集成度和减少能耗。因此,我们关注在CMOS工艺上建立模拟电路接口。图3.2反映了这些特性。可以看到,与图3.1所示的电路相比,图3.2所示的电路用到了CMOS工艺、更多的晶体管、更少的总电阻以及没有耦合电容。由于晶体管电流源不需有大量的电阻就能提供偏置,所以两级间可以采用差分对管。实际上,在图3.2所示电路中的放大器需要反馈,为了简单起见没有提及。关于反馈的内容将在第八章中具体讲到。

接下来的3章将分析在线性集成电路中遇到的各种电路结构。在分立元器件电路中,晶体管的数量通常应当尽量的少。分析这种电路最好的方法通常是把每个独立的晶体管看作一级,把电路看作是多级的结合。然而,一般单片集成电路中都含有大量的晶体管,并且要实现很多功能,包括有源的和无源的。因此,单片集成电路通常可看成是许多实现特殊功能的子电路的综合,而每个子电路又包含很多的晶体管。这一章里,首先考虑直流低频特性的最简单的子电路:共射放大器、共基放大器、共集放大器及与它们相对应的MOS晶体管。然后考虑一些用作放大级的多级放大器。多级放大器广泛应用的差分对也将在本章进行进一步分析。

3.1 模拟电路近似分析中器件模型的选择

本书大部分内容是讲述在模拟电路中应用的多种子电路以及由这些子电路组成的功能模块的特殊工作性质。这些工作性质主要是电路的直流工作电压和电流,这些电压和电流对器件失配特性的影响,小信号低频输入电阻和输出电阻及电路的电压增益。在以后的章节里再介绍高频小信号模型。被研究的电路或子电路通常是相当复杂一个部分,其中最为重要的一个原则是分析这样的电路时要选择可能的最简模型,只要结果在所允许的精度范围中即可。例如,在直流分析中,手工分析复杂电路时忽略晶体管的影响能大大简化分析过程,比如输出电阻在直流计算中只会出现10%~20%的偏差。然而,手工分析的主要目的是对影响电路的因素有一个直观的了解。这就需要提出用于计算工作状态的重复性设计方法、步骤。电路的工作状态可由计算机精确仿真,这对设计者来说就不需要直观理解了。

然而,没有特殊的规则能够系统地阐述如何选择简单的分析器件模型。例如,在双极型晶体管电路的直流分析中,假定基极-射极电压不变,并且忽略晶体管输出电阻时通常相当精确。然而,一些偏置电路取决于集电极电流和基极-发射极电压之间的非线性关系来控制偏置电流,这样假定 V_{BE} 不变就会在这些电路的分析中产生较大的偏差。当在第四章分

析有源负载级时,为获得有意义的结果则必须考虑输出电阻。因此,分析中的一个关键步骤就是检查电路以确定晶体管的哪些因素较大地影响了电路的工作状态,因为简化电路仅仅考虑了这些方面。这个步骤将在本章和以后的章节中加以详述。

3.2 放大器的二端口模型

放大器的最基本的参数是增益。放大器可能会连接许多电源和负载,这样预测电源增益的相关性和负载电阻就显得非常重要。观察这种相关性的一个方法就是把这些电阻包含到放大器中去,但是每当电源和负载改变时就需要对新放大器进行一次复杂分析。为了简化这一过程,通常把放大器等价为一个二端口网络模型,如图 3.3 所示,二端口网络有四个端点,以及四个变量(每个端口包括一个电压和一个电流)。一个端口有两个端点,其中流入一个端点的电流与从另一个端点流出的电流相等。建立一个放大器模型就是用一个端口表示放大器的输入特性,另一个表示其输出特性。每一个端口的改变都可以是独立的,它由二端口网络结构和每次单独的改变所决定。这种关系可以用两个等式表示。现在来看导纳参数等式,端点电流为由独立可变电电压控制的独立可变电电流,因为通常晶体管模型为电压控制电流源模型。如果网络是线性的,不含独立源,导纳参数等式为

$$i_1 = y_{11} v_1 + y_{12} v_2 \quad (3.1)$$

$$i_2 = y_{21} v_1 + y_{22} v_2 \quad (3.2)$$

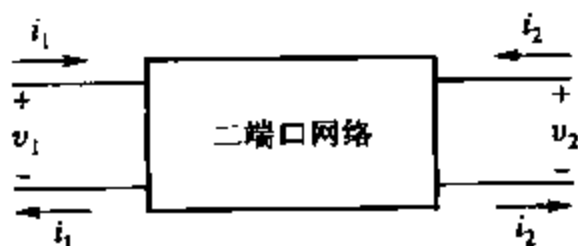


图 3.3 二端口网络框图

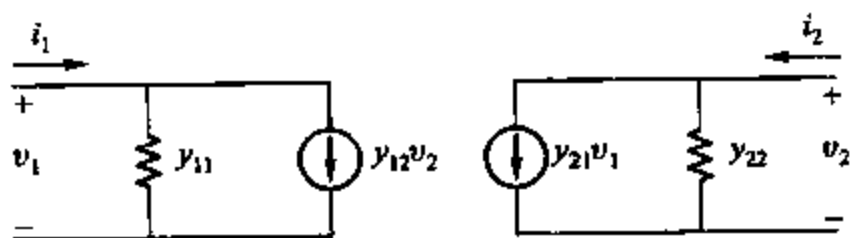


图 3.4 二端口等效电路的导纳参数

这些等式中的电压和电流是小信号量,因为只有小信号在一固定点附近时,晶体管工作状态才可近似看作是线性的。反映这些等式的等效电路如图 3.4 所示。其参数如下

$$y_{11} = \left. \frac{i_1}{v_1} \right|_{v_2=0} = \text{输出短路时的输入导纳} \quad (3.3)$$

$$y_{12} = \left. \frac{i_1}{v_2} \right|_{v_1=0} = \text{输入短路时的反向跨导} \quad (3.4)$$

$$y_{21} = \left. \frac{i_2}{v_1} \right|_{v_2=0} = \text{输出短路时的正向跨导} \quad (3.5)$$

$$y_{22} = \left. \frac{i_2}{v_2} \right|_{v_1=0} = \text{输入短路时的输出导纳} \quad (3.6)$$

y_{12} 表示放大器的反馈。当信号从输出端返回到输入端,同时从输入端传到输出端,则

放大器为双向的。在许多实际的例子中,尤其是低频时,反馈可以忽略, y_{12} 假设为零,那么放大器是单向的。其特性由其他三个参数决定。当 $y_{12}=0$ 时,模型中只包含一个跨导, y_{21} 通常称为短路跨导,书中用 G_m 表示。当放大器为单向时, y_{11} 的计算也由给出的式(3.3)简化,因为当 $y_{12}=0$ 时输出不再影响输入导纳。

通过计算 y_{11} 、 y_{12} 的倒数来替换 y_{11} 、 y_{22} ,即输入阻抗 $Z_i = 1/y_{11}$ 和输出阻抗 $Z_o = 1/y_{22}$ 。如图3.5a所示为单向二端口网络模型。另外,有时用计算开路电压增益 a_v 来代替短路跨导 $G_m = y_{21}$ 。这种替换使得诺顿等式输出模型(参见图3.5a)转化为戴维宁等式输出模型(参见图3.5b)。总之,得到三个参数 G_m 、 Z_o 、 a_v 中的任意两个就能计算出第三个参数,因为

$$a_v = \left. \frac{v_2}{v_1} \right|_{i_2=0} = -G_m Z_o \quad (3.7)$$

一旦知道了其中两个参数和输入阻抗就能计算输入输出负载的影响。在低频时,输入输出阻抗通常由电阻决定,因此,书中通过输入电阻 R_i 、输出电阻 R_o 和 G_m 、 a_v 来分析放大器的低频特性。

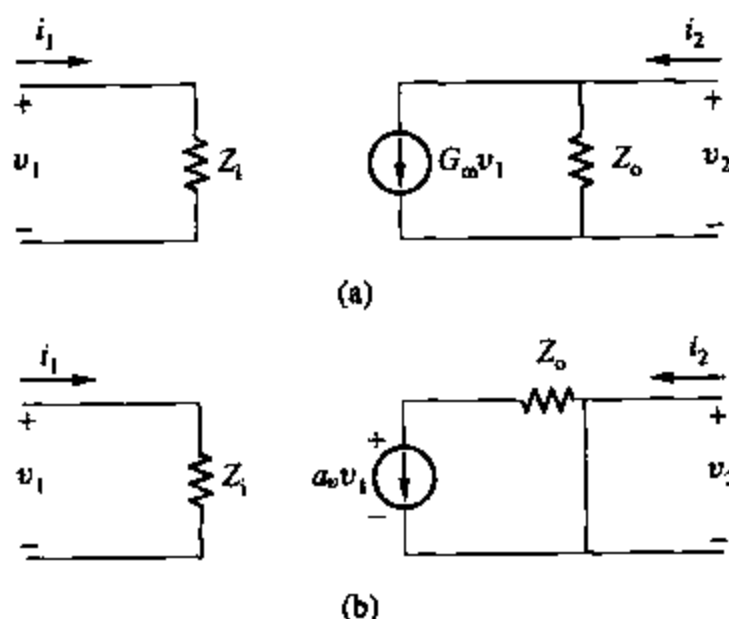


图 3.5 单向二端口等效网络
(a) 诺顿输出模型; (b) 戴维宁输出模型

示例

如图3.6所示为单向放大器的二端口模型,假定 $R_i = 1 \text{ k}\Omega$ 、 $G_m = 1 \text{ mS}$ 、 $R_o = 1 \text{ M}\Omega$, R_s 、 R_L 分别表示电源内阻和负载,计算低频增益 v_{out}/v_{in} ,假定输入为理想电压源且输出无负载, $R_s = 1 \text{ k}\Omega$ 、 $R_L = 1 \text{ M}\Omega$ 。

二端口放大器模型由 v_1 到 v_{out} 的开路电压增益为

$$\left. \frac{v_{out}}{v_1} \right|_{R_L \rightarrow \infty} = \left. \frac{v_2}{v_1} \right|_{i_2=0} = -G_m R_o = -1 \text{ mS} \times 1\,000 \text{ k}\Omega = -1\,000$$

由于电压源内阻和输入电阻的分压,又由于输出电阻与负载电阻并联,最终从 v_{in} 到 v_{out} 的增益为

$$\frac{v_{out}}{v_{in}} = \frac{v_1}{v_{in}} \frac{v_{out}}{v_2} = -\frac{R_i}{R_i + R_s} G_m (R_o // R_L)$$

因为输入为理想电压源且输出无负载, 所以 $R_s = 0, R_L \rightarrow \infty$, $v_{out}/v_{in} = -1\ 000$, 由 $R_s = 1\ \text{k}\Omega, R_L = 1\ \text{M}\Omega$, 增益减小至 $1/4$, 为 $v_{out}/v_{in} = -0.5(1\ \text{mS})(500\ \text{k}\Omega) = -250$ 。

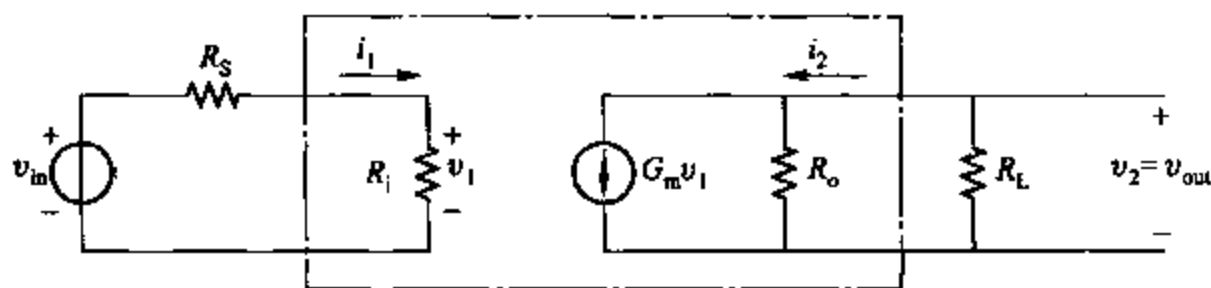


图 3.6 带载输入输出放大器二端口等效模型

3.3 基本单管放大器

双极型晶体管和 MOS 晶体管能提供三种不同组态的放大模式, 在共射组态和共源组态里, 信号由放大器的基极或栅极输入, 放大后从集电极或漏极输出。在共集组态和共漏组态中, 信号由基极或栅极输入, 从射极或源极输出。这种组态一般称之为双极型晶体管电路的射随器或 MOS 晶体管电路源极跟随器。在共基组态或共栅组态中, 信号由射极或源极输入, 由集电极或漏极输出。每种组态都有一组唯一的输入电阻和输出电阻和电压增益和电流增益。在许多例子中, 复杂电路可以被分割成许多这些类型的单级放大器来进行分析。

在第一章中看到, MOS 晶体管和双极型晶体管小信号等效电路非常相似。区别主要在小信号参数上。特别是 MOS 晶体管从栅极到源极之间的电阻无限大, 相应的双极型晶体管 r_π 有限。此外, 双极型晶体管的 g_m 值在同样电流偏置下往往比 MOS 晶体管的大。这些区别在不同的场合有不同的应用。例如, MOS 晶体管比双极型晶体管更易实现高输入阻抗放大电路, 然而对于实现高增益放大电路, 高 g_m 值的双极型晶体管则比 MOS 型晶体管更易实现。在其他应用中, 双极型晶体管的大信号指数特性和 MOS 晶体管的平方特性都有各自的优点。

如第二章中所介绍的, 现在存在多种集成电路工艺。例如, 单独的双极型晶体管或单独的 MOS 晶体管或两者的结合。由于越是复杂的工艺包含越多的掩模步骤, 价格往往越贵, 所以电路设计者通常使用最简单的工艺完成所要达到的功能。因此, 设计者必须注意两种晶体管之间的异同, 才能更好地加以选择利用。

3.3.1 共射组态

如图 3.7 所示为带有电阻负载的共射(CE)放大器组态。 R_c 表示集电极负载, 在 R_c 上面用短横线并标有 V_{CC} 字样表示该点与地面之间的电压, 且值为 V_{CC} 。书中将一直使用该符号。首先来计算当输入电压由 0 增加时放大器的直流传输特性。假定晶体管的基极电压为 V_i , 当 V_i 为 0 时, 晶体管工作于截止状态, 除了漏电流 I_{CO} 外没有集电极电流。当输

入电压增加时放大器工作在正向放大区的集电极电流为

$$I_c = I_s \exp \frac{V_i}{V_T} \quad (3.8)$$

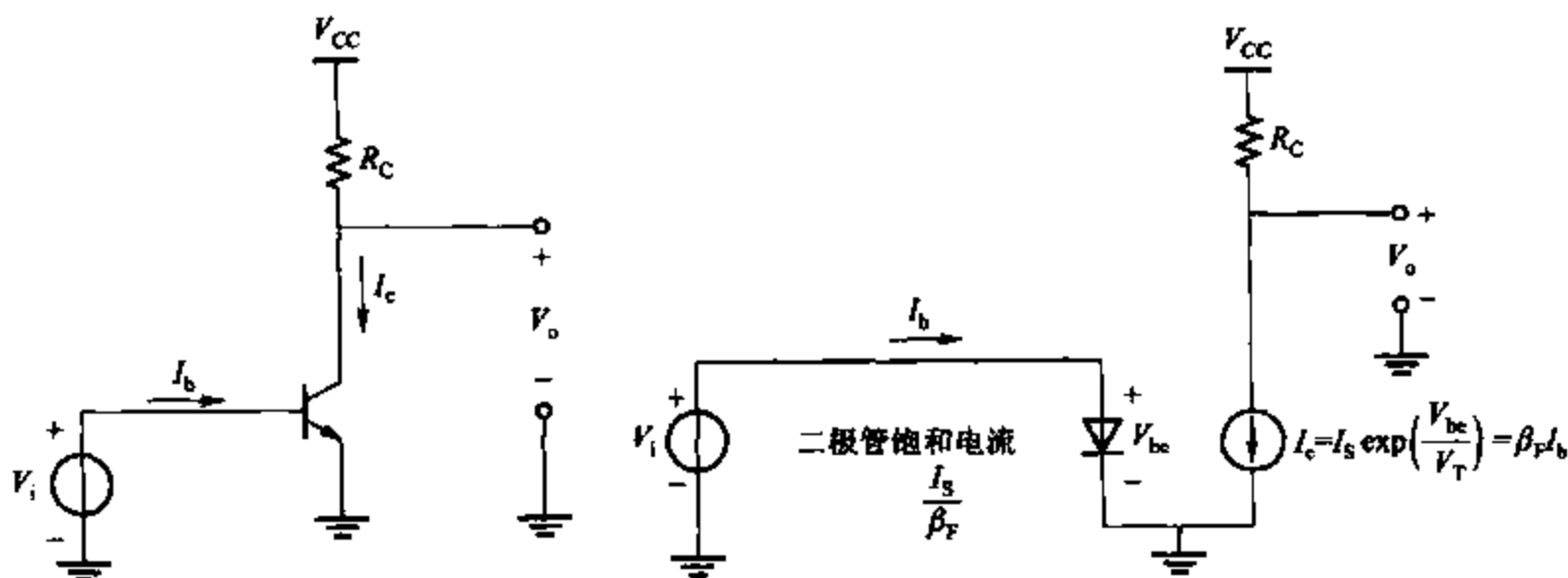


图 3.7 带有电阻负载的共射极放大器 图 3.8 当晶体管工作在正向放大区时的大信号等效电路。
基极-射极饱和电流为 I_s/β_F

图 3.8 再现了第一章中提到的放大器工作在正向放大区的等效电路。由于 I_c 与 V_{be} 之间成指数关系,故直到输入电压达到 0.5 V 前集电极电流会非常小。当放大器工作在正向放大区,基极电流等于集电极电流除以 β_F ,即

$$I_b = \frac{I_c}{\beta_F} = \frac{I_s}{\beta_F} \exp \frac{V_i}{V_T} \quad (3.9)$$

输出电压等于 V_{CC} 减去集电极电阻上的压降,即

$$V_o = V_{CC} - I_c R_C = V_{CC} - R_C I_s \exp \frac{V_i}{V_T} \quad (3.10)$$

当输出电压为 0 时,集电结正向偏置放大器达到饱和,输出电压和集电极电流近似为恒定值

$$V_o = V_{CE(sat)} \quad (3.11)$$

$$I_c = \frac{V_{CC} - V_{CE(sat)}}{R_C} \quad (3.12)$$

而基极电流仍随 V_i 的增大而增大,因此,正向放大区电流增益 I_c/I_b 随着放大器由正向放大区移动至饱和区而从 β_F 减小。实际上,信号源的电流是有限的,当信号源不再增加基极电流时, V_i 即达到最大值。图 3.9 中表示出输出电压、基极电流与输入电压的函数变化情况。注意,当放大器工作在正向放大区时,输入电压较小的变化就能引起输出电压较大的变化。电路产生电压增益,现在来计算在正向放大区的电压增益。

当增量参数如电压增益能由大信号分析引出并计算时,关于第一章中所讲的放大器小信号 π 模型的计算可以简化。共射极电路的小信号等效电路如图 3.10 所示。这里忽略了 r_b ,假定其值远小于 r_x ,同时也忽略 r_μ ,这一等效电路不包含放大器的输出端负载但包含集

电极电阻 R_c , 因为 R_c 经常起到偏置作用。由于目的只是描述放大器, 所以电压增益可以通过在输入输出端加负载来计算得到。由于当 r_μ 被忽略时共射放大器是单向的, 如 3.2 节所述, 现在计算小信号电路的输入电阻、跨导及输出电阻。

从输入端看, 输入电阻为戴维宁电阻, 对于共射放大器

$$R_i = \frac{v_i}{i_i} = r_\pi = \frac{\beta_0}{g_m} \quad (3.13)$$

跨导 G_m 为在输出短路时的输出电流变化量除以输入电压变化量, 即

$$G_m = \left. \frac{i_o}{v_i} \right|_{v_o=0} = g_m \quad (3.14)$$

由式(3.14)可知, 共射放大器的跨导等于晶体管的跨导。从输出端看进去, 当输入端短路时, 输出电阻为戴维宁电阻, 即

$$R_o = \left. \frac{v_o}{i_o} \right|_{v_i=0} = R_c // r_o \quad (3.15)$$

开路、无载电路的电压增益为

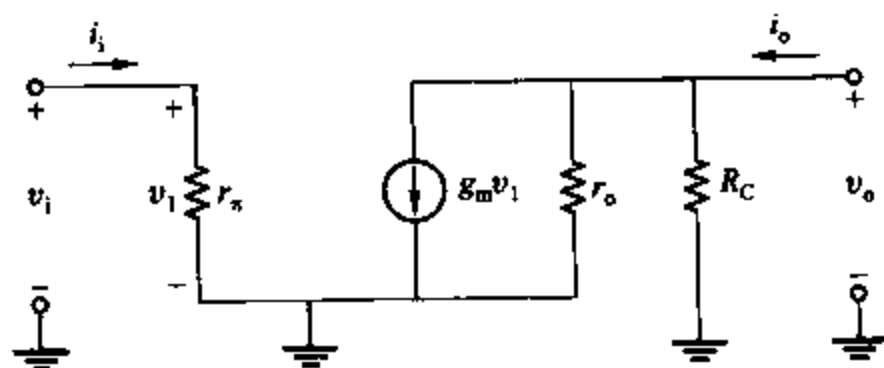


图 3.10 共射放大器的小信号等效电路

$$a_v = \left. \frac{v_o}{v_i} \right|_{i_o=0} = -g_m (r_o // R_c) \quad (3.16)$$

如果集电极电阻非常大, 则

$$\lim_{R_c \rightarrow \infty} a_v = -g_m r_o = -\frac{I_c}{V_T} \frac{V_A}{I_c} = -\frac{V_A}{V_T} = -\frac{1}{\eta} \quad (3.17)$$

其中, I_c 为直流工作点的集电极电流, V_T 为热电压, V_A 为厄尔利电压, η 已由式(1.114)给出。这一增益表示放大器可获得的最大低频电压增益, 其不依赖于双极型晶体管的集电极偏置电流。对于典型的 npn 型放大器, 其值大约为 5 000。

另一个关心的参数为短路电流增益 a_i , 这一参数是输出短路时 i_o 与 i_i 的比值, 对于共

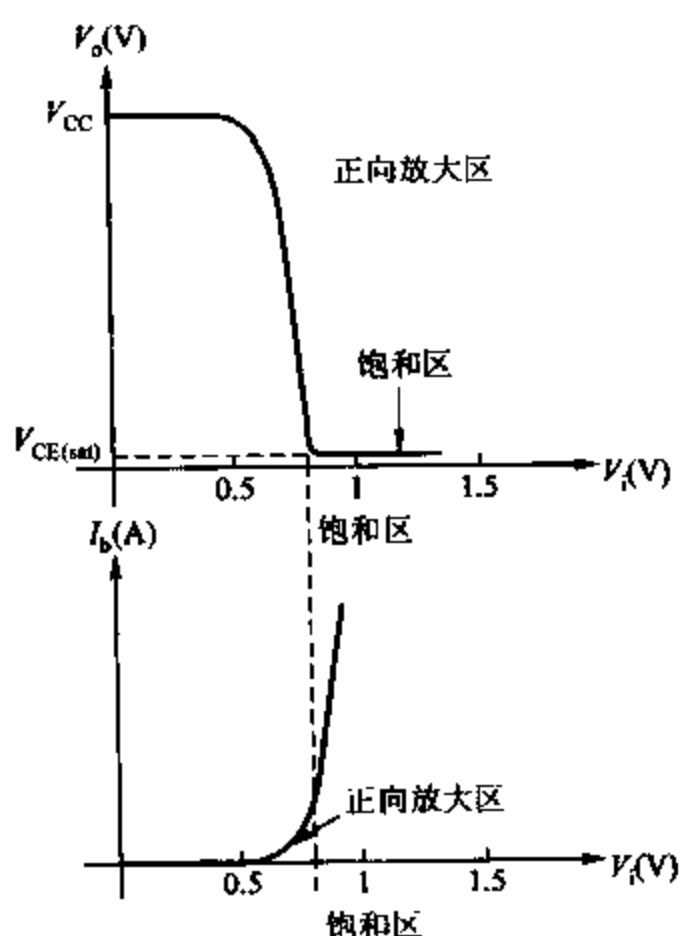


图 3.9 共射极电路中输入电压、与输出电压、基极电流之间的函数关系

射放大器,有

$$a_i = \left. \frac{i_o}{i_i} \right|_{v_o=0} = \frac{G_m v_i}{\frac{v_i}{R_i}} = g_m r_\pi = \beta_0 \quad (3.18)$$

示例

(a) 计算如图 3.11a 所示共射放大器的输入电阻、输出电阻、电压增益和电流增益。假

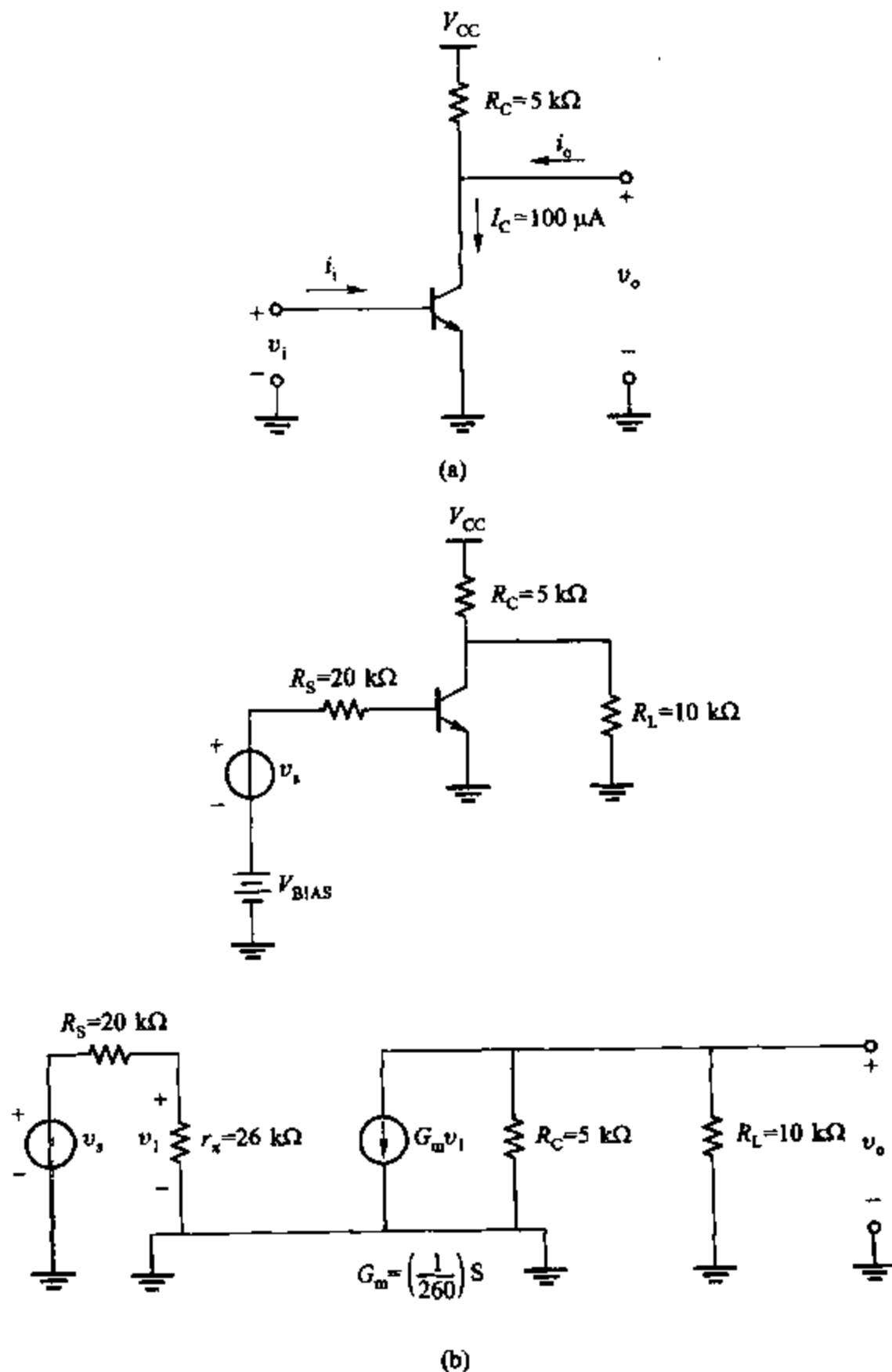


图 3.11 (a) 放大器电路实例;

(b) 在给出典型电源和负载值的电路中计算电压增益

定 $I_C = 100 \mu\text{A}$, $\beta_0 = 100$, $r_b = 0$, $r_o \rightarrow \infty$ 。

$$R_i = r_\pi = \frac{\beta_0}{g_m} \approx \frac{100 \times 26 \text{ mV}}{100 \mu\text{A}} = 26 \text{ k}\Omega$$

$$R_o = R_C = 5 \text{ k}\Omega$$

$$a_v = -g_m R_C \approx -\frac{100 \mu\text{A}}{26 \text{ mV}} \times 5 \text{ k}\Omega \approx -19.2$$

$$a_i = \beta_0 = 100$$

(b) 计算如图 3.11b 电路的电压增益, 假定 V_{BIAS} 已做调整, 故直流集电极电流保持为 $100 \mu\text{A}$ 。

$$v_i = v_s \frac{R_i}{R_s + R_i}$$

$$v_o = -G_m v_i (R_o // R_L) = -G_m \frac{R_i}{R_s + R_i} (R_o // R_L) v_s$$

$$\frac{v_o}{v_s} = -\left(\frac{1}{260 \Omega}\right) \left(\frac{26 \text{ k}\Omega}{26 \text{ k}\Omega + 20 \text{ k}\Omega}\right) \left[\frac{10 \text{ k}\Omega \times 5 \text{ k}\Omega}{10 \text{ k}\Omega + 5 \text{ k}\Omega}\right] \approx -7.25$$

3.3.2 共源组态

如图 3.12a 所示为有 n 沟道 MOS 晶体管构成的带载共源(CS)放大器组态。其小信号

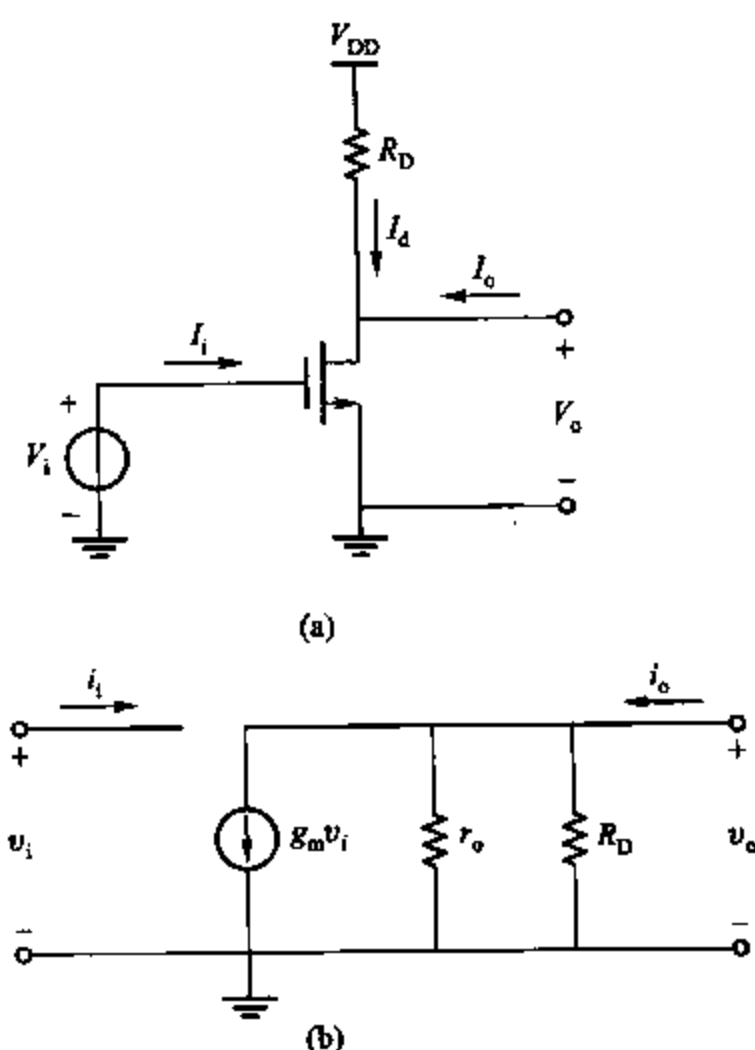


图 3.12 (a) 带载共源放大器; (b) 共源放大器小信号等效电路

等效电路如图 3.12b 所示。与双极型晶体管相比, MOS 晶体管当 $V_i = 0$ 时截止, 因此 $I_d = 0$, $V_o = V_{DD}$ 。当 V_i 增大并超过阈值电压 V_t 时, 产生非零漏极电流, 且当 $V_o > V_{GS} - V_t$ 时, 晶体管工作在线性区(对于 MOS 晶体管常称为饱和区), 如图 1.30 所示的大信号模型结合式(1.157)可得

$$V_o = V_{DD} - I_d R_D \quad (3.19)$$

$$= V_{DD} - \frac{\mu_n C_{ox}}{2} \frac{W}{L} R_D (V_i - V_t)^2 \quad (3.20)$$

输出电压等于漏极-源极电压, 并随输入电压增加而降低。当 $V_o < V_{GS} - V_t$ 时, 晶体管进入三极管区, 这时输出电阻变小且小信号电压增益急剧下降。在三极管区, 输出电压可由式(1.152)和式(3.19)计算得到。这些结果可由图 3.13 看出: 在任意工作点的传输特性斜率即该点的小信号电压增益。MOS 晶体管比双极型晶体管在线性区有更小的电压增益; 因此, 与双极型晶体管共射极电路相比, MOS 晶体管共源放大器的输入电压 V_i 范围要大得多。

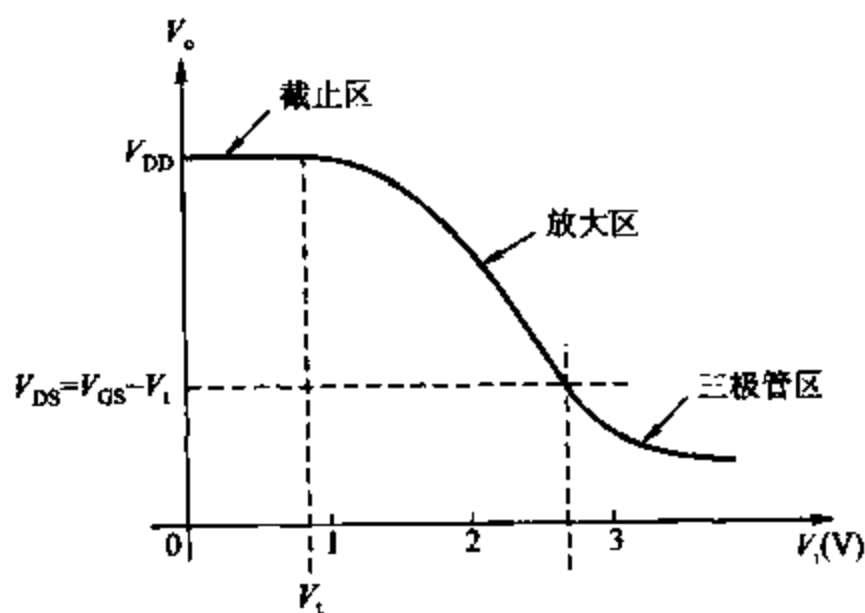


图 3.13 共源极电路输入电压与输出电压关系

由于 MOS 晶体管的源极和衬底都与交流地相接, 如图 1.36 所示, $v_{bs} = 0$, 所以图 3.12b 中跨导 g_{mb} 被忽略。此时, 这一电路与图 3.10 所示共射极小信号等效电路放大器等价, 共源放大器因为没有反馈故为单向电路。因此, 该电路的低频状态可由跨导、输入电阻、输出电阻描述, 正如 3.2 节中所述。

跨导 G_m 为

$$G_m = \left. \frac{i_o}{v_i} \right|_{v_o = 0} = g_m \quad (3.21)$$

式(3.21)表明 CS 放大器的跨导与晶体管的跨导相等, 这同共射放大器一样。由于共源放大器的输入端连接 MOS 晶体管的栅极, 所以直流输入电流和其低频小信号变化量 i_i 都可假定为 0。这样, 输入电阻为

$$R_i = \frac{v_i}{i_i} \rightarrow \infty \quad (3.22)$$

由另一方法来看这一结果,令式(3.13)中的 $\beta_0 \rightarrow \infty$, 因为 MOS 晶体管状态同双极型晶体管的 β_0 取极限情况时一样。输出电阻在输入端短路时从输出端看进去,为戴维宁等效电阻,即

$$R_o = \left. \frac{v_o}{i_o} \right|_{v_i=0} = R_D // r_o \quad (3.23)$$

开路无载电压增益为

$$a_v = \left. \frac{v_o}{v_i} \right|_{i_o=0} = -g_m (r_o // R_D) \quad (3.24)$$

如果漏极电阻用一个电流源代替,则 $R_D \rightarrow \infty$, 且 a_v 为

$$\lim_{R_D \rightarrow \infty} a_v = -g_m r_o \quad (3.25)$$

式(3.25)表明一个单级共源放大器可能的最大电压增益。这一结果与反映共射放大器的式(3.17)的第一部分等价。在共源放大器中,由式(1.180)可知跨导与 $\sqrt{I_D}$ 成正比,而由式(1.194)可知 r_o 与 I_D 成反比。因此,由式(3.25)可知每一级的最大电压增益与 $1/\sqrt{I_D}$ 成正比。相反,共射极放大器中最大电压增益与电流无关。图 3.14 表明典型 MOS 晶体管的最大电压增益和 I_D 的关系。在电流非常小的时候,与双极型晶体管相同,增益为一个恒定值。这一区域常被称作亚阈区,此时,晶体管工作在弱反型区且式(1.157)中的平方法则不再有效。如 1.8 节中所述,在这一区域中,漏极电流与栅-源电压成指数关系,如同双极型晶体管中集电极电流与基极-射极电压之间的关系。

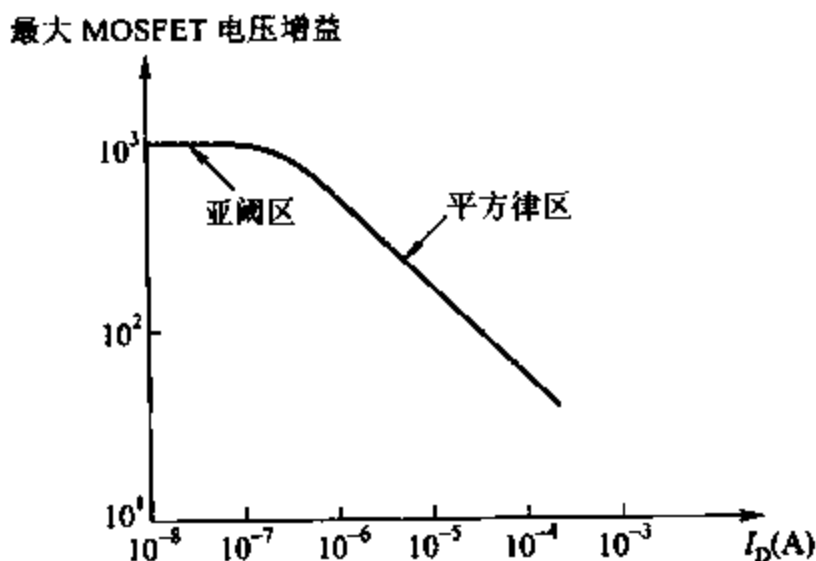


图 3.14 MOS 晶体管最大电压增益随偏置电流的变化情况

利用式(1.194),由式(3.25)给出的增益极限同样可以表示为

$$\lim_{R_D \rightarrow \infty} a_v = -g_m r_o = -\frac{g_m}{I_D} I_D r_o = -\frac{g_m}{I_D} V_A \quad (3.26)$$

在如图 3.14 所示的平方律区域,由式(1.181)代替式(3.26),有

$$\lim_{R_D \rightarrow \infty} a_v = - \frac{V_A}{(V_{GS} - V_t)/2} = - \frac{2V_A}{V_{ov}} \quad (3.27)$$

其中, $V_{ov} = V_{GS} - V_t$ 称为栅极过载, 由于栅极过载电压比热电压要大一个数量级, 所以式(3.27)计算出的最大增益要比由式(3.17)计算出的双极型晶体管的电压增益要小得多, 用式(1.163)代替式(3.27)有

$$\lim_{R_D \rightarrow \infty} a_v = - \frac{2L_{eff}}{V_{GS} - V_t} \left(\frac{dX_d}{dV_{DS}} \right)^{-1} \quad (3.28)$$

示例

如图 3.12a 所示, 已知 $V_{DD} = 5 \text{ V}$ 、 $R_D = 5 \text{ k}\Omega$ 、 $k' = \mu_n C_{ox} = 100 \mu\text{A}/\text{V}^2$ 、 $W = 50 \mu\text{m}$ 、 $L = 1 \mu\text{m}$ 、 $V_t = 0.8 \text{ V}$ 、 $L_d = 0$ 、 $X_d = 0$ 、 $\lambda = 0$, 并假设偏置电压 V_i 为 1 V , 计算共源极放大器的电压增益。

为了判定晶体管是否工作在放大区, 首先直流输出电压 $V_O = V_{DS}$, 如果晶体管工作在放大区, 由式(1.157)有

$$I_D = \frac{k'}{2} \frac{W}{L} (V_{GS} - V_t)^2 = \left[\frac{100}{2} \times 10^{-6} \times \frac{50}{1} (1 - 0.8)^2 \right] \text{ A} = 100 \mu\text{A}$$

则

$$V_O = V_{DS} = V_{DD} - I_D R_D = 5 \text{ V} - 0.1 \text{ mA} \times 5 \text{ k}\Omega = 4.5 \text{ V}$$

因为 $V_{DS} = 4.5 \text{ V} > V_{GS} - V_t = 0.2 \text{ V}$, 故晶体管确定工作在放大区, 由式(1.180)有

$$g_m = k' \frac{W}{L} (V_{GS} - V_t) = \left[100 \times 10^{-6} \times \frac{50}{1} \times (1 - 0.8) \right] \text{ S} = 100 \mu\text{S}$$

然后由于 $\lambda = 0$, 有 $V_A \rightarrow \infty$, 并由式(3.24)有

$$a_v = -g_m R_D = -1.0 \text{ mS} \times 5 \text{ k}\Omega = -5$$

注意: 尽管直流偏置电压相等, 此处的开路电压增益依然远小于 3.3.1 节中所示双极型晶体管例题中的电压增益。

3.3.3 共基组态

在共基组态中, 信号从发射极输入, 从集电极输出, 基极连接交流地, 共基组态的连接如图 3.15 所示。虽然这种组态不如共射组态应用广泛, 但在某些电路中却非常有用。本节将计算共基组态的小信号参数。

混合 π 模型说明了该独立电路结构中晶体管的小信号特性。但对共基极, 由于电流源接在输入端和输出端之间, 致使混合 π 模型比较难处理。⁴ 如果模型变为如图 3.16 所示, 则其基极可以被简化。小信号混合 π 模型如图 3.16a 所示。首先注意到受控电流源从集电极流向发射极, 如果用两个从集电极流向基极和一个从基极流向

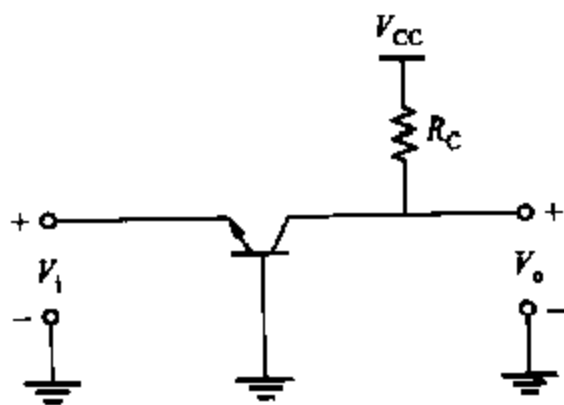


图 3.15 典型共基放大器

发射极的两个电流源代替单一电流源,如图 3.16b 所示,电路状态并不改变。由于流入与流出基极的电流相等,故描述这些电路状态的等式是等价的。接下来注意连接于基极与发射极之间的受控电流源由通过其自身的电压控制。因此,由欧姆定律,这个受控电流源可由一个阻值为 $1/g_m$ 的电阻代替。这一电阻与 r_π 并联,且并联电阻被称为射极电阻 r_e ,且

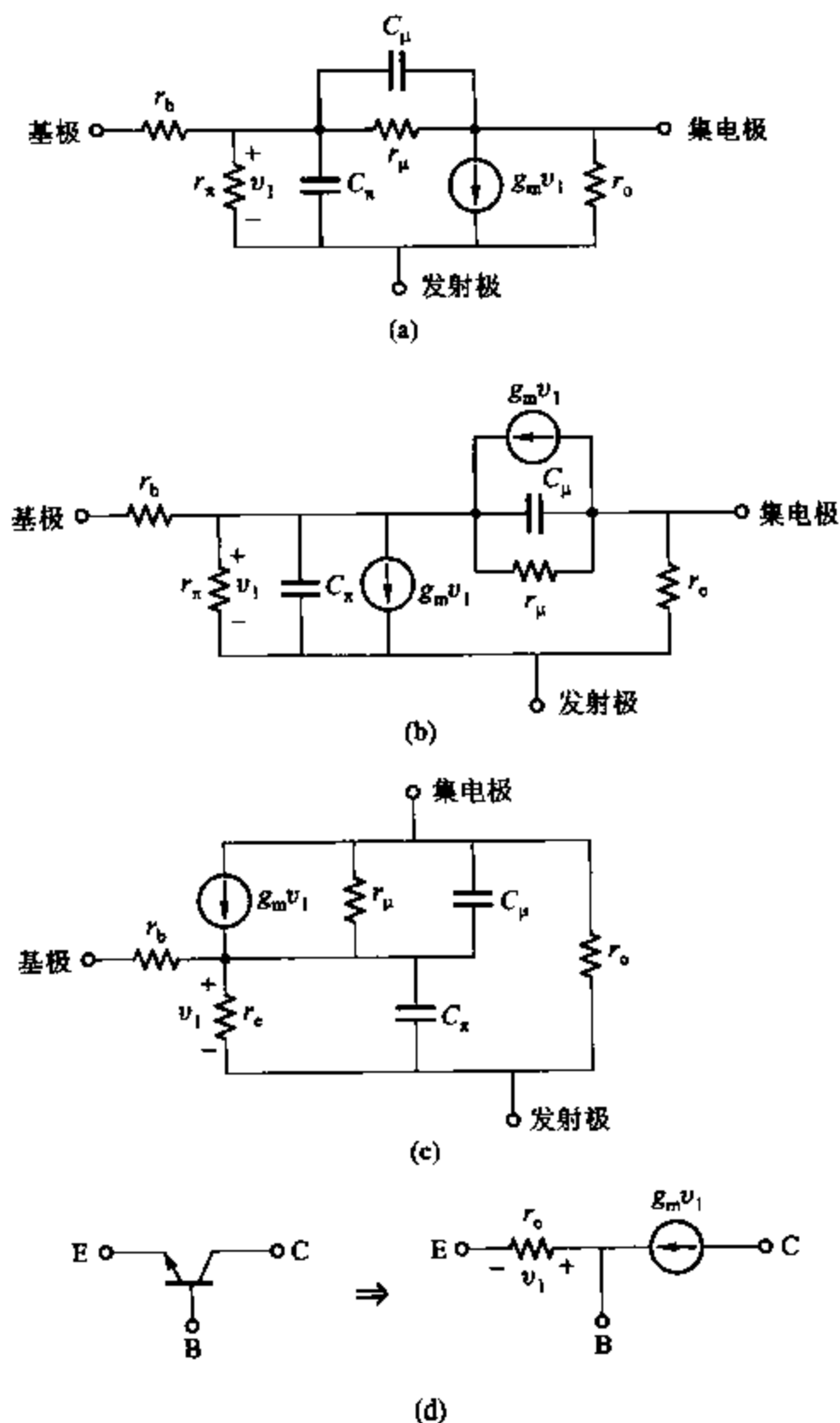


图 3.16 从混合 π 模型到射极电流控制 T 模型的转化

- (a) 混合 π 模型; (b) 集电极电流源 $g_m v_i$ 由两个串联电流源代替,中间接基极。这一替代不影响流入基极的电流; (c) 基极和发射极之间的电流源用值为 $1/g_m$ 的电阻替代; (d) 忽略 r_μ 、 r_o 以及电荷存储的低频 T 模型

$$r_e = \frac{1}{g_m + \frac{1}{r_x}} = \frac{1}{g_m \left(1 + \frac{1}{\beta_0}\right)} = \frac{a_0}{g_m} \quad (3.29)$$

新的等效电路被称为 T 模型,如图 3.16c 所示。T 模型与混合 π 模型等效,但更适用于共基电路的计算。当直流和低频输入时,电容 C_x 和 C_μ 表现出高阻抗,可以被忽略。首先假定 $r_b = 0, r_o \rightarrow \infty$, 则电路为单向的。当 r_μ 也被忽略,模型简化为图 3.16d 所示模型。这时利用 T 模型,共基组态小信号等效电路如图 3.17 所示。由图 3.17 可以看出,短路跨导为

$$G_m = g_m \quad (3.30)$$

输入电阻为

$$R_i = r_e \quad (3.31)$$

输出电阻为

$$R_o = R_C \quad (3.32)$$

利用这些参数,可以得到开路电压增益和短路电流增益分别为

$$a_v = G_m R_o = g_m R_C \quad (3.33)$$

$$a_i = G_m R_o = g_m r_e = a_0 \quad (3.34)$$

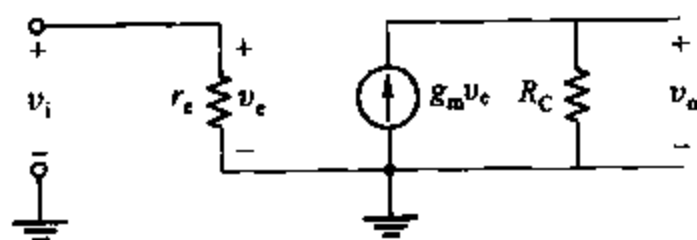


图 3.17 共基极小信号等效电路,假定忽略 r_b 、 r_o 和 r_μ

比较式(3.31)和式(3.13)可以看出共基组态中的输入电阻是共射组态中的输入电阻的 $\frac{1}{(\beta_0 + 1)}$ 倍。另外,比较式(3.34)和式(3.18)可以看出与共射组态相比,共基组态中的电流增益减少至共射组态的 $\frac{1}{(\beta_0 + 1)}$ 倍。

分析至此,都是假定忽略了电阻 r_b ,而实际中,当共基极工作在相当高的电流的情况下,基极电阻对跨导和输出电阻有明显的影响,在 $r_b > 0$ 时,再次计算这些参数,假定晶体管工作在正向放大区并参考图 3.18 所示小信号模型,这时跨导为

$$G_m = \left. \frac{i_o}{v_i} \right|_{v_o=0} = g_m \left(\frac{v_e}{v_i} \right) \quad (3.35)$$

为了找出射极电压 v_e 和输入电压 v_i 之间的关系,将基尔霍夫电流定律(KCL)和基尔霍夫电压定律(KVL)分别用于基极结点(结点 1)和输入回路中。在结点 1 处,由 KCL 有

$$g_m v_e + \frac{v_b}{r_b} - \frac{v_e}{r_e} = 0 \quad (3.36)$$

在输入回路,由 KVL 有

$$v_i = v_e + v_b \quad (3.37)$$

由式(3.37)求取 v_b 并代入式(3.36)有

$$\frac{v_i}{v_e} = 1 + \frac{g_m}{\beta_0} r_b = 1 + \frac{r_b}{r_\pi} \quad (3.38)$$

将式(3.38)代入式(3.35)有

$$G_m = \frac{g_m}{1 + \frac{r_b}{r_\pi}} \quad (3.39)$$

类似的,图 3.18 中的输入电阻为

$$R_i = \frac{v_i}{i_i} = \frac{v_i}{v_e / r_e} = r_e \left(\frac{v_i}{v_e} \right) \quad (3.40)$$

将式(3.38)代入式(3.40)有

$$R_i = r_e \left(1 + \frac{r_b}{r_\pi} \right) = \frac{\alpha_0}{g_m} \left(1 + \frac{r_b}{r_\pi} \right) \quad (3.41)$$

因此如果集电极的直流电流足够大,电阻 r_π 和基极电阻 r_b 差不多,则需考虑基极电阻的影响。例如,如果 $r_b = 100 \Omega$ 、 $\beta_0 = 100$,则 26 mA 的集电极电流能使 $r_b = r_\pi$ 。

用共基组态有双重作用;首先,与共射放大器不同,集电极电容不能产生从输出到输入的高频反馈。如在第七章中所描述,这一变化在设计高频放大器时非常重要。另外,如在第四章中所述,当在 $R_C \rightarrow \infty$ 的极限条件下,共基放大器可比共射放大器得到更大的输出电阻。因此,当电流不依赖其电压时共基组态可以用作电流源。

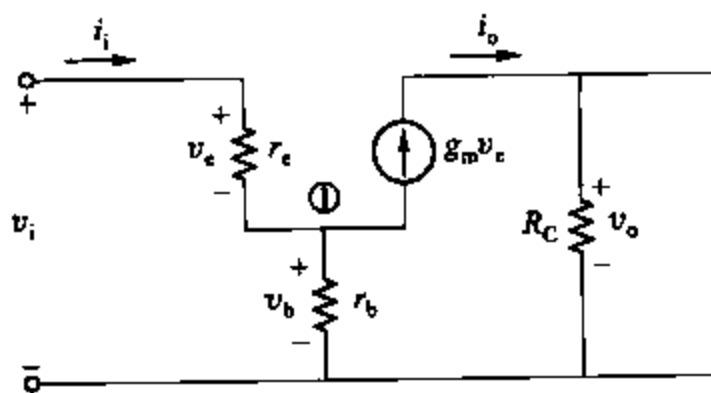


图 3.18 $r_b > 0$ 时的小信号共基模型

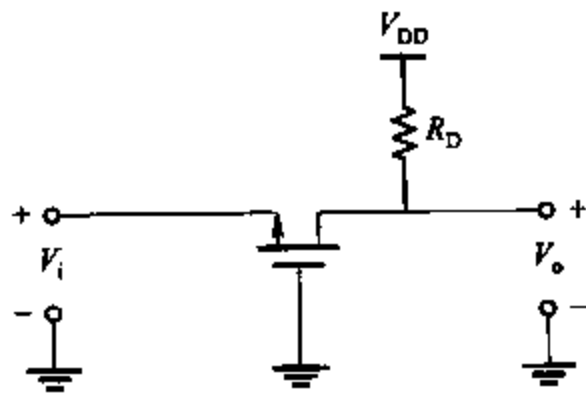


图 3.19 共栅组态

3.3.4 共栅组态

在共栅组态中,当栅极接直流地时,信号由晶体管的源极输入,由漏极输出,该电路如图 3.19 所示。其工作状态类似于共基组态。

如在 3.3.3 节中分析共基放大器,如果混合 π 模型由 T 模型代替,则共栅放大器的分析可简化,如图 3.20 所示。图 3.20a 所示为低频混合 π 模型,注意:两个跨导都在线性区。如果假设衬底连接交流地,则 $v_{bs} = v_{gs}$,因为栅极也与交流地相连,因此,在图 3.20b 中两个

电流源可以合并。在图 3.20c 中,从源极到漏极的联合电流源被两个电流源替代:一个从源极到栅极,一个从栅极到漏极。由于从栅极流入和流出的电流相等,图 3.20b 和图 3.20c 中所示的电路是等价的。最后,由于从源极到栅极的电流源由源-栅电压控制,故可用值为 $1/(g_m + g_{mb})$ 的电阻替代,如图 3.20d 所示。

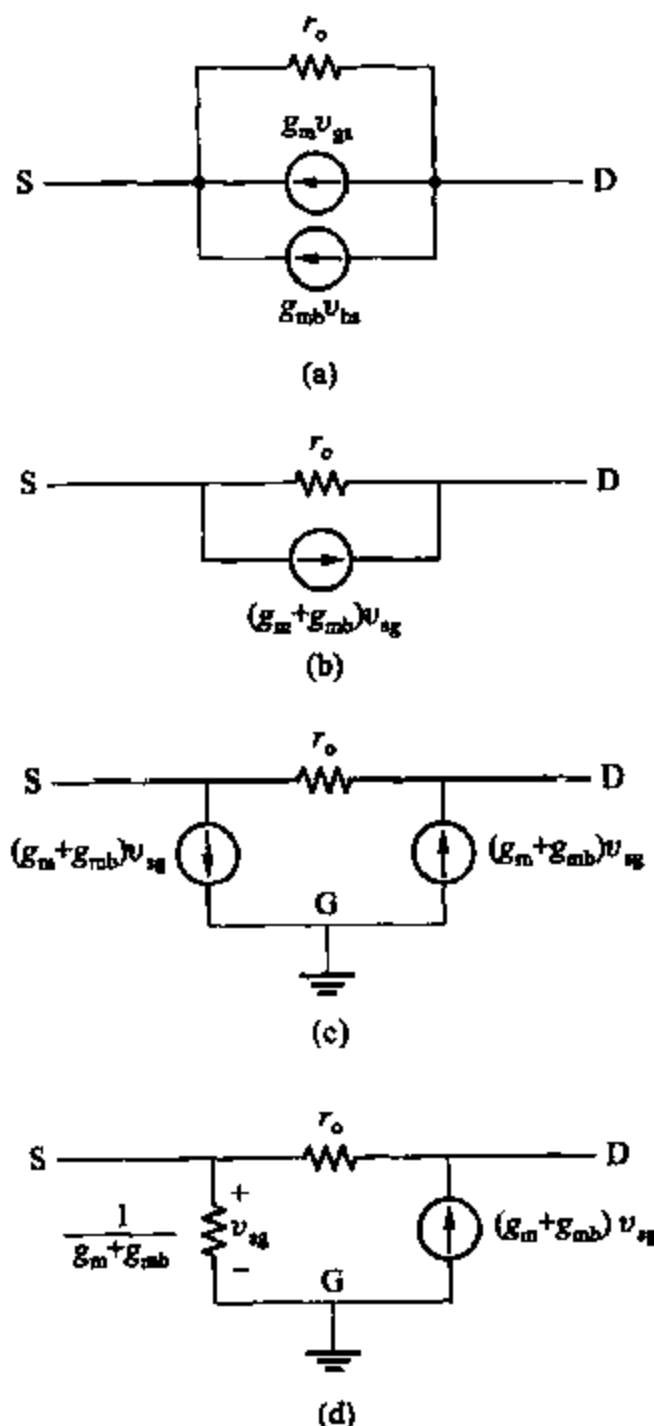


图 3.20 从混合 π 模型到 T 模型的转变

(a) 低频混合 π 模型; (b) 双源联合模型; (c) 两个独立源代替联合电流源模型;
(d) 用电阻代替源极和栅极之间的电流源

如果输出电阻有限,由于输出电阻提供了反馈,图 3.20d 所示电路为双向的。首先,假定输出电阻为无穷大,则电路是单向的,这时利用 T 模型,如图 3.21 所示为共栅小信号等效电路,由图 3.21 有

$$G_m = g_m + g_{mb} \quad (3.42)$$

$$R_i = \frac{1}{g_m + g_{mb}} \quad (3.43)$$

$$R_o = R_D \quad (3.44)$$

利用这些参数,则开路电压增益和短路电流增益为

$$a_v = G_m R_o = (g_m + g_{mb}) R_D \quad (3.45)$$

$$a_i = G_m R_i = 1 \quad (3.46)$$

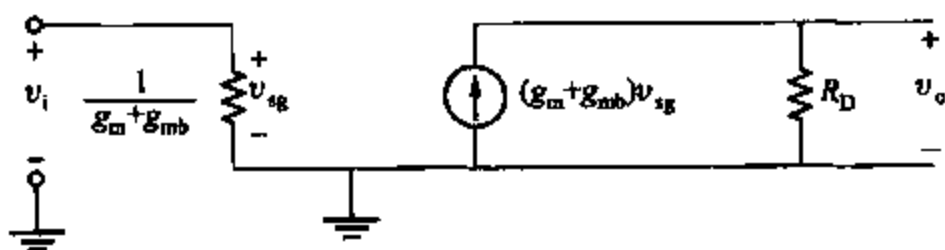


图 3.21 共栅小信号等效模型,假定忽略 r_o 。

3.3.5 r_o 有限时的共基与共栅组态

在计算共基和共栅放大器的跨导 G_m 、输入电阻 R_i 和输出电阻 R_o 时,要忽略 r_o 的影响。由于 r_o 连接每一个放大器的输出端到输入端,如果 r_o 有限则电路为双向的,电路的输入电阻取决于放大器的输出电阻。在图 3.17 中,令 $R = R_C$ 或在图 3.21 中令 $R = R_D$,这取决于要选用哪一个电路模型。当 R 足够大可与 r_o 相比时,为准确预测小信号模型的输入电阻和输出电阻,必须考虑 r_o 。此外,由于在输出短路时计算跨导, r_o 和 R 之间的关系对这一跨导计算没有影响,所以,如果 $r_o \gg 1/G_m$,取值有限的 r_o 的影响可以忽略。

3.3.5.1 共基与共栅组态的输入电阻

图 3.22a 所示为 r_o 有限的小信号共基或共栅极 T 模型,其中共基和共栅放大器的 $R_{i(\text{ideal})}$ 分别由式(3.31)和式(3.43)给出。此外, R 表示图 3.17 中的 R_C 或图 3.21 中的 R_D 。连接的负载和输入源如图 3.22a 中所示,并且包含其对输入电阻和输出电阻的影响。图 3.22a 中的输入电阻为 $R_i = v_i / i_i$ 。为了计算输入电阻,通常用图 3.22b 所示的简化等效电路,这里,用测试电压源 v_i 来驱动放大器的输入端,并且计算产生的测试电流 i_i ,在图 3.22b 中输出端由 KCL 有

$$\frac{v_o}{R // R_L} + \frac{v_o - v_i}{r_o} = G_m v_i \quad (3.47)$$

图 3.22b 中在输入端由 KCL 有

$$i_i = \frac{v_i}{R_{i(\text{ideal})}} + \frac{v_i - v_o}{r_o} \quad (3.48)$$

由式(3.47)解得 v_o 并代入式(3.48)有

$$\frac{i_i}{v_i} = \frac{1}{R_{i(\text{ideal})}} + \frac{1}{r_o} \left[1 - \frac{G_m + \frac{1}{r_o}}{\frac{1}{R // R_L} + \frac{1}{r_o}} \right] \quad (3.49)$$

整理式(3.49)有

$$R_i = \frac{v_i}{i_i} = \frac{r_o + R // R_L}{1 - G_m(R // R_L) + \frac{r_o + R // R_L}{R_{i(\text{ideal})}}} \quad (3.50)$$

共基组态输入电阻 对于共基放大器,由式(3.30)有 $G_m = g_m$,由式(3.31)有 $R_{i(\text{ideal})} = r_e = \alpha_0 / g_m$ 。将式(3.30)和式(3.31)代入式(3.50),再由 $R = R_c$,整理得

$$R_i = \frac{v_i}{i_i} = \frac{r_o + R_c // R_L}{1 + \frac{g_m(R_c // R_L)}{\beta_0} + \frac{g_m r_o}{\alpha_0}} = \frac{r_o + R_c // R_L}{1 + \frac{g_m}{\beta_0}[R_c // R_L + (\beta_0 + 1)r_o]} \quad (3.51)$$

由式(3.51),当 $(\beta_0 + 1)r_o \gg R // R_L$ 时,有

$$R_i \approx \frac{r_o + R_c // R_L}{1 + \frac{g_m r_o}{\alpha_0}} \quad (3.52)$$

由式(3.52),当 $g_m r_o \gg \alpha_0$ 时,有

$$R_i \approx \frac{\alpha_0}{g_m} + \frac{\alpha_0(R_c // R_L)}{g_m r_o} = r_e + \frac{\alpha_0(R_c // R_L)}{g_m r_o} \quad (3.53)$$

当共基放大器由于假定 r_o 无限而是单向时,式(3.53)中右端的第一项和式(3.31)中的相同。第二项表示输出电阻取决于连接的输入电阻(因为 r_o 有限提供了反馈使得放大器为双向)。第二项等于放大器的输出除以 $G_m r_o$ 得到的电阻。当 $r_o \gg R_c // R_L$,第二项的影响可以忽略。

共栅组态输入电阻 对于共栅放大器,由式(3.42)有, $G_m = (g_m + g_{mb})$,由式(3.43)有 $R_{i(\text{ideal})} = 1/(g_m + g_{mb})$,将式(3.42)和式(3.43)代入式(3.50),再由 $R = R_c$,并整理得

$$R_i = \frac{v_i}{i_i} = \frac{r_o + R_D // R_L}{1 + (g_m + g_{mb})r_o} \quad (3.54)$$

当 $(g_m + g_{mb})r_o \gg 1$ 时,有

$$R_i \approx \frac{1}{g_m + g_{mb}} + \frac{R_D // R_L}{(g_m + g_{mb})r_o} \quad (3.55)$$

假定 r_o 无限大,因而共栅放大器是单向时,式(3.55)右边第一项与式(3.43)相同。第二项约等于放大器的输出电阻除以 $G_m r_o$ 得到的电阻,并且表明有限的 r_o 所带来的影响:有限 r_o 使电路为双向。当 $r_o \gg R_D // R_L$ 时,第二项的影响可以忽略。即使放大电路空载($R_L \rightarrow \infty$)情况下的 R_D 或在共基情况下的 R_c 作为体电阻制造时,忽略第二项常常导致细小的偏差。然而,当 R_D 或 R_L 由电流源代替时,第二项的影响将很明显。第四章中将描述用于构造有很高的等效电阻的晶体管电流源的工艺。

3.3.5.2 共基与共栅组态的输出电阻

图 3.22a 所示电路的输出电阻 $R_o = v_o / i_o$,其中 $v_i = 0$ 。在这一计算中,考虑了图 3.22c 中所示的等效电路,其中 $v_s = 0$,测试电压 v_t 用于驱动放大器的输出,计算测试电流 i_t ,由

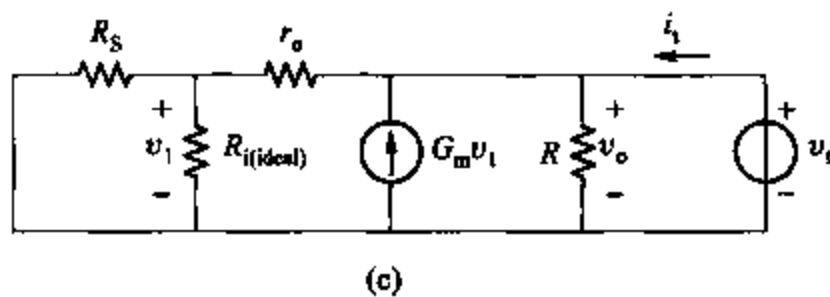
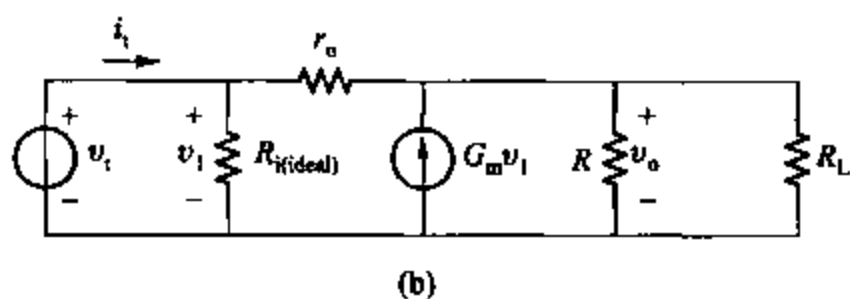
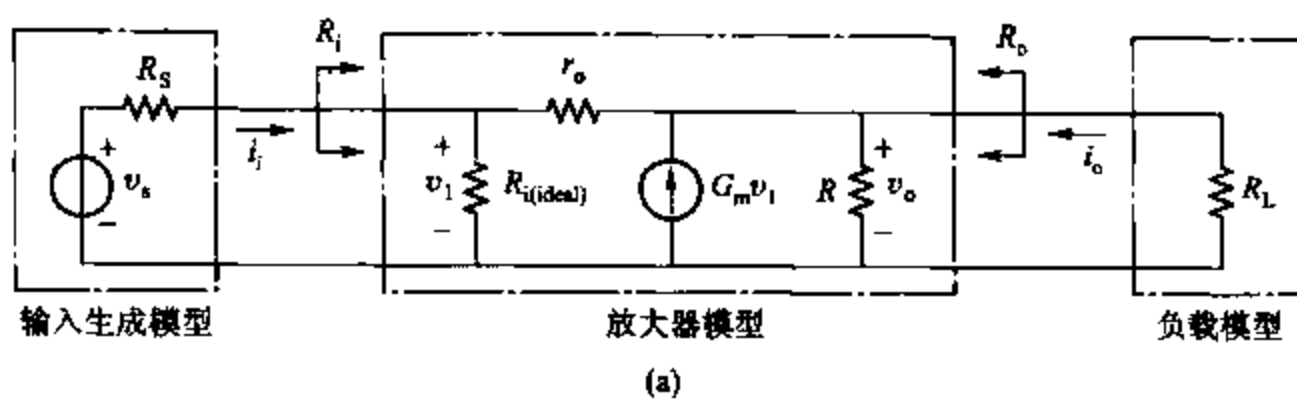


图 3.22 (a) r_o 有限时共基和共栅放大器模型, 连接输出源与负载;
(b) 计算 R_i 的等效电路; (c) 计算 R_o 的等效电路

于 R 与放大器的输出并联, 计算可以两步得到。首先, 计算 R 为无限大的输出电阻。然后, 计算 R 与整个输出电阻的并联电阻, 图 3.22c 中, 在输入结点, 由 KCL 有

$$\frac{v_1}{R_S} + \frac{v_1}{R_{i(\text{ideal})}} + \frac{v_1 - v_t}{r_o} = 0 \quad (3.56)$$

当 $R \rightarrow \infty$ 时, 在输出结点, 由 KCL 有

$$i_t = -G_m v_1 + \frac{v_t - v_1}{r_o} \quad (3.57)$$

由式(3.56)得到 v_1 , 代入式(3.57)有

$$\frac{i_t}{v_t} = \frac{1}{r_o} - \frac{1}{r_o} \left[\frac{G_m + \frac{1}{r_o}}{\frac{1}{R_S} + \frac{1}{R_{i(\text{ideal})}} + \frac{1}{r_o}} \right] \quad (3.58)$$

整理有

$$\frac{v_1}{i_t} = \frac{r_o \left(\frac{1}{R_S} + \frac{1}{R_{i(\text{ideal})}} + \frac{1}{r_o} \right)}{\frac{1}{R_S} + \frac{1}{R_{i(\text{ideal})}} - G_m} \quad (3.59)$$

当 R 有限, 输出电阻为

$$R_o = R // \left(\frac{v_i}{i_i} \right) = R // \left[\frac{r_o \left(\frac{1}{R_s} + \frac{1}{R_{i(\text{ideal})}} + \frac{1}{r_o} \right)}{\frac{1}{R_s} + \frac{1}{R_{i(\text{ideal})}} - G_m} \right] \quad (3.60)$$

共基输出电阻 对于共基放大器, 由式(3.30)得 $G_m = g_m$, 由式(3.31)得 $R_{i(\text{ideal})} = r_e = \alpha_0 / g_m$, 将式(3.30)和式(3.31)代入式(3.60)并整理得

$$R_o = R // \left[\frac{r_o + R_s \left(1 + \frac{g_m r_o}{\alpha_0} \right)}{1 + \frac{R_s}{r_e}} \right] \quad (3.61)$$

式(3.61)右边括号中的第一项表示当 r_o 有限时, 共基放大器的输出电阻取决于输入源电阻 R_s 。例如, 如果输入来自于理想电压源, $R_s = 0$, 则有

$$R_o = R // r_o \quad (3.62)$$

另一方面, 如果输入来自理想电流源, $R_s \rightarrow \infty$, 则有

$$R_o = R // \left[\left(\frac{1 + g_m r_o}{\alpha_0} \right) r_e \right] \quad (3.63)$$

由式(3.61), 当 $R_s \ll r_e$ 时有

$$R_o \approx R // \left[r_o + R_s \left(\frac{1 + g_m r_o}{\alpha_0} \right) \right] \quad (3.64)$$

由式(3.64), 当 $g_m r_o \gg \alpha_0$ 且 $g_m R_s \gg \alpha_0$ 有

$$R_o \approx R // \left(\frac{g_m r_o}{\alpha_0} R_s \right) \quad (3.65)$$

式(3.65)中括号中的第一项约等于输入源电阻乘以 $G_m r_o$, 因此, 式(3.65)和式(3.53)表示共基放大器可以被看成是电阻变换器, 此时由约等于 $G_m r_o$ 的因子使电阻值从射极到集电极成比例地增大, 并从集电极到射极成比例地减小。

共栅输出电阻 对于共栅放大器, 由式(3.42)得 $G_m = (g_m + g_{mb})$, 且由式(3.43)得 $R_{i(\text{ideal})} = 1/(g_m + g_{mb})$, 将式(3.42)和式(3.43)代入式(3.60)并整理得

$$R_o = R // [r_o + R_s (1 + (g_m + g_{mb}) r_o)] \quad (3.66)$$

由式(3.66), 当 $(g_m + g_{mb}) r_o \gg 1$ 并且 $(g_m + g_{mb}) R_s \gg 1$, 有

$$R_o \approx R // [(g_m + g_{mb}) r_o R_s] \quad (3.67)$$

在式(3.67)的圆括号中的第一项约等于输入源电阻乘以 $G_m r_o$, 因此, 式(3.67)和式(3.55)共同表示共栅放大器同样是电阻变换器, 由约为 $G_m r_o$ 的因子使得电阻从源极到漏极成比例地增大, 并从漏极到源极成比例地下降。

3.3.6 共集组态(射随器)

共集组态电路连接如图 3.23a 所示。这一组态与其他组态的区别在于信号由基极输

人,由射极输出。⁴从大信号观点上看,输出电压等于输入电压减去基极-射极电压。由于基极-射极电压与集电极电流成对数关系,所以即使集电极电流改变,基极-射极电压也几乎恒定。这样,共集放大器的输出电压将等于输入电压减去一个常量,故电路的小信号增益将为单位值1。因为射极电压随基极电压变化,电路仍被看作是射随器。实际上,如果集电极电流改变,则基极-射极电压并不是恒定的。例如,式(1.82)表明在室温下,基极-射极电压增大到18 mV,集电极电流增大一倍;基极-射极电压增大到60 mV时,集电极电流增加原来的1/10。此外,即使集电极电流稳定不变,在厄尔利电压有限时,基极-射极电压也依赖于集电极-射极电压。这些影响在小信号分析中可以得到进一步的研究。

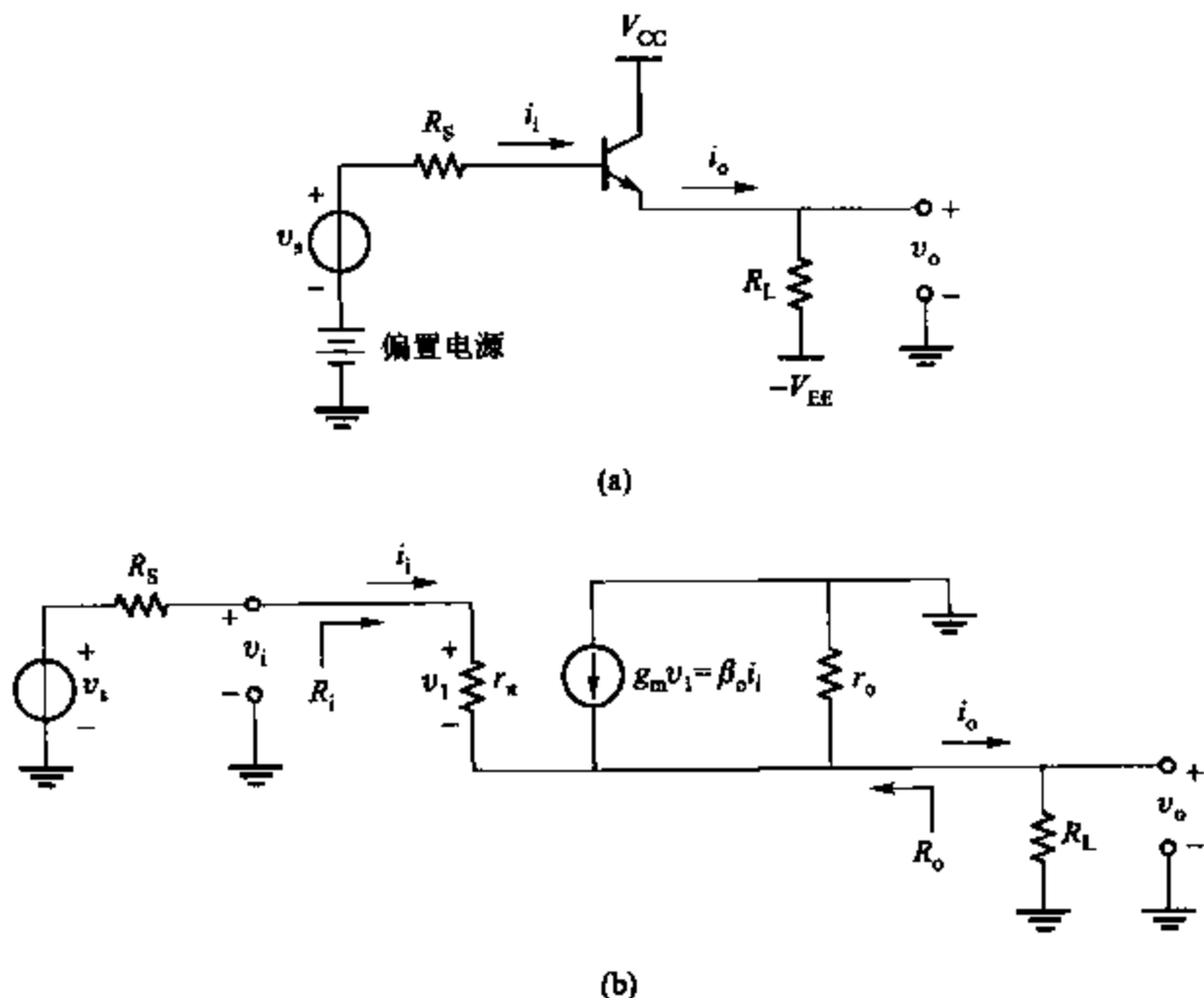


图 3.23 (a) 共集放大器组态; (b) 包含 R_L 、 R_S 的射随器小信号等效电路

特定的小信号放大器模型为混合 π 模型,相应的小信号电路如图 3.23b 所示。当输入电压 v_s 增加时,基极-射极电压随之增加,从而使得输出电流 i_o 增加。但是, i_o 增大使得输出电压 v_o 增大,这样,由于负反馈使得基极-射极电压下降。关于负反馈将在第八章中讲述。这里的关键点是共集组态不是单向的,因此,输入电阻依赖于负载电阻 R_L ,输出电阻依赖于源极电阻 R_S 。所以,射随器特性的二端口等效网络不利于直观理解。这里,分析图 3.23b 所示的整个射随器电路,包括源极电阻 R_S 和负载电阻 R_L ,在输出结点,由 KCL 有

$$\frac{v_s - v_o}{R_S + r_\pi} + \beta_0 \left(\frac{v_s - v_o}{R_S + r_\pi} \right) - \frac{v_o}{R_L} - \frac{v_o}{r_o} = 0 \quad (3.68)$$

从而有

$$\frac{v_o}{v_s} \approx \frac{1}{1 + \frac{R_s + r_x}{(\beta_0 + 1)(R_L // r_o)}} \quad (3.69)$$

如果基极电阻 r_b 很大,则在这些表达式中,可以简单地将 r_b 值要加到 R_s 上。电压增益总是小于单位值 1 并且当 $\beta_0(R_L // r_o) \gg (R_s + r_x)$ 时接近于单位值 1。在大多实际电路中,这个条件是成立的。注意:因为在计算中加入了源极电阻,对于共射级和共源级的 v_o/v_s 值与计算的电压增益 a_v 值不同。式(3.69)也能近似写成

$$\frac{v_o}{v_s} \approx \frac{g_m R_L}{1 + g_m R_L} \quad (3.70)$$

通过除去输入源来计算输入电阻,用测试电流源 i_t 来驱动输入,计算输入端的电压 v_t 。用于该计算的电路如图 3.24a 所示,在输入结点,由 KCL 有

$$\frac{v_o}{R_L} + \frac{v_o}{r_o} = i_t + \beta_0 i_t \quad (3.71)$$

则电压 v_t 为

$$v_t = i_t r_x + v_o = i_t r_x + \frac{i_t + \beta_0 i_t}{\frac{1}{R_L} + \frac{1}{r_o}} \quad (3.72)$$

因此

$$R_i = \frac{v_t}{i_t} = r_x + (\beta_0 + 1)(R_L // r_o) \quad (3.73)$$

射随器的一个一般特性是:从基极看进去的电阻等于 r_x 加上 $(\beta_0 + 1)$ 小信号下与射极相连的电阻的增量。式(3.73)中的 $(\beta_0 + 1)$ 一项为共集组态中从基极到射极的电流增益。它使连接在基极与小信号源之间的电阻下降并影响式(3.72)中的测试电压 v_t 。

下面通过去掉负载电阻 R_L 和找出从输入端看进去的戴维宁等效电阻来计算输出电阻 R_o 。可以利用加入测试电流计算电压的方法或者可以用加入测试电压计算电流的方法来计算。这种情况下,如果应用如图 3.24b 所示的测试电压 v_t 则使计算简化,其中电压 v_t 为

$$v_t = -v_i \left(\frac{r_x}{r_x + R_s} \right) \quad (3.74)$$

因此,总的输出电流为

$$i_t = \frac{v_t}{r_x + R_s} + \frac{v_t}{r_o} + g_m v_i \left(\frac{v_i}{r_x + R_s} \right) \quad (3.75)$$

所以

$$R_o = \frac{v_t}{i_t} = \left(\frac{R_s + r_x}{\beta_0 + 1} \right) // r_o \quad (3.76)$$

如果 $\beta_0 \gg 1$ 且 $r_o \gg (1/g_m) + R_s/(\beta_0 + 1)$, 则

$$R_o \approx \frac{1}{g_m} + \frac{R_s}{\beta_0 + 1} \quad (3.77)$$

式(3.77)表明输出电阻约等于 R_s 除以 $(\beta_0 + 1)$ 加上 $1/g_m$ 。在式(3.77)中,用 R_s 除以 $(\beta_0 + 1)$ 是因为基极电流流过 R_s ,且基极电流为射极电流的 $\frac{1}{\beta_0 + 1}$ 倍。

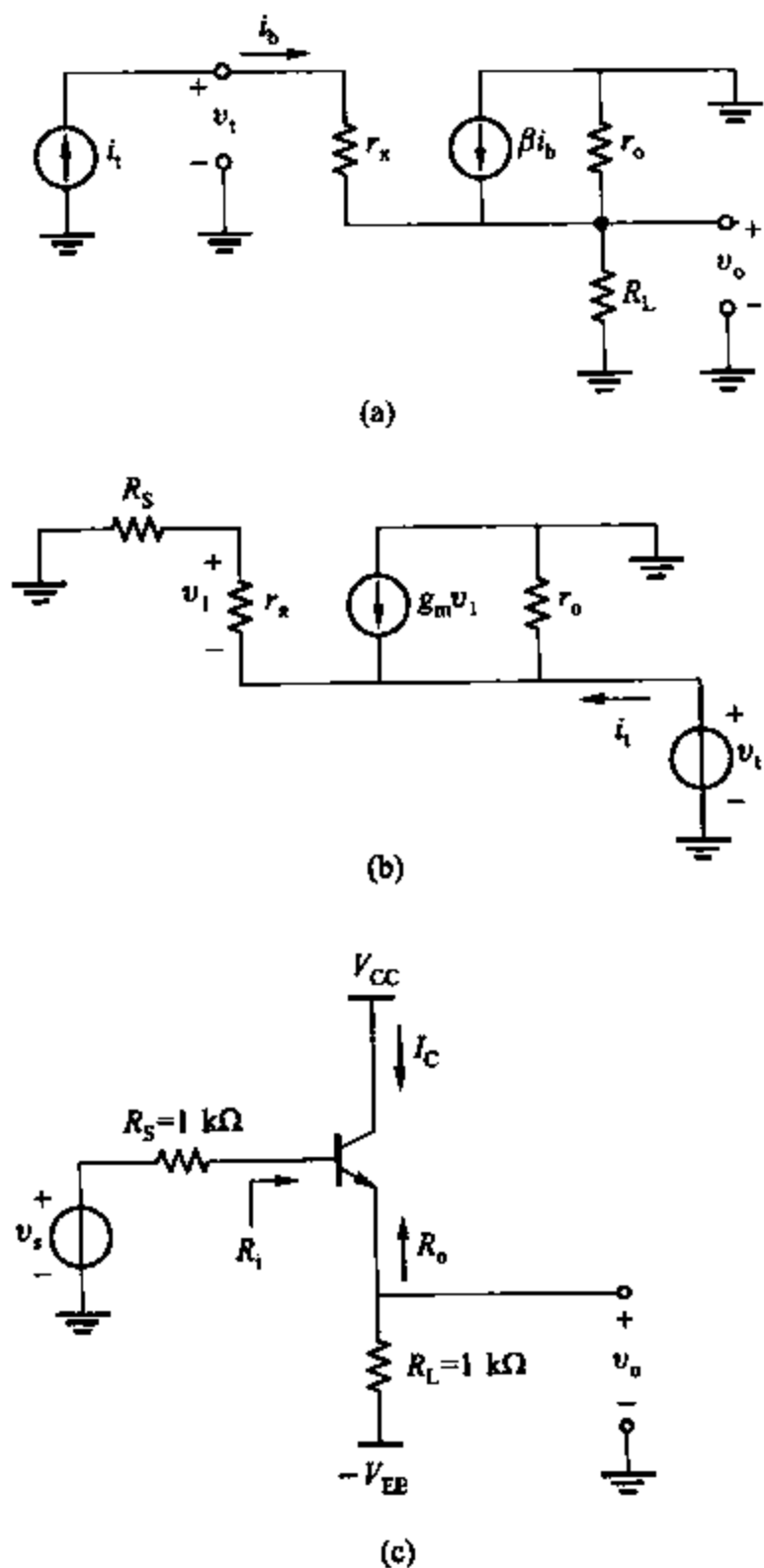


图 3.24 (a) 计算射随器输入电阻的电路;
(b) 计算射随器输出电阻的电路;(c) 射随器实例

因此,射随器有高输入电阻,低输出电阻和近似为单位值 1 的电压增益,它广泛应用于阻抗变换器,以减少作为后级输入阻抗的前级信号源负载。因为直流输出电压随直流输入电压 $V_{BE(on)}$ 变换,故其也应用于单位电压增益电平移动电路。

示例

计算射随器的输出电阻、输入电阻和电压增益,射随器如图 3.24c 所示,假定 $\beta_0 = 100$, $r_b = 0$, $r_o \rightarrow \infty$, 并且 $I_C = 100 \mu\text{A}$ 。

$$R_i = r_\pi + R_L(1 + \beta_0) = 26 \text{ k}\Omega + 1 \text{ k}\Omega \times 101 = 127 \text{ k}\Omega$$

$$\frac{v_o}{v_i} = \frac{1}{1 + \frac{r_\pi + R_s}{(\beta_0 + 1)R_L}} = \frac{1}{1 + \frac{26 \text{ k}\Omega + 1 \text{ k}\Omega}{101 \times 1 \text{ k}\Omega}} \approx 0.79$$

$$R_o = \frac{R_s + r_\pi}{1 + \beta_0} = \frac{1 \text{ k}\Omega + 26 \text{ k}\Omega}{101} \approx 270 \text{ k}\Omega$$

3.3.7 共漏组态(源极跟随器)

共漏组态如图 3.25a 所示。信号从栅极输入,从源极输出。从大信号的角度看,输出电压等于输入电压减去栅-源电压。栅-源电压包含两部分:阈值电压和过载电压,如果两部分均恒量,则输出电压为输入电压减去偏移量,则小信号增益为单位增益。因此,源极随栅极变化,电路也称为源极跟随器。实际上,衬底效应改变了阈值电压,过载电压依赖于漏极电流,除非 $R_L \rightarrow \infty$, 否则其随输入电压而改变。此外,即使电流恒定,过载电压仍随漏-源电压而改变,除非厄尔利电压为无穷大。现用小信号分析法来分析这一效应。

小信号等效电路如图 3.25b 所示。由于衬底在图 3.25a 中未画出,故假定衬底连接最低电压(这里为接地)来保持源-衬底 pn 结反向偏置。因为源极连接输出端,故输出改变时, v_{bs} 也改变,而且在一般情况下 g_{mb} 源是有效的。

在输入回路,由 KVL 有

$$v_i = v_{gs} + v_o \quad (3.78)$$

由输出开路, $i_o = 0$, 在输出结点,由 KCL 有

$$g_m v_{gs} - g_{mb} v_o - \frac{v_o}{R_L} - \frac{v_o}{r_o} = 0 \quad (3.79)$$

由式(3.78)解得 v_{gs} , 代入式(3.79), 整理得

$$\left. \frac{v_o}{v_i} \right|_{i_o=0} = \frac{g_m}{g_m + g_{mb} + \frac{1}{R_L} + \frac{1}{r_o}} = \frac{g_m r_o}{1 + (g_m + g_{mb})r_o + \frac{r_o}{R_L}} \quad (3.80)$$

如果 $R_L \rightarrow \infty$, 式(3.80)可简化为

$$\lim_{R_L \rightarrow \infty} \left. \frac{v_o}{v_i} \right|_{i_o=0} = \frac{g_m r_o}{1 + (g_m + g_{mb})r_o} \quad (3.81)$$

式(3.81)给出了由理想电流源代替负载电阻的源极跟随器开路电压增益。如果 r_o 有限,即使通过连接源极到衬底使 g_{mb} 无效而消除衬底效应,增益仍小于单位增益。这样,输出电压改变,则使漏-源电压和通过 r_o 的电流发生变化。从大信号的角度看,由式(1.165)有 $V_{GS} - V_t$, 表明过载电压也依赖于漏-源电压,除非沟道长度系数为 0, 这就使得小信号增

益要比单位增益。

从式(3.80)可以看出双极型射随器与 MOS 射随器的一个明显的区别。如果 $R_L \rightarrow \infty$ 、 $r_o \rightarrow \infty$, 则有

$$\lim_{\substack{R_L \rightarrow \infty \\ r_o \rightarrow \infty}} \frac{v_o}{v_i} = \frac{g_m}{g_m + g_{mb}} = \frac{1}{1 + \chi} \quad (3.82)$$

式(3.82)表示源极跟随器增益在这些条件下比单位增益小, 且增益依赖于 $\chi = g_{mb}/g_m$, 其值一般在 0.1~0.3 之间。相反, 在这些条件下, 射极跟随器增益则为单位增益。因此, 当衬底效应存在时, 源极跟随器增益并不像射极跟随器那样给定。另外, 式(1.200)表明当衬底接地时, χ 依赖于源-衬底电压, 该电压等于 V_o 。因此, 式(3.82)中计算增益就取决于输出电压, 如 5.3.2 节中所讲的增大了大信号输出失真。为了在实际中克服这些限制, 就要选择源极跟随器的类型(n 沟道或 p 沟道), 这样能使其在一隔离阱中形成。然后该阱可连接到放大器源极, 设定 $V_{SB} = 0$ 和 $v_{sb} = 0$ 。然而从阱到衬底的寄生电容使总电容增加, 从而减小了源极跟随器带宽。关于源极跟随器的频率响应将在第七章中讲述。

令 $v_i = 0$, 输出接电压源 v_o , 则可计算出如图 3.25b 所示的源极跟随器的输出电阻。然后令 $v_{gs} = -v_o$ 可得 i_o 为

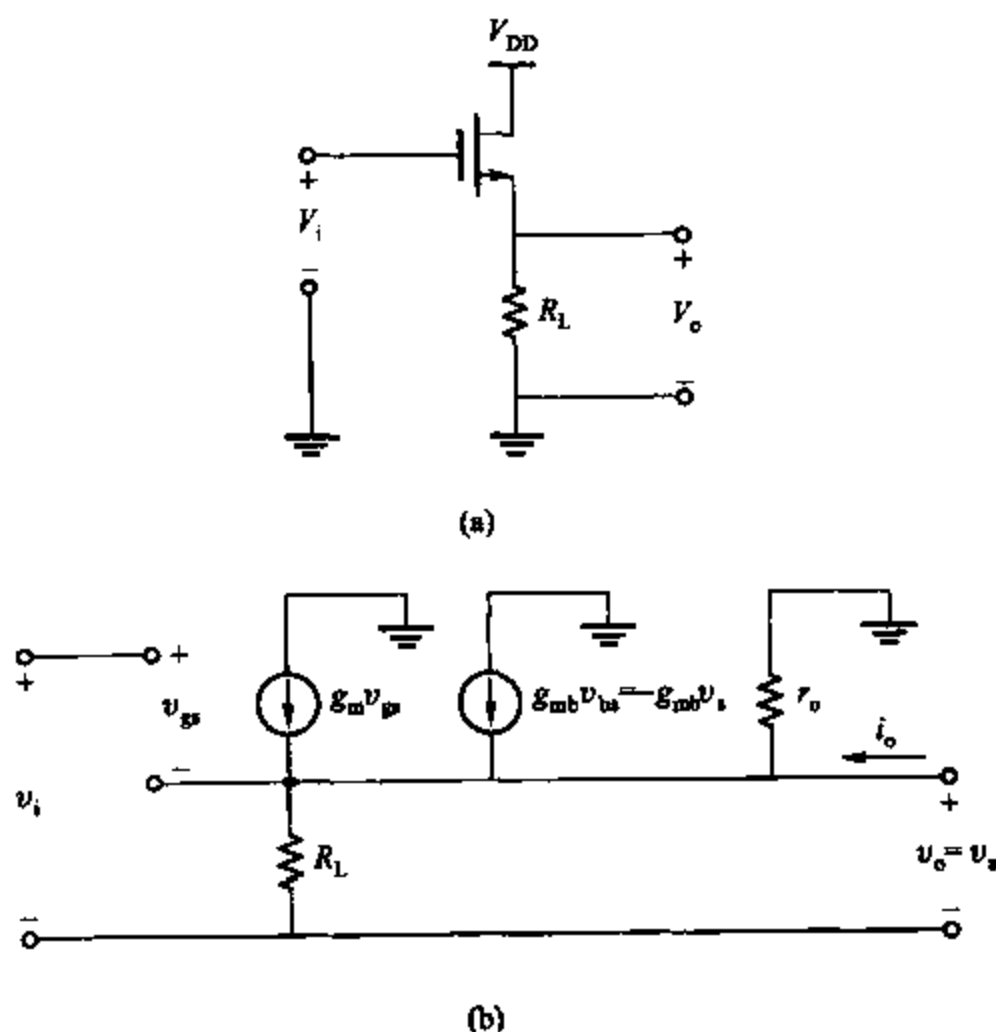


图 3.25 (a) 共漏组态; (b) 共漏组态的小信号等效电路

$$i_o = \frac{v_o}{r_o} + \frac{v_o}{R_L} + g_m v_o + g_{mb} v_o \quad (3.83)$$

整理得

$$R_o = \frac{v_o}{i_o} = \frac{1}{g_m + g_{mb} + \frac{1}{R_L} + \frac{1}{r_o}} \quad (3.84)$$

式(3.84)表明衬底效应减少了输出电阻,这正是我们所期望的,因为源极跟随器产生电压输出。这个有益效应是由图 3.25b 所示 g_{mb} 电源传输的非零小信号电流引入的,它使得当给定输出电压一个改变量时输出电流增大。当 $r_o \rightarrow \infty$ 且 $R_L \rightarrow \infty$ 时,该电路输出电阻达到 $1/(g_m + g_{mb})$,式(3.54)中共栅放大器输入电阻也可达到同样的有限值。

如同射随器,源极跟随器被用于电压缓冲和电平转移器,当用作电平转移器时,由于 V_{GS} 的直流值可通过 W/L 比值来改变,故源极跟随器比射随器灵活。

3.3.8 射极反馈的共射放大器

先前考虑的共射放大器,信号由基极输入,集电极输出,射极直流接地。而实际上,共射放大器电路常用到一系列的非零电阻,如图 3.26a 所示。这些电阻对电路有一定的影响,包括减小跨导,增大输出电阻,增大输入电阻等。这些变化由射极电阻 R_E 引入的负反馈产生。当 V_i 增大时,基极-发射极电压增加,从而使集电极电流增加。因此,当 $R_E = 0$ 时,射极电阻两端电压增加使基极-发射极电压减小。所以,非零电阻 R_E 通过负反馈使基极-发射极电压减小,产生射极反馈。在第八章中这一电路由反馈的观点加以检验。

在本节中将计算射极反馈的共射放大器的输入电阻、输出电阻和跨导。为了计算输入电阻和跨导,用图 3.26b 所示的小信号等效电路,并注意 v_i 、 i_b 和 i_o 。在发射极,由 KCL 有

$$\frac{v_e}{R_E} + \frac{v_e + i_o R_C}{r_o} = (\beta_0 + 1) i_b \quad (3.85)$$

在集电极,由 KCL 有

$$i_o + \frac{v_e + i_o R_C}{r_o} = \beta_0 i_b \quad (3.86)$$

在输入回路,由 KVL 有

$$i_b = \frac{v_i - v_e}{r_\pi} \quad (3.87)$$

由式(3.85)解得 i_o 代入式(3.86),整理得

$$v_e = i_b \left[\frac{1 + (\beta_0 + 1) \frac{r_o}{R_C}}{\frac{1}{R_C} + \frac{1}{R_E} + \frac{r_o}{R_C R_E}} \right] \quad (3.88)$$

将式(3.88)代入式(3.87)整理有

$$R_i = \frac{v_i}{i_b} = r_\pi + (\beta_0 + 1) R_E \left[\frac{r_o + \frac{R_C}{\beta_0 + 1}}{R_C + R_E + r_o} \right] \quad (3.89)$$

如果 $r_o \gg R_c$ 、 $r_o \gg R_E$, 式(3.89)中的最后一项括号内近似为单位值 1, 有

$$R_i \approx r_\pi + (\beta_0 + 1)R_E \quad (3.90)$$

因为式(3.89)中的最后一项括号内的值小于 1, 比较式(3.89)和式(3.90)可知 r_o 为有限值时减小了射极反馈的共射放大器的输入电阻。因为当 r_o 有限时, 流过 r_o 的非零电流减小。如果 v_i 增加, v_e 随 v_i 增加, 因为基极-发射极电压近似恒定, 但集电极电压 ($-i_o R_c$) 减小, 这很大程度上是由基极到集电极的小信号增益决定的。因此, 从射极通过 r_o 到集电极的电流增加, 使基极电流增加且使输入电阻减小。实际上, 式(3.90)常用于计算输入电阻, 近似中的误差通常很小, 除非 R_E 或 R_c 非常大, 如使用晶体管实现有源负载配置时。有源负载将在第四章中介绍。

现在来计算跨导。首先在图 3.26b 中令 $R_c = 0$, 因为 $G_m = i_o/v_i$ 且输出短路, 将式(3.87)代入式(3.85), 且 $R_c = 0$, 整理得

$$v_o = v_i \left[\frac{\frac{\beta_0 + 1}{r_\pi}}{\frac{1}{r_o} + \frac{1}{R_E} + \frac{\beta_0 + 1}{r_\pi}} \right] \quad (3.91)$$

将式(3.87)和式(3.91)代入式(3.86)且 $R_c = 0$, 整理得

$$G_m = \frac{i_o}{v_i} = g_m \left[\frac{1 - \frac{R_E}{\beta_0 r_o}}{1 + g_m R_E \left(1 + \frac{1}{\beta_0} + \frac{1}{g_m r_o} \right)} \right] \quad (3.92)$$

在大多数实际电路中 $\beta_0 \gg 1$ 、 $r_o \gg R_E$ 且 $g_m r_o \gg 1$, 则有

$$G_m \approx \frac{g_m}{1 + g_m R_E} \quad (3.93)$$

式(3.93)常用于计算射极反馈的共射放大器的跨导。

图 3.26c 所示等效电路可以用来计算输出电阻, 这时, 假定 R_c 非常大, 可以忽略, 测试电流 i_i 从并联电阻中流过, 则有

$$v_i = -i_i (r_\pi // R_E) \quad (3.94)$$

从 r_o 中流过的电流为

$$i_1 = i_i - g_m v_i = i_i + i_i g_m (r_\pi // R_E) \quad (3.95)$$

因此, 电压 v_i 为

$$v_i = -v_1 + i_1 r_o = i_i (r_\pi // R_E) + i_i r_o [1 + g_m (r_\pi // R_E)] \quad (3.96)$$

因此

$$R_o = \frac{v_i}{i_i} = (r_\pi // R_E) + r_o [1 + g_m (r_\pi // R_E)] \quad (3.97)$$

在这一等式中, 第一项远小于第二项。如果省略第一项, 则有

$$R_o \approx r_o \left(1 + g_m \frac{r_\pi R_E}{r_\pi + R_E} \right) = r_o \left[1 + \frac{g_m R_E}{1 + \frac{R_E}{r_\pi}} \right] = r_o \left[1 + \frac{g_m R_E}{1 + \frac{g_m R_E}{\beta_0}} \right] \quad (3.98)$$

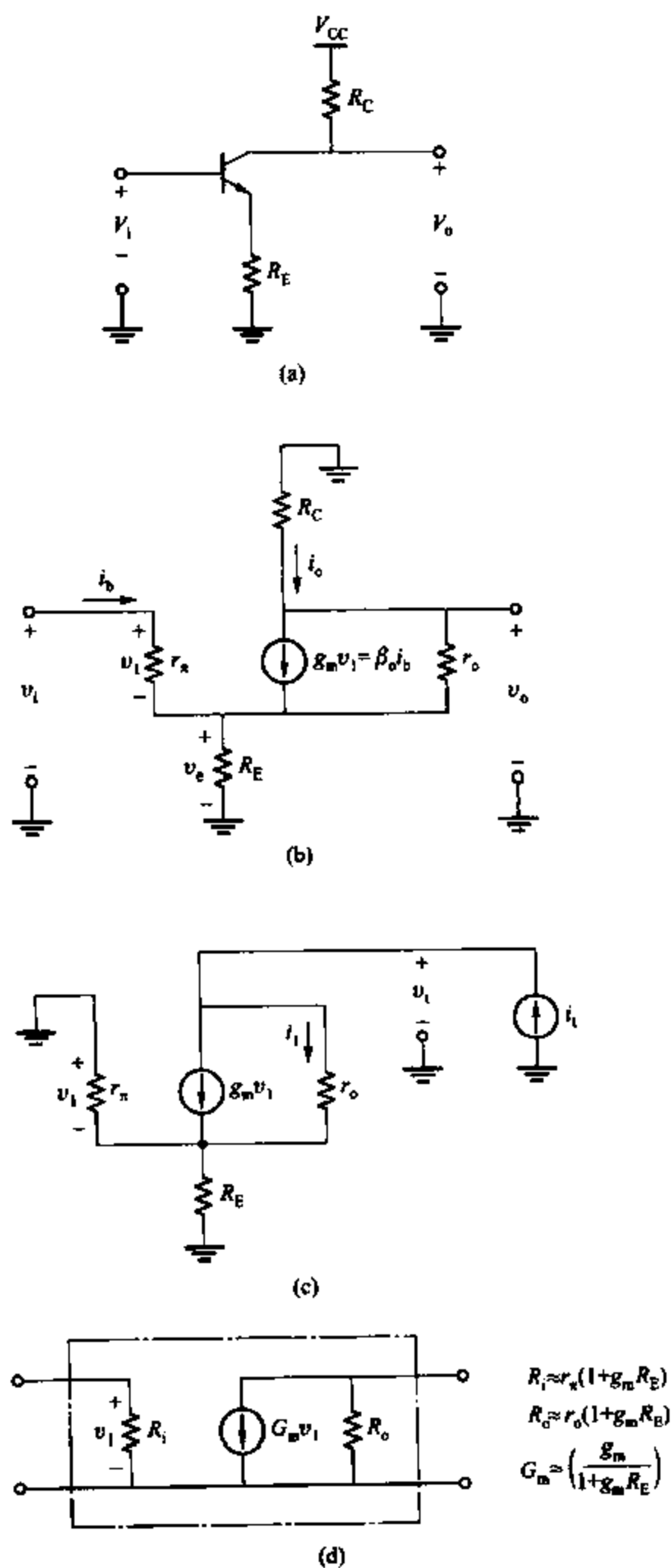


图 3.26 (a) 射极反馈的共射放大器; (b) 射极反馈的共射放大器小信号等效电路;
(c) 计算输入电阻的电路; (d) 射极反馈的共射放大器小信号双口等效网络图

如果 $g_m R_E \ll \beta_0$, 则有

$$R_o \approx r_o(1 + g_m R_E) \quad (3.99)$$

因此, 输出电阻随 $(1 + g_m R_E)$ 增大, 这使得晶体管电流源的射极反馈得以应用。如果集电极负载电阻 R_C 不够大而不能忽略时, 就应包括式(3.97)~(3.99)的并联。忽略 R_C 的小信号等效电路如图 3.26d 所示。此外, 如果 $g_m R_E \gg \beta_0$, 式(3.98)表示为

$$R_o \approx r_o(1 + \beta_0) \quad (3.100)$$

因为当 β_0 有限时, 非零测试电流从 r_o 流过, 故即使 $R_E \rightarrow \infty$ 时输出电阻仍有限。

3.3.9 源极反馈的共源放大器

MOS 晶体管的源极反馈不像射极反馈那样应用广泛, 至少有以下两种原因: 首先, MOS 晶体管的跨导一般远小于双极型晶体管, 这样, 进一步减小跨导通常是不必要的。其次, 虽然双极型晶体管的反馈可增大输入电阻, 而 MOS 晶体管即使不用反馈就有无限大的 R_i 。但因为源极反馈广泛应用于增大 MOS 晶体管电流源的输出电阻, 故检验源极反馈的影响是非常必要的。另外, 由于 MOS 晶体管几何尺寸小, 能通过增加源极电阻来构成理想平方律器件模型, 如 1.7.1 所述。下面来考虑源极反馈的影响。

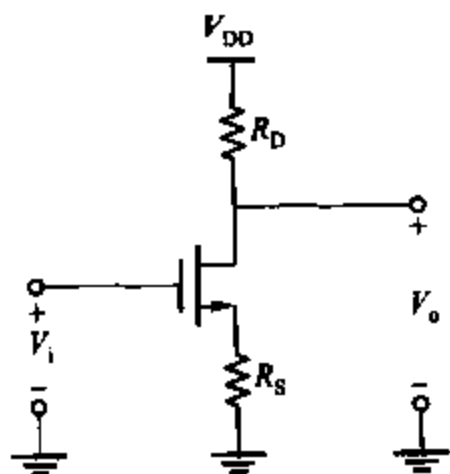


图 3.27 带源极反馈的共源放大器

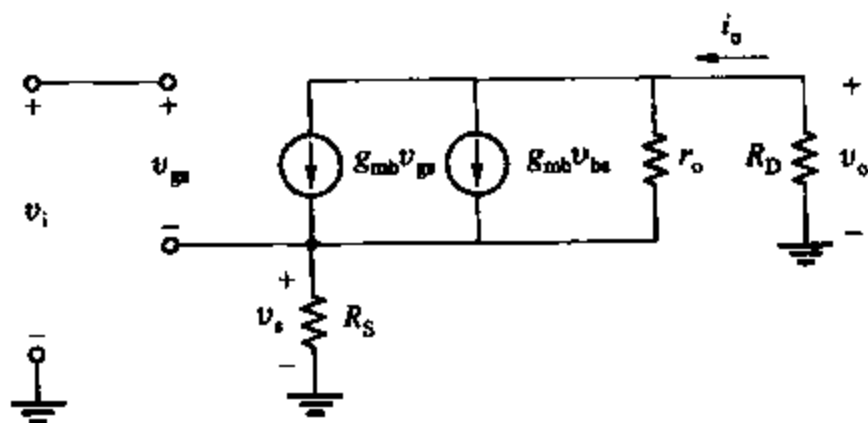


图 3.28 带源极反馈的共源放大器的小信号等效电路

源极反馈共源放大器如图 3.27 所示。其小信号等效电路如图 3.28 所示。因为输入连接于 MOS 晶体管的栅极, 故 R_i 无限大。为了计算跨导, 令 $R_D = 0$, 因为 $G_m = i_o/v_i$ 且输入短路。而且, 由于连接于衬底的部分未在图中画出, 故假定衬底接最低电压, 即接地。因此, 直流衬底电压恒定, 且 $v_b = 0$ 。在源极 $R_D = 0$, 由 KCL 有

$$\frac{v_s}{R_S} + \frac{v_o}{r_o} = g_m(v_i - v_s) + g_{mb}(0 - v_s) \quad (3.101)$$

在漏极 $R_D = 0$, 由 KCL 有

$$i_o + \frac{v_s}{r_o} = g_m(v_i - v_s) + g_{mb}(0 - v_s) \quad (3.102)$$

由式(3.101)解得 v_s , 代入式(3.102)整理有

$$G_m = \frac{i_o}{v_i} = \frac{g_m}{1 + (g_m + g_{mb})R_S + \frac{R_S}{r_o}} \quad (3.103)$$

如果 $r_o \gg R_S$, 则

$$G_m \approx \frac{g_m}{1 + (g_m + g_{mb})R_S} \quad (3.104)$$

对于较大的 R_S , 式(3.104)表示 G_m 接近于 $1/[(1 + \chi)R_S]$ 。即使在这一极限条件下, 源极反馈共源放大器的跨导仍依赖于有源器件参数 χ 。由于 χ 一般在 0.1~0.3 之间, 在这种情况下, 衬底效应引起跨导值偏移 $1/R_S$ 大约为 10%~20%。相应的, 式(3.92)表明射极反馈共射放大器跨导对于较大的 R_E 可达到 $\beta_0/[(\beta_0 + 1)R_E]$, 此时假定了 $r_o \gg R_E$ 、 $g_m r_o \gg 1$ 。如果 $\beta_0 > 100$, 则双极型晶体管的跨导相对 $1/R_E$ 的变化量在 1% 以内。因此, 源极反馈共源放大器 MOS 晶体管要比双极型晶体管更依赖于参数 χ 。

当忽略 R_D 时, 输出电阻可由图 3.29 所示电路计算求得, 由于整个测试电流流过 R_S , 即有

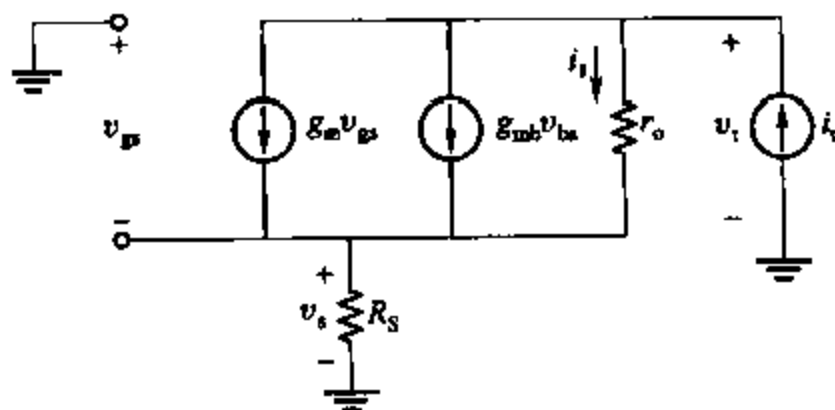


图 3.29 计算输出电阻的电路

$$v_s = i_t R_S \quad (3.105)$$

则有

$$v_t = v_s + i_1 r_o = v_s + r_o [i_t - g_m (0 - v_s) - g_{mb} (0 - v_s)] \quad (3.106)$$

将式(3.105)代入式(3.106)整理得

$$R_o = \frac{v_t}{i_t} = R_S + r_o [1 + (g_m + g_{mb})R_S] \quad (3.107)$$

等式表明 R_S 非常大, R_o 继续增大。相应的, 式(3.100)表明当 $R_E \rightarrow \infty$ 时, 射极反馈共射放大器的输出电阻达到最大值, 即 $(\beta_0 + 1)r_o$ 。

3.4 多级放大器

多数集成电路放大器包括很多级, 每一级都有电压增益、电流增益或由输入到输出的传

输特性。这样的电路可以将每一个晶体管看成一级并按独立晶体管去分析。然而,经常有一些晶体管组合具有了子电路的特性,它们常被看成单独的一级。这一工艺使得拓扑变形发挥作用。例如,达林顿双管连接在双极型晶体管集成电路中常被用于提高电流增益和单管的输入电阻。但由于 MOS 晶体管的电流增益和输入电阻为无限大,故这种连接在纯 MOS 晶体管集成电路中很少使用。此外,串接(cascode^①)连接方式能得到很高的输出电阻,这在双极型晶体管和 MOS 晶体管中都非常有用。

3.4.1 共集-共射,共集-共集及达林顿组态

共集-共射(CC-CE)、共集-共集(CC-CC)和达林顿⁵组态都比较相近。它们并入一个晶体管来提高电流增益和基本双极型晶体管的输入电阻。共集-共射组态如图 3.30a 所示。偏置电流源 I_{BIAS} 表示保持射随器晶体管 Q_1 的直流控制恒定电流。这一电流源可能在一些情况下省去或由一个电阻代替。共集-共集组态如图 3.30b 所示。在这两种组态中,晶体管 Q_1 的作用是提高电流增益和增大输入电阻。为了分析低频小信号电路,两晶体管 Q_1 和 Q_2 可以看成是一个复合的晶体管,如图 3.31 所示。其小信号等效电路如图 3.32 所示。假定忽略 Q_1 的 r_o 的影响。现在来计算这一复合组态的有效参数 r_π , g_m , β_0 和 r_o ,并指出这此复杂的参数用上角标 c。同时对这一复合器件的端电压和端电流也加上上标 c。其中假定 β_0 恒定。

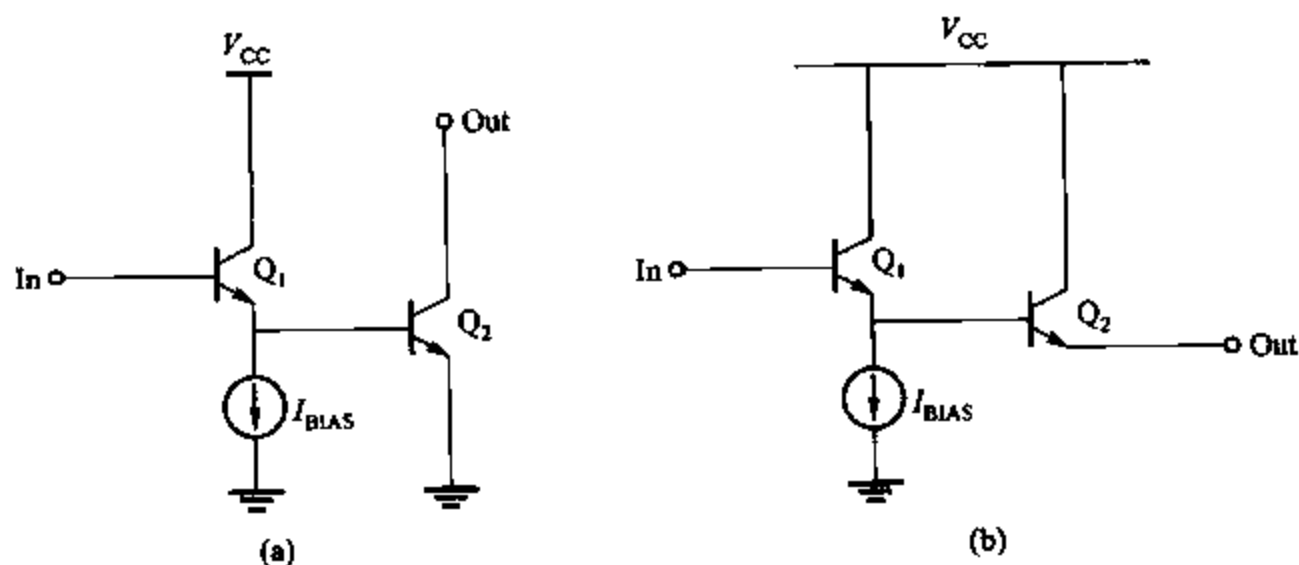


图 3.30 (a) 共集-共射组态;(b) 共集-共集组态

r_π 的有效值 r_π^c ,是在复合射极 E^c 接地的情况下,从复合基极 B^c 看进去的电阻值,图 3.32 中,在复合射极 E^c 接地的情况下,从 Q_2 的基极看进去的电阻为 $r_{\pi 2}$,因此,用于计算射随器的输入电阻的式(3.73)在这里可以应用。用 $r_{\pi 2}^c$ 代替负载电阻 R_L 并令 $r_o \rightarrow \infty$ 则有

$$r_\pi^c = r_{\pi 1} + (\beta_0 + 1)r_{\pi 2}^c \quad (3.108)$$

g_m^c 即组态的跨导为在 E^c 、 C^c 接地情况下 v_{be}^c 单位变化引起 Q_2 集电极电流 i_c^c 的变化

① cascode 是一种电路结构形式,指共射共基或共源共栅级联放大器。

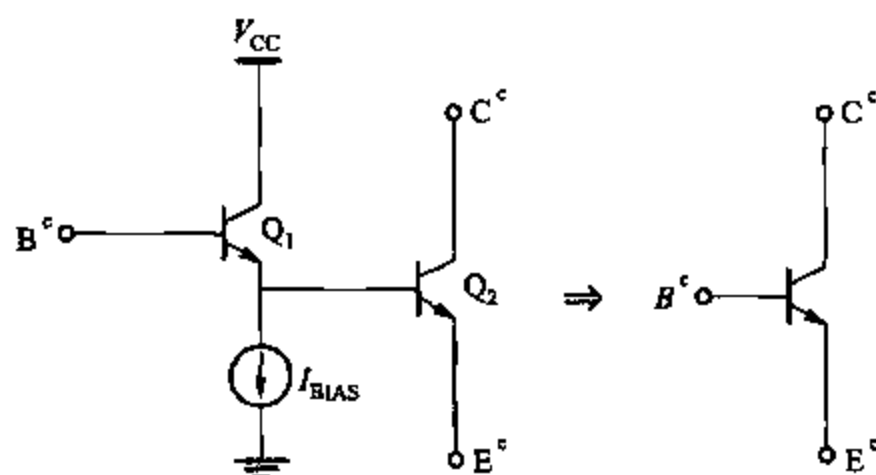


图 3.31 共集-共射和共集-共集组态的复合组态

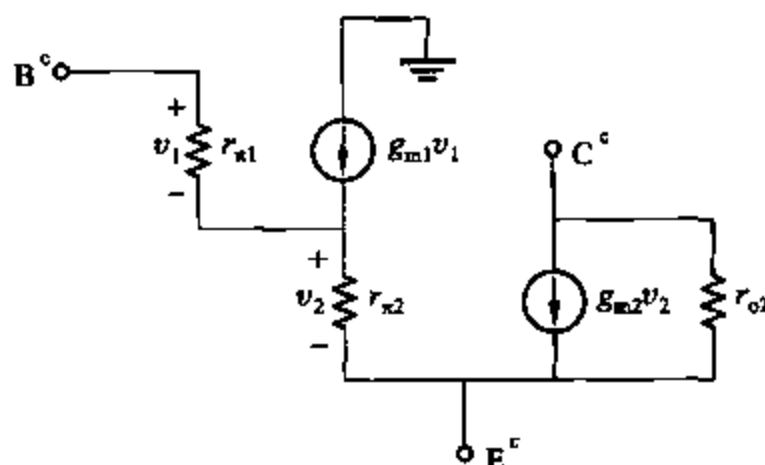


图 3.32 共集-共射和共集-共集组态的小信号等效电路

量。为了计算这一跨导,首先计算 v_{be}^c 单位变化引起的 v_2 的改变量。直接应用式(3.69)有

$$\frac{v_2}{v_{be}^c} = \frac{1}{1 + \left(\frac{r_{\pi 1}}{(\beta_0 + 1)r_{\pi 2}} \right)} \quad (3.109)$$

同时有

$$i_c^c = g_m^c v_{be}^c = g_{m2} v_2 = \frac{g_{m2} v_{be}^c}{1 + \left(\frac{r_{\pi 1}}{(\beta_0 + 1)r_{\pi 2}} \right)} \quad (3.110)$$

因此有

$$g_m^c = \frac{i_c^c}{v_{be}^c} = \frac{g_{m2}}{1 + \left(\frac{r_{\pi 1}}{(\beta_0 + 1)r_{\pi 2}} \right)} \quad (3.111)$$

对于偏置电流为零的特殊情况, Q_1 的射极电流等于 Q_2 的基极电流。则 $r_{\pi 1}$ 和 $r_{\pi 2}$ 的比值为 $(\beta_0 + 1)$, 且有

$$g_m^c = \frac{g_{m2}}{2} \quad (3.112)$$

有效的电流增益 β^c 为

$$\beta^c = \frac{i_c^c}{i_b^c} = \frac{i_{c2}}{i_{b1}} \quad (3.113)$$

Q_1 的射极电流为

$$i_{e1} = (\beta_0 + 1) i_{b1} \quad (3.114)$$

由于 $i_{e1} = i_{b2}$, 有

$$i_{c2} = i_c^c = \beta_0 i_{b2} = \beta_0 (\beta_0 + 1) i_{b1} = \beta_0 (\beta_0 + 1) i_b^c \quad (3.115)$$

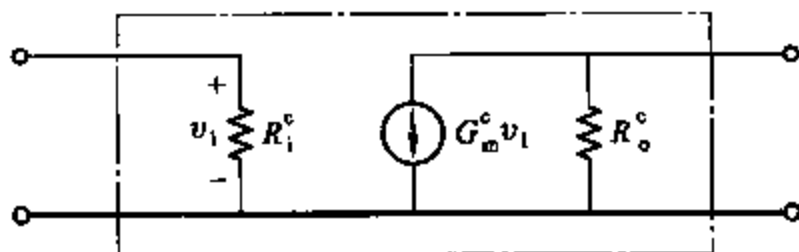
因此有

$$\beta^c = \beta_0 (\beta_0 + 1) \quad (3.116)$$

式(3.116)表明复合晶体管的电流增益约等于 β_0^2 , 此外, 由图 3.22, 假定 r_{μ} 忽略, 有

$$r_o^c = r_{o2} \quad (3.117)$$

共集-共射连接的小信号二端口等效网络如图 3.33 所示, 其中不包括集电极电阻 R_C 。这一小信号等效网络可用于分析这一组态的小信号器件模型。



$$R_i^c = r_{\pi}^c = r_{\pi1} + (\beta_0 + 1) r_{\pi2}$$

$$G_m^c = g_m^c = \frac{g_{m2}}{1 + \left[\frac{r_{\pi1}}{(\beta_0 + 1) r_{\pi2}} \right]}$$

$$R_o^c = r_o^c = r_{o2}$$

图 3.33 共集-共射连接的二端口网络表示

图 3.34 所示为达林顿组态, 它为双管复合组态, 两管的集电极连在一起, 第一个管的射极驱动第二个管的基极。由偏置因子控制 Q_1 的射极电流。三端复合晶体管可用于代替单独的共射、共集、共基组态放大器。当用作射随器时, 等价于已讲过的共集-共集组态。当用于共射放大器时, 除了 Q_1 的集电极连接于输出端而代替电源外, 其与共集-共射连接很相似。这一改变的作用之一是减小对放大器输出电阻的影响, 因为 Q_1 的 r_o 产生反馈。同时, 因为 Q_1 的集电极-基极电容由输入端连接到输出端, 增大了输入电容。由于这些反馈的作用, 共集-共射组态常用于集成小信号放大器中。达林顿连接常参照共集-共集和共集-共射连接。

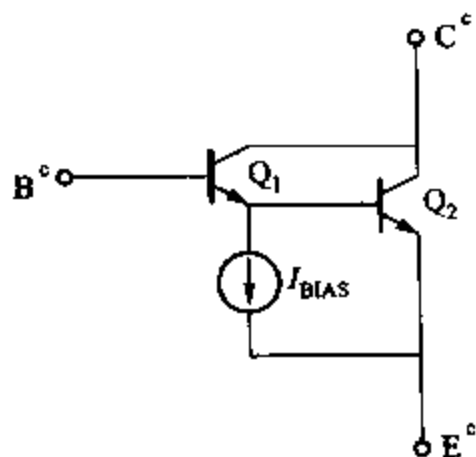


图 3.34 达林顿组态

如前所述, 达林顿组态用于提高双极型晶体管的电流增益, 而对纯 MOS 管电路并无作用。在 BiCMOS 工艺中, 如图 3.35 所示, 当 Q_1 用 MOS 晶体管时是一种潜在的有用连接。

这一组态不仅考虑到无限大的输入电阻和 MOS 晶体管的电流增益,而且还考虑到了双极型晶体管大的跨导。

示例

计算如图 3.31 所示符合晶体管的 r_x^c 、 β^c 和 g_m^c 参数,对于图中两个器件,假定 $\beta_0 = 100$, $r_b = 0$ 且 $r_o \rightarrow \infty$,对晶体管 Q_2 ,假定 $I_C = 100 \mu A$ 、 $I_{BIAS} = 10 \mu A$ 。

Q_2 的基极电流为 $100 \mu A / 100 = 1 \mu A$,因此 Q_1 的射极电流为 $11 \mu A$,则

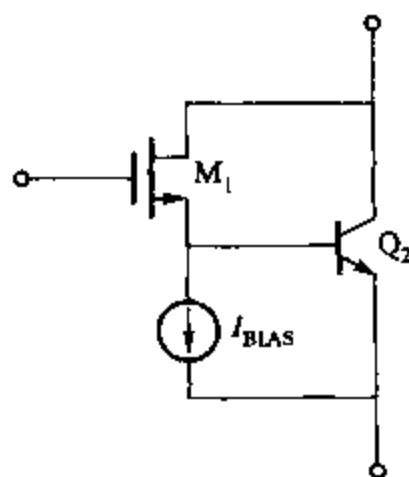


图 3.35 BiCMOS 工艺中的达林顿连接

$$\begin{aligned} r_{x1} &= \frac{\beta_0}{g_m} = \frac{100}{11 \mu A / 26 \text{ mV}} = 236 \text{ k}\Omega \\ g_{m1} &= (2.36 \text{ k}\Omega)^{-1} \\ r_{x2} &= 26 \text{ k}\Omega \\ g_{m2} &= (260 \Omega)^{-1} \\ r_x^c &= 236 \text{ k}\Omega + 101 \times 26 \text{ k}\Omega = 2.8 \text{ M}\Omega \\ \beta^c &= (101)(100) = 10\,000 \\ g_x^c &= g_{m2}(0.916) = (283 \Omega)^{-1} \end{aligned}$$

因此,复合晶体管与单管相比有很高的输入电阻和电流增益。

3.4.2 串接组态

串接组态首先是为真空管电路而发明的。^{6,7} 对于真空管,发射电子的一端为阴极,控制电流端为栅极,收集电子的一端为阳极,串接组态为共阴电路和共栅电路串联在第一级的阳极与第二级的阴极。串接组态非常重要,因为它能增大输出电阻和减小不必要的放大器的反馈电容,并可以在高频下工作(后者是串接组态的独特优势)。高输出电阻可用于降低偏置参考电源对电源电压改变的偏置敏感程度并可得到很大的电压增益。这些应用将在第四章中讲述。关于频率响应将在第七章中讲述。这里关注这一组态的低频小信号特性。

3.4.2.1 双极型串接组态

如图 3.36 所示,在双极型晶体管模式下,串接组态为共射-共基(CE-CB)放大器。这里假定在两个放大器中 r_b 均为 0。虽然基极电阻对低频状态的影响可以忽略,但对于高频状态,非零的 r_b 却有很大的影响。这些将在第七章中具体讲述。

如图 3.37 所示为双极型晶体管串接组态的小信号等效电路。由于只考虑低频状态,所以可以忽略各放大器的电容。现在计算该放大器的输入电阻、输出电阻和跨导。图 3.37 表明输入电阻为

$$R_i = r_{x1} \quad (3.118)$$

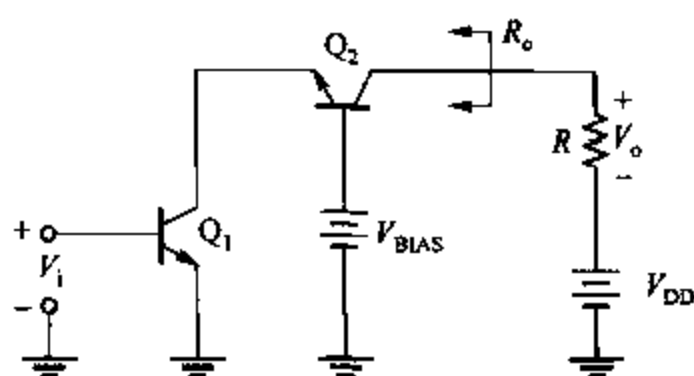


图 3.36 双极型晶体管串接组态

由于 Q_2 的射极到集电极的电流增益基本恒定,故电路输入端到输出端的跨导为

$$G_m \approx g_{m1} \quad (3.119)$$

可以通过令输入 v_i 接地和在输出端接一个测试信号来计算输出电阻。这样,图 3.37 中 $v_i = 0$ 及 $g_m v_i$ 源是无效的。这一电路等价于图 3.26c 中所示的射极反馈的双极型晶体管。因此,利用式(3.98)且 $R_E = r_{o1}$ 则有输出电阻为

$$R_o \approx r_{o2} \left(1 + \frac{g_{m2} r_{o1}}{1 + \frac{g_{m2} r_{o1}}{\beta_0}} \right) \quad (3.120)$$

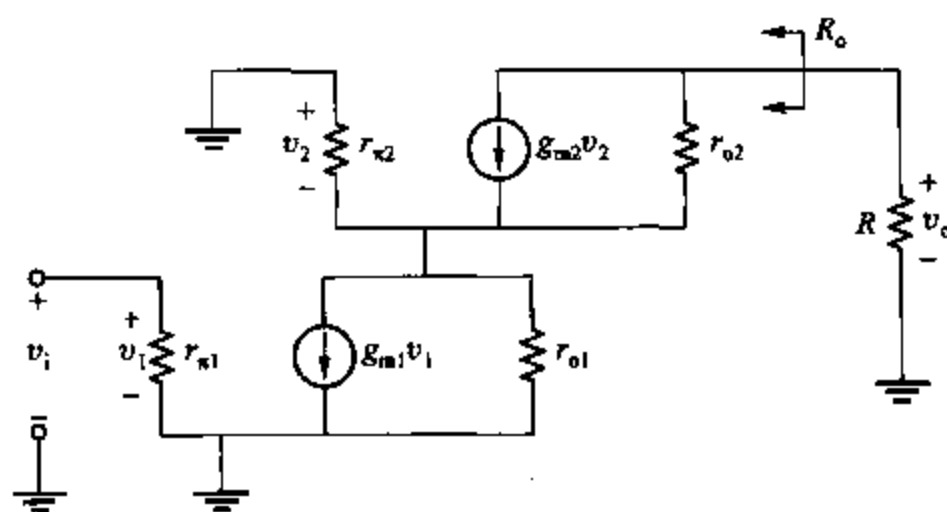


图 3.37 双极型晶体管共射共基组态连接的小信号等效电路

如果 $g_{m2} r_{o1} \gg \beta_0$, $\beta_0 \gg 1$, 则有

$$R_o \approx \beta_0 r_{o2} \quad (3.121)$$

因此,共射-共基连接电路比单独的共射级电路有较大的 β_0 值。如果电路接有一个假定的无限大的集电极负载,则电压增益为

$$A_v = \frac{v_o}{v_i} = -G_m R_o \approx -g_{m1} r_{o2} \beta_0 = -\frac{\beta_0}{\eta} \quad (3.122)$$

因此,由于 β_0 的原因,这一电路的最大电压增益要比单管电路的大。对于典型的 npn 晶体管, β_0/η 约为 2×10^5 , 这一分析中忽略了 r_μ , 如在第一章中所描述,对于集成电路 npn 晶体

管的 r_{μ} 比 $\beta_0 r_o$ 要大得多, 对 R_o 几乎没有影响。但对于横向 npn 晶体管, 两者差不多, 故其可使 R_o 增大。

3.4.2.2 MOS 晶体管串接组态

如图 3.38 所示, 在 MOS 晶体管模式下, 串接组态为共源-共栅 (CS-CG) 放大器。其小信号等效电路如图 3.39 所示。由于输入端接于 M_1 的栅极, 故输入电阻为

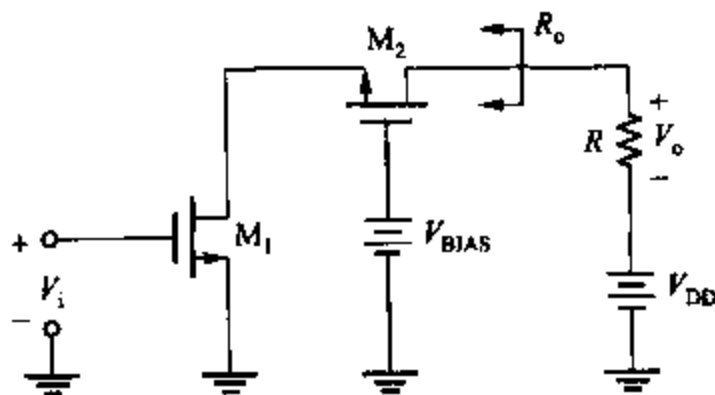


图 3.38 MOS 晶体管串接组态

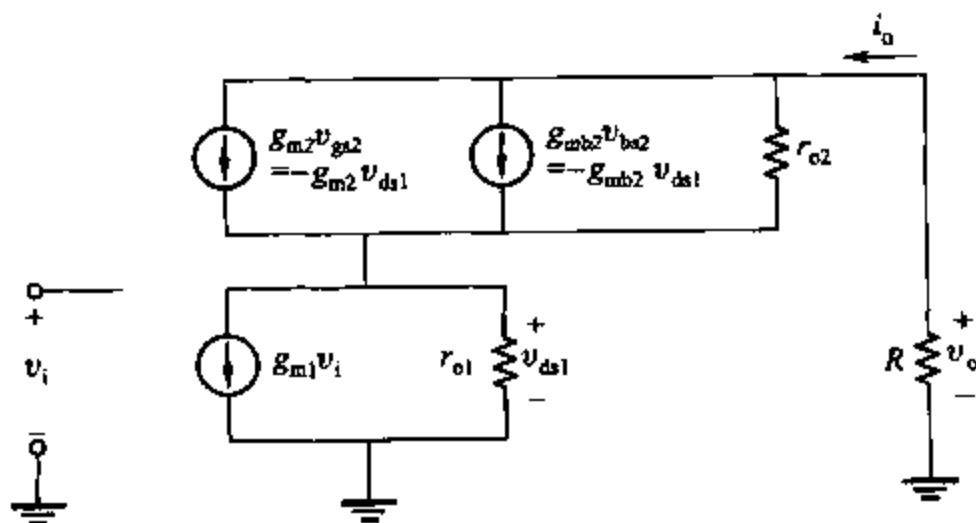


图 3.39 MOS 晶体管串接组态小信号等效电路

$$R_i \rightarrow \infty \quad (3.123)$$

为了计算跨导, 令 $R = 0$ 使输出短路, 并计算电流。在输出端, 由 KCL 有

$$i_o + g_{m2} v_{ds1} + g_{mb2} v_{ds1} + \frac{v_{ds1}}{r_{o2}} = 0 \quad (3.124)$$

在 M_2 的源极, 由 KCL 有

$$g_{m1} v_i + g_{m2} v_{ds1} + g_{mb2} v_{ds1} + \frac{v_{ds1}}{r_{o1}} + \frac{v_{ds1}}{r_{o2}} = 0 \quad (3.125)$$

由式(3.123)解出 v_{ds1} , 代入式(3.124)整理有

$$G_m = \frac{i_o}{v_i} \Big|_{v_o=0} = g_{m1} \left[1 - \frac{1}{1 + (g_{m2} + g_{mb2})r_{o1} + \frac{r_{o1}}{r_{o2}}} \right] \approx g_{m1} \quad (3.126)$$

式(3.126)表明简单串接组态的跨导比 g_{m1} 小。但如果 $(g_{m2} + g_{mb2})r_o \gg 1$, 则其区别很小, 在这里简单串接组态对跨导的影响很小。由 M_2 的源极看进去的电阻 R_{i2} 比 r_{o1} 小得多, 由式(3.54)和式(3.55)且令 $R = R_D // R_L$ 有

$$R_{i2} = \frac{r_{o2} + R}{1 + (g_{m2} + g_{mb2})r_{o2}} \approx \frac{1}{g_{m2} + g_{mb2}} + \frac{R}{(g_{m2} + g_{mb2})r_{o2}} \quad (3.127)$$

在计算跨导时, 令 $R=0$, 故 $v_o=0$ 。则 $R_{i2} \approx 1/(g_{m2} + g_{mb2})$, 且因为 $R_{i2} \ll r_{o1}$, 所以 $g_{m1}v_i$ 电流的大部分流入 M_2 的源极。最后, 从源极到 M_2 的漏极的电流增益恒定。因此, 如式(3.126)所示, 电流的大部分流入输出端且 $G_m \approx g_{m1}$ 。

为了计算输出电阻, 令 $v_i=0$, 即令图 3.39 中的 g_{m1} 无效, 将模型中的共源晶体管 M_1 简化为 r_{o1} , 因此, 串接组态的输出电阻可以通过将 $R_S = r_{o1}$ 代入式(3.66)得到, 其为共栅放大器的驱动。为了强调串接组态的输出电阻, 令 R 无限大, 则有

$$R_o = r_{o1} + r_{o2} + (g_{m2} + g_{mb2})r_{o1}r_{o2} \approx (g_{m2} + g_{mb2})r_{o1}r_{o2} \quad (3.128)$$

式(3.128)表明与共源放大器相比, MOS 晶体管串接组态通过 $(g_m + g_{mb})r_o$ 因子来增大其输出电阻。

也可以通过另一种方法, 即从串接组态的应用方面考虑, 来增大输出电阻。现令 i_o 表示图 3.39 中流入输出端的电流, 其中输出端电压为 v_o 。由于 $v_{ds1} = i_o r_{o1}$, 当 $v_i=0$ 时, 输出电阻为

$$R_o = \frac{v_o}{i_o} \Big|_{v_i=0} = \frac{v_o}{(v_{ds1}/r_{o1})} \Big|_{v_i=0} = r_{o1} \left(\frac{v_{ds1}}{v_o} \right)^{-1} \Big|_{v_i=0} \quad (3.129)$$

为了计算 v_{ds1}/v_o , 观察图 3.40 所示的修改过的小信号电路。在图 3.40a 中, $R \rightarrow \infty$, 故可集中关注串接电路本身的输出电阻。另外, 由于 $v_i=0$, $g_{mb2}v_{ds1}$ 可以省略, 而 $g_{m2}v_{ds1}$ 和 $g_{mb2}v_{ds1}$ 可以合并为一个等价的 $(g_{m2} + g_{mb2})v_{ds1}$ 。在图 3.40b 中, 由 M_2 的源极到漏极的 $(g_{m2} + g_{mb2})v_{ds1}$ 可由两个等值部分替代: 一个是从地到 M_2 的漏极, 一个是从 M_2 的源极到地。这同在图 3.20 中将共栅放大器由混合 π 模型转化为 T 模型类似。因为描述图 3.40a 和图 3.40b 所示电路的等式是等价的, 故两图所示电路也是等价的。最后, 在图 3.40c 中, 由受其自身两端电压控制的从 M_2 的源极到地的电流源可用值为 $1/(g_{m2} + g_{mb2})$ 的等效电阻替代。图 3.40c 中的电流 $(g_{m2} + g_{mb2})v_{ds1}$ 流入源极测试电压 v_o , 由图 3.40c 中所示的两个电阻把电压分配为

$$\frac{v_{ds1}}{v_o} = \frac{\left(\frac{1}{g_{m2} + g_{mb2}} \right) // r_{o1}}{\left[\left(\frac{1}{g_{m2} + g_{mb2}} \right) // r_{o1} \right] + r_{o2}} \approx \frac{R}{(g_{m2} + g_{mb2})r_{o2}} \quad (3.130)$$

将式(3.130)代入式(3.129)并整理得到与式(3.128)同样的结果。在式(3.130)中, $1/(g_{m2} + g_{mb2})$

$+g_{mb2}$)表示图 3.39 中输出电压控制时,从共栅晶体管 M_2 的源极看进去的电阻。这里的关键点是可通过减小共栅放大器的输入电阻增加串接组态的输出电阻,因为这样 v_{ds1} 和 i_o 同时减小。

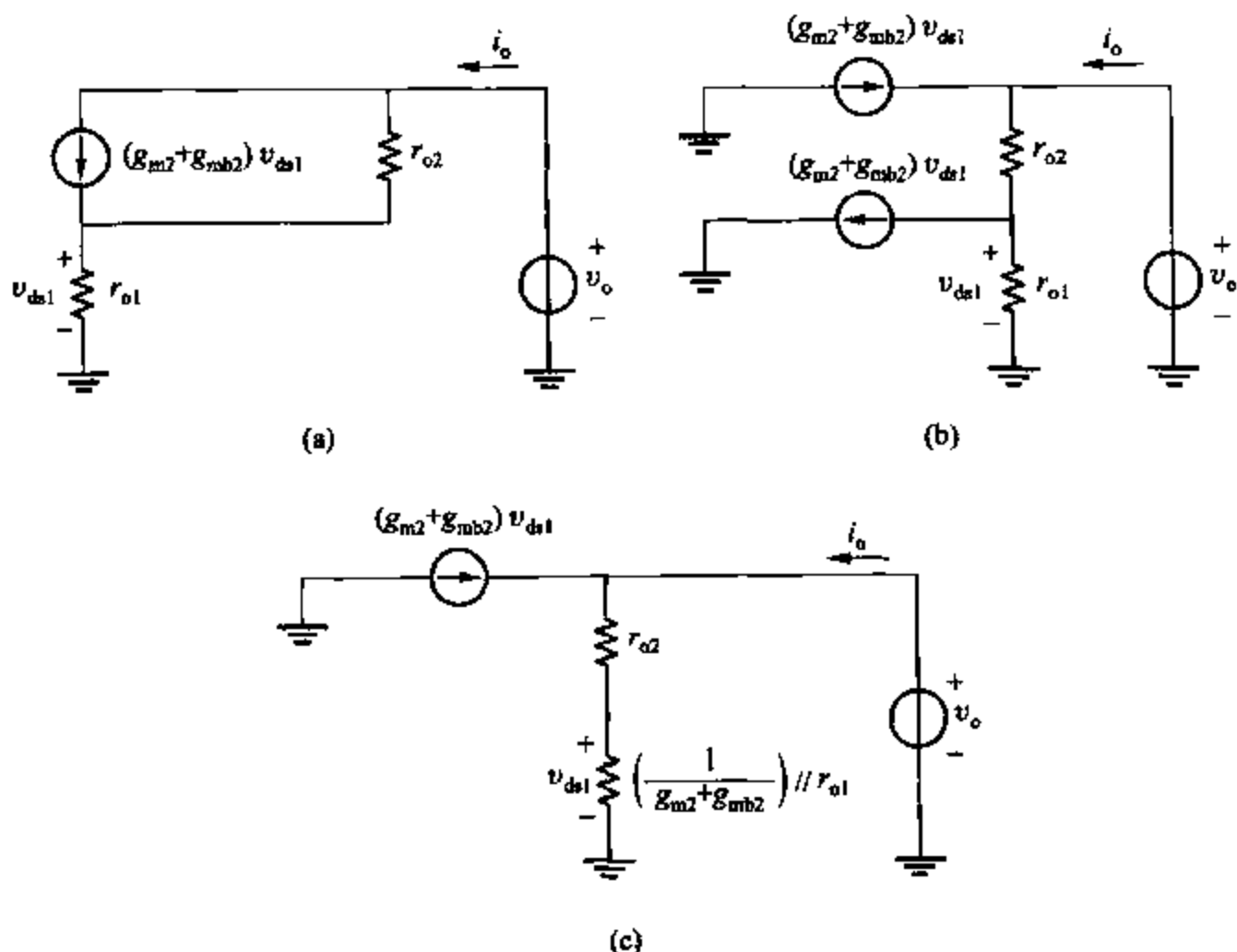


图 3.40 计算 v_{ds1}/v_o 的串接组态

(a) 联合独立源模型; (b) 将联合源分成两个源极组态模型; (c) 用电阻代替 M_2 源极与地之间的电流源

与双极型晶体管的情况不同, MOS 晶体管串接组态输出电阻的最大值并非一级 β_0 决定, 可通过多级串接组态来增大输出电阻。这在实际中也得以应用。最后, 输出电阻的最大值受限于由如 1.9 节中所述的电离碰撞或是输出端的反向偏置两极管的弱电流。另外, 串接组态的级数由电源提供的电压和信号振幅要求决定。每增加一级就要在电源与地之间加入至少一个晶体管。为了使所有的晶体管工作于放大区, 每个晶体管的漏极-源极电压必须高于其过载电压 $V_{GS} - V_t$, 由于串接组态晶体管与输入晶体管串联, 附加的级消耗一部分电源电压, 在一个或更多晶体管进入三极管区之前输出是变化的, 这样减少了输出的总量。这部分内容将在第四章中讲述。

在 BiCMOS 工艺中, 串接组态有时将如图 3.38 所示的 MOS 晶体管 M_2 用如图 3.36 所示的双极型晶体管 Q_2 替代。这一组态由 M_1 提供无限大的输入电阻。此外, 当输出接地时, 从共基级 Q_2 的射极看进去的电阻 $R_{i2} \approx 1/g_{m2}$ 。由于双极型晶体管在偏置电流下的跨导比 MOS 晶体管的大得多, 故 BiCMOS 组态常用于减小 M_1 的负载和提高串接组态的高频特性。串接组态的频率响应将在第七章中讲述。

示例

计算如图 3.38 所示电路的跨导和输出电阻。假定两个晶体管都工作在放大区,且 $g_m = 1 \text{ mS}$ 、 $\lambda = 0.1$ 且 $r_o = 20 \text{ k}\Omega$ 。

由式(3.126)有

$$G_m = (1 \text{ mS}) \left[1 - \frac{1}{1 + 1.1 \times 20 + 1} \right] = 960 \text{ }\mu\text{S}$$

由式(3.128)有

$$R_o = 20 \text{ k}\Omega + 20 \text{ k}\Omega + 1.1 \times 20 \times 20 \text{ k}\Omega = 480 \text{ k}\Omega$$

由式(3.126)和式(3.128),给出近似值为 $G_m \approx 1 \text{ mS}$, $R_o \approx 440 \text{ k}\Omega$ 。这些近似值与实际值之间相差 4%~8%,这与手算非常接近。

3.4.3 有源串接组态

如在前一节中所提到的,增加串接组态的个数可以提高 MOS 晶体管放大器的输出电阻。但实际中,电源电压和信号幅度都限制了串接组态的个数。一种不用增加串接的级数,就可以提高 MOS 串接电路的输出电阻的方法即是用有源串接组态电路来增大输出电阻,如图 3.41 所示。^{8,9}

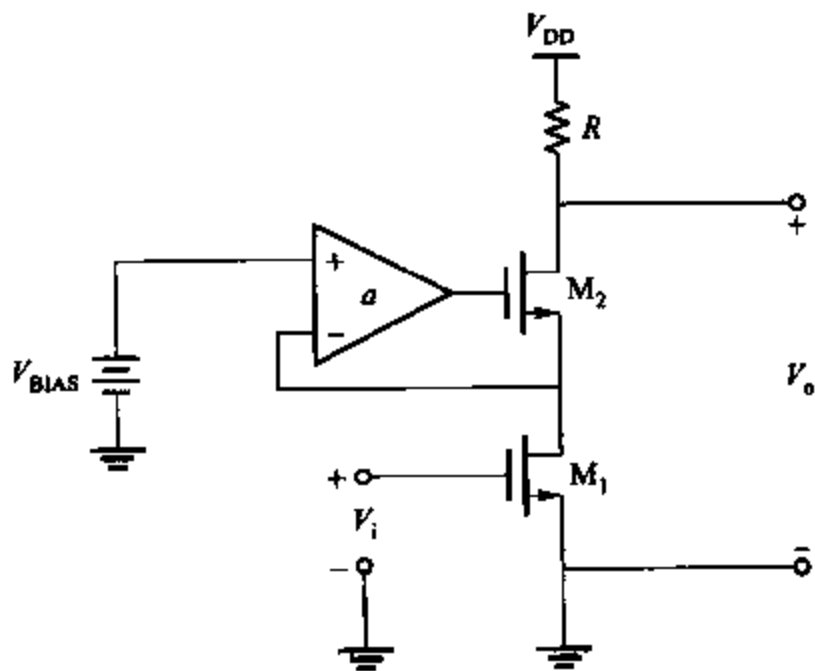


图 3.41 MOS 晶体管有源串接组态

这一电路用负反馈回路的方法来控制从 M_2 栅极到地之间的电压。如果放大器增益 a 无限大,负反馈则将校正 M_2 栅极电压直到两个放大器输入电压之差为 0。换言之, M_1 的漏-源电压要与 V_{BIAS} 相等。如果 M_1 的漏-源电压恒定,则由输出电压变化引起的漏极电流为零,且输出电阻无限大。实际上,放大器增益 a 是有限的。这意味着 M_1 的漏-源电压不是恒定的,输出电阻也有限的。第八章中将讲到负反馈对输出电阻的影响。在本节中,将

通过比较其小信号模型与前面所讲的简单串接组态来描述其小信号特性。

定性地讲,当输出电压增大时, M_2 的漏极电流增大,这使得 M_1 的漏极电流和漏-源电压增大。电压增大 $-a$ 倍,使得 M_2 的栅极到地之间的电压下降。 M_2 栅极电压的下降使漏极电流改变量减小,与简单串接组态相比,增大输出电阻,则 M_2 栅极与地之间的电压保持恒定。

图 3.42 所示为低频小信号等效电路。因为 $v_{bs1}=0$,故 M_1 的衬底效应跨导无效。 M_2 的栅-源电压为

$$v_{gs2} = v_{g2} - v_{s2} = v_{g2} - v_{ds1} = -av_{ds1} - v_{ds1} = -(a+1)v_{ds1} \quad (3.131)$$

与此不同,在简单串接组态中, $v_{gs2} = -v_{ds1}$ 。因为如图 3.38 所示, M_2 的栅极到地之间的电压保持恒定。因此,如果 $a > 0$,式(3.131)中的因子 $(a+1)$ 与单级形式相比,放大了 M_2 的栅-源电压。这种放大是有源共源共栅组态的核心。由于简单串接组态与有源串接组态基本等价,只有 v_{gs2} 值不同,并由于 v_{gs2} 只用于控制流入 g_{m2} 的电流,故可以用分析简单串接组态的公式来分析有源串接组态,只须将 g_{m2} 用 $g_{m2}(a+1)$ 替代即可。换言之,有源组态相当于增长了 g_{m2} 值的有源串接组态。

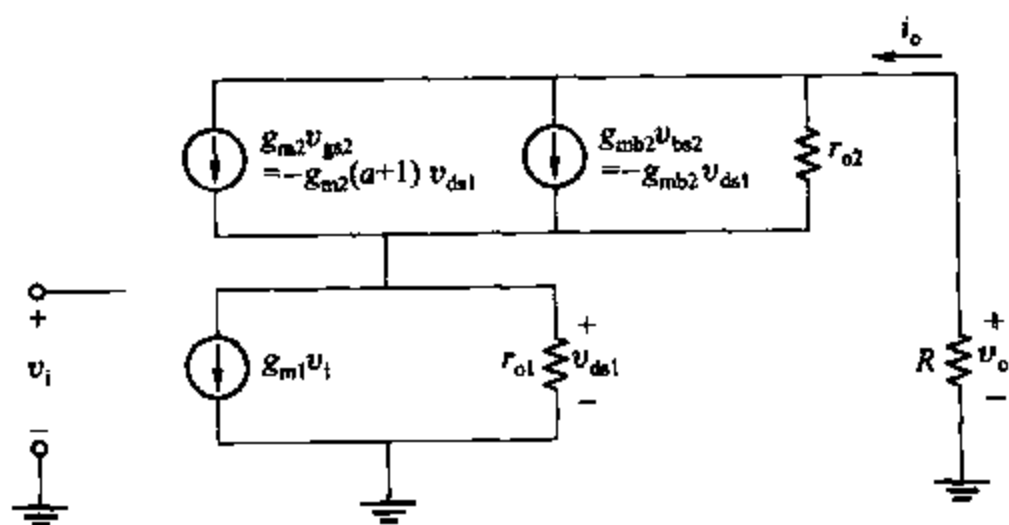


图 3.42 MOS 晶体管有源串接组态小信号等效电路

为了计算有源串接组态的跨导,用 $g_{m2}(a+1)$ 代替式(3.126)中的 g_{m2} 。有

$$G_m = g_{m1} \left\{ 1 - \frac{1}{1 + [g_{m2}(a+1) + g_{mb2}]r_{o1} + \frac{r_{o1}}{r_{o2}}} \right\} \quad (3.132)$$

再有,在多数情况下 $G_m \approx g_{m1}$,因此,有源串接组态一般不用于修正跨导。

同简单串接组态相比有源串接组态减小了从 M_2 的源极看进去的电阻,也减小了式(3.130)中的 v_{ds1}/v_o 及增大了输出电阻。将式(3.130)代入式(3.129)用 $g_{m2}(a+1)$ 代替 g_{m2} ,有

$$R_o = r_{o1} + r_{o2} + [g_{m2}(a+1) + g_{mb2}]r_{o1}r_{o2} \approx [g_{m2}(a+1) + g_{mb2}]r_{o1}r_{o2} \quad (3.133)$$

这一结果也可用 $(a+1)g_{m2}$ 代替式(3.128)中的 g_{m2} 得到。式(3.133)表明与简单串接组态相比,有源串接组态通过 $[g_m(a+1) + g_{mb}]r_o$ 因子增大输出电阻。

制约有源串接组态电路的一个关键因素为:当 M_2 的栅极提供增益时,输出阻抗的增长

受频率的限制。实际上,当频率增高时,放大器的增益降低,降低有源串接组态的高频特性。有源串接组态的一个潜在问题是在任何情况下, M_2 的负反馈并不是稳定的。

3.4.4 超级源极跟随器

式(3.84)表明源极跟随器组态的输出电阻约为 $1/(g_m + g_{mb})$, 因为 MOS 晶体管的跨导通常比相应的双极型晶体管的要小得多。故 MOS 晶体管输出电阻对一些应用可能太高, 尤其是带电阻负载时。减小输出电阻的一个途径是通过增大源极跟随器的 W/L 的比值和直流偏置电流来提高跨导。要成比例地增加面积和电源扩散来达到减小输出电阻的目的, 超级源极跟随器组态如图 3.43 所示。这一组态通过 M_2 的负反馈来减小输出电阻。从定量的角度负反馈将在第八章中探讨。从定性的角度, 当输入电压恒定和输出电压增加时 M_1 的漏极电流增加, 同时 M_2 的栅-源电压也增加。因此, M_2 的漏极电流增加, 此时流入输出结点的总电流增加导致输出电阻减小。

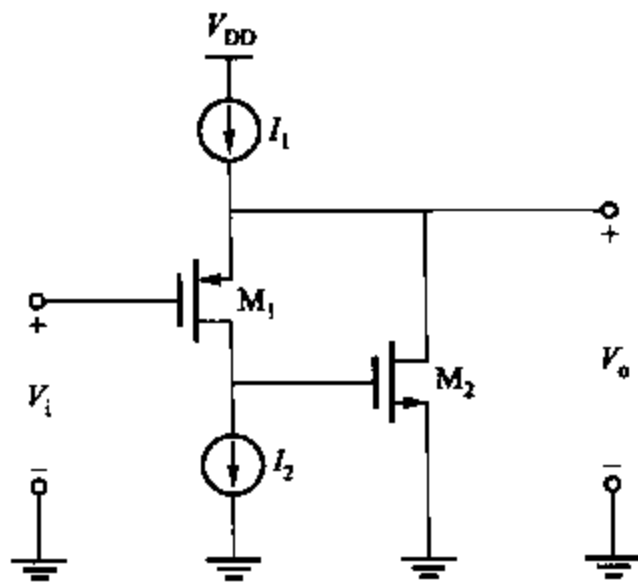


图 3.43 超级源极跟随器组态

从直流角度看, M_2 的偏置电流是电流 I_1 和 I_2 的差值, 因此, 为了正确放大, 要求 $I_1 > I_2$ 。这可以用来计算两个晶体管的小信号参数。如图 3.44 所示为其小信号等效电路。由于 $v_{bs2} = 0$, 故 M_2 由于其衬底效应而使跨导无效。并且, n 沟道与 p 沟道的压控电流源的极性相同。最后, 电流源 I_1 、 I_2 的输出电阻相应地用 r_1 和 r_2 表示。如果为理想电流源, 则 $r_1 \rightarrow \infty$ 且 $r_2 \rightarrow \infty$ 。实际上, 这些电阻虽然很大但有限。第四章中将介绍高电阻电流源制造工艺。

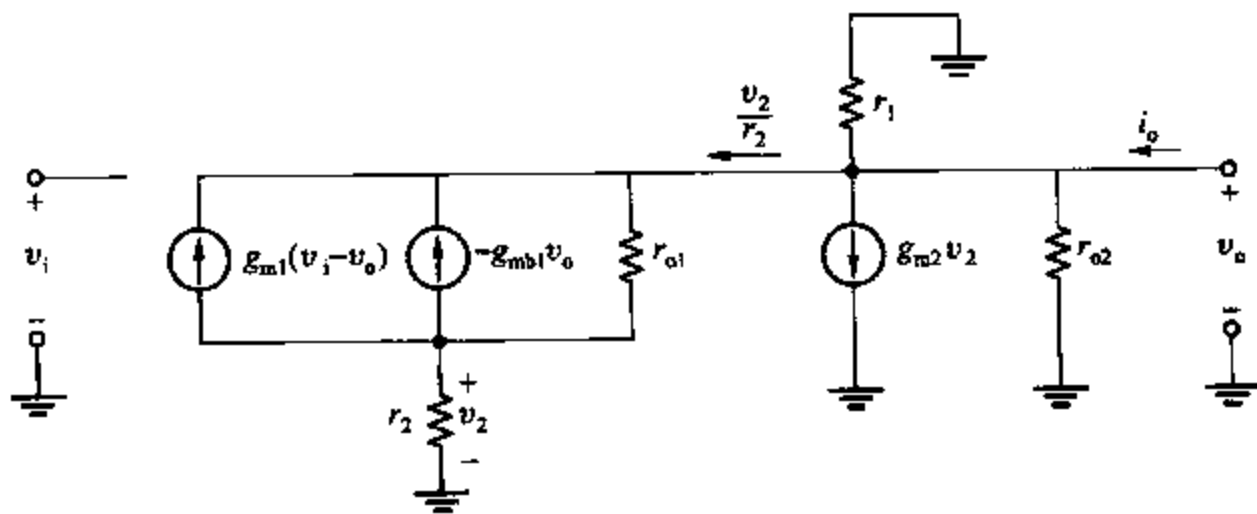


图 3.44 超级源极跟随器组态小信号等效电路

为了计算输出电阻, 令 $v_i = 0$, 并计算输出电压为 v_o 时流入输出点的电流 i_o , 这时在输出端, 由 KCL 有

$$i_o = \frac{v_o}{r_1} + \frac{v_o}{r_{o2}} + g_{m2} v_2 + \frac{v_2}{r_2} \quad (3.134)$$

在 M_1 的漏极有 $v_i = 0$, 由 KCL 有

$$\frac{v_2}{r_2} - g_{m1} v_o - g_{mb1} v_o + \frac{v_2 - v_o}{r_{o1}} = 0 \quad (3.135)$$

由式(3.135)解得 v_2 并代入式(3.134)整理得

$$R_o = \left. \frac{v_o}{i_o} \right|_{v_i=0} = r_1 // r_{o2} // \left(\frac{r_{o1} + r_2}{[1 + (g_{m1} + g_{mb1}) r_{o1}](1 + g_{m2} r_2)} \right) \quad (3.136)$$

假定 I_1 和 I_2 为理想电流源, 故 $r_1 \rightarrow \infty$ 且 $r_2 \rightarrow \infty$ 。如果 $r_{o2} \rightarrow \infty$, 且 $(g_{m1} + g_{mb1}) r_{o1} \gg 1$ 有

$$R_o \approx \frac{1}{g_{m1} + g_{mb1}} \left(\frac{1}{g_{m2} r_{o1}} \right) \quad (3.137)$$

比较式(3.84)和式(3.137)可知由 M_2 引入的负反馈使输出电阻约减小至原值的 $1/(g_{m2} r_{o1})$ 倍。

现在计算开路电压增益。在输出端, 由 KCL 有

$$\frac{v_o}{r_1} + \frac{v_o}{r_{o2}} + g_{m2} v_2 + \frac{v_2}{r_2} = 0 \quad (3.138)$$

在 M_1 的漏极由 KCL 有

$$\frac{v_2}{r_2} + g_{m1}(v_i - v_o) - g_{mb1} v_o + \frac{v_2 - v_o}{r_{o1}} = 0 \quad (3.139)$$

由式(3.138)解得 v_2 并代入式(3.139)整理有

$$\left. \frac{v_o}{i_o} \right|_{v_i=0} = \frac{g_{m1} r_{o1}}{1 + (g_{m1} + g_{mb1}) r_{o1} + \frac{r_{o1} + r_2}{(r_1 // r_{o2})(1 + g_{m2} r_2)}} \quad (3.140)$$

对于理想电流源有

$$\lim_{\substack{r_1 \rightarrow \infty \\ r_2 \rightarrow \infty}} \left. \frac{v_o}{i_o} \right|_{v_i=0} = \frac{g_{m1} r_{o1}}{1 + (g_{m1} + g_{mb1}) r_{o1} + \frac{1}{g_{m2} r_{o2}}} \quad (3.141)$$

比较式(3.141)和式(3.81), 与简单源极跟随器组态相比, 现在的超级源极跟随器组态的增益与单位增益的偏差要大。但是如果 $g_{m2} r_{o2} \gg 1$, 差别就变得很小, 可以得到这样的结论, 超级源极跟随器对开路电压增益影响很小。

如先前提及, 超级源极跟随器组态有时在 MOS 晶体管工艺中用来减小源极跟随器输出电阻, 它也用于双极型工艺中减小弱横向 pnp 晶体管的电流。这将在第五章中讲到。超级源极跟随器潜在的问题是 M_2 的负反馈在任何情况下都不是稳定的, 尤其是接电容负载时。有关反馈稳定性的问题将在第九章介绍。

3.5 差分对

差分对也是首先为真空管而发明的。^[10] 起初是用两个真空管将阴极连在一起。现在的

差分对用双极型晶体管或 MOS 晶体管将其射极或者源极连在一起,并广泛用于含双晶体管的单片独立电路中。其用途表现在两个方面。首先两个差分对可以不用任何耦合电容就能直接连接在一起。其次,差分对对于两个不同的输入电压很敏感,要求两个输入信号要高度的一致。在这一节中,要学习双极型和 MOS 晶体管两种组态的性质。

3.5.1 共射差分对的直流传输特性

如图 3.45 所示为最简单的共射差分对。偏置电路连于 Q_1 、 Q_2 的射极可以是一晶体管电流源(被称为长尾式电流源),也可以是一简单电阻。如果单用一个电阻 R_{TAIL} ,有 $I_{TAIL} = 0$,如图 3.45 所示。否则 I_{TAIL} 和 R_{TAIL} 共同成为长尾式电流源的诺顿等效模型。

共射差分对的大信号特性非常重要,因为其限定了输入电压的范围,在这一范围内,电路特性为线性。另外,大信号特性表明双极型电路模拟信号的放大在晶体管未进入饱和区之前可以得以限定,这样由于在基区的额外电荷积累而使响应时间增长。为了分析简单,假定长尾式电流源输出电阻无限大,每个晶体管的输出电阻 r_o 为无限大,基极电阻 r_b 为 0。这些假定并不影响电路的低频大信号特性。在输入回路,由 KVL 有

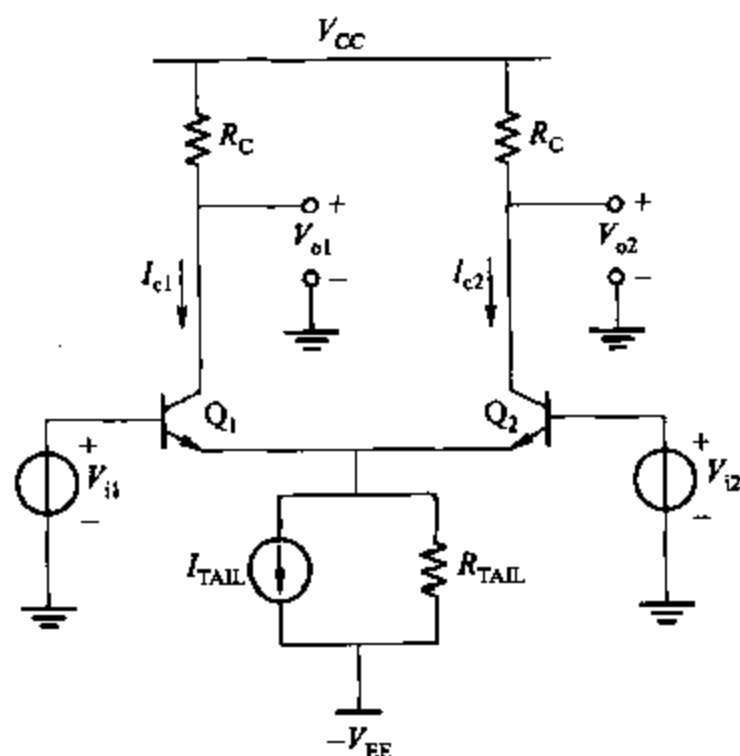


图 3.45 共射对组态电路图

$$V_{i1} - V_{be1} + V_{be2} - V_{i2} = 0 \quad (3.142)$$

假定集电极电阻足够小,如果 $V_{i1} \ll V_{CC}$, $V_{i2} \ll V_{CC}$, 则晶体管不工作在饱和状态。如果 $V_{be1} \gg V_T$, $V_{be2} \gg V_T$, 则埃伯斯-莫尔模型等式为

$$V_{be1} = V_T \ln \frac{I_{c1}}{I_{S1}} \quad (3.143)$$

$$V_{be2} = V_T \ln \frac{I_{c2}}{I_{S2}} \quad (3.144)$$

假设晶体管特性相同,因此 $I_{S1} = I_{S2}$, 由式(3.142)、式(3.143)和式(3.144)得到

$$\frac{I_{c1}}{I_{c2}} = \exp\left(\frac{V_{i1} - V_{i2}}{V_T}\right) = \exp\left(\frac{V_{id}}{V_T}\right) \quad (3.145)$$

假定 $V_{id} = V_{i1} - V_{i2}$, 由于已经假定晶体管相同,故 $\alpha_{F1} = \alpha_{F2} = \alpha_F$, 则在晶体管的射极由 KCL 有

$$-(I_{c1} + I_{c2}) = I_{TAIL} = \frac{I_{c1} + I_{c2}}{\alpha_F} \quad (3.146)$$

结合式(3.145)和式(3.146)有

$$I_{c1} = \frac{\alpha_F I_{TAIL}}{1 + \exp\left(-\frac{V_{id}}{V_T}\right)} \quad (3.147)$$

$$I_{c2} = \frac{\alpha_F I_{TAIL}}{1 + \exp\left(\frac{V_{id}}{V_T}\right)} \quad (3.148)$$

图 3.46 表明了这两个电流方程。当 V_{id} 大于 $3V_T$ 时,即室温下大约 78 mV,因为其中一个晶体管截止,而所有的电流流向另一个晶体管,故集电极电流几乎与 V_{id} 无关。并且,只有当 V_{id} 小于 V_T 时电路接近于线性。下面计算输出电压

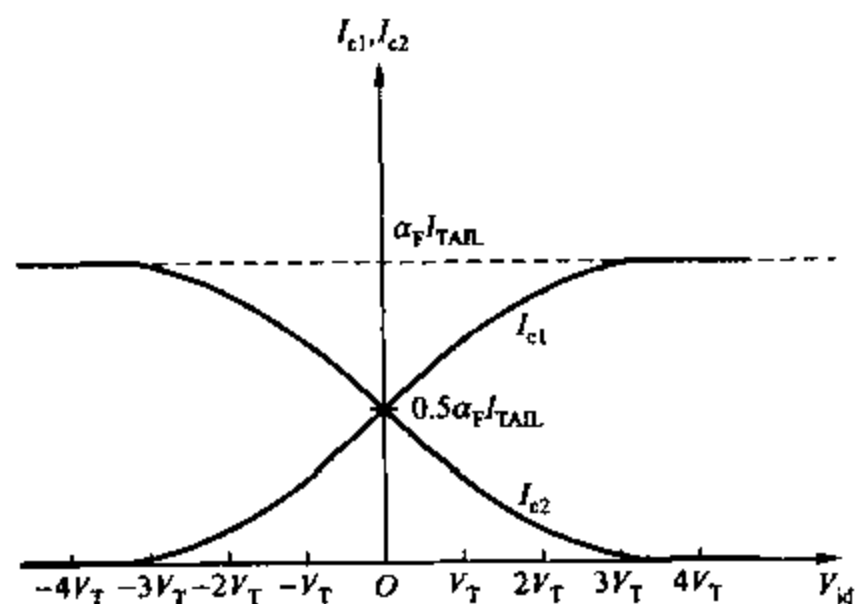


图 3.46 不同输入电压下的共射对的集电极电流变化情况

$$V_{o1} = V_{CC} - I_{c1} R_C \quad (3.149)$$

$$V_{o2} = V_{CC} - I_{c2} R_C \quad (3.150)$$

输出电压通常为两电压之差,定义为 V_{od} ,即

$$V_{od} = V_{o1} - V_{o2} = \alpha_F I_{TAIL} R_C \tanh\left(\frac{V_{id}}{2V_T}\right) \quad (3.151)$$

这在图 3.47 中可以看出。这样,差分对放大器有一个明显的优点:即如果 Q_1 、 Q_2 相同,且所连电阻也相同时,则当 V_{id} 为 0 时, V_{od} 为 0。这一特性使得串接的各级可以直接耦合,且无失调。

3.5.2 射极反馈的直流传输特性

为了增大共射差分对工作在线性区域的范围,常用到射极反馈电阻,如图 3.48 所示。对该电路的分析类似于对无射极反馈的电路的分析,只是这一电阻两端的电压降要被考虑进来,这与式(3.142)的 KVL 等式一样,从这个分析得到的先验等式和与式(3.151)类似的闭环等式不再存在。但要考虑图 3.49 中电阻的影响。对于较大的射极反馈电阻,线性范围扩大到 $I_{TAIL} R_E$ 。因为当一个晶体管截止时, I_{TAIL} 的所有电流流进反馈电阻,因此,在一个电

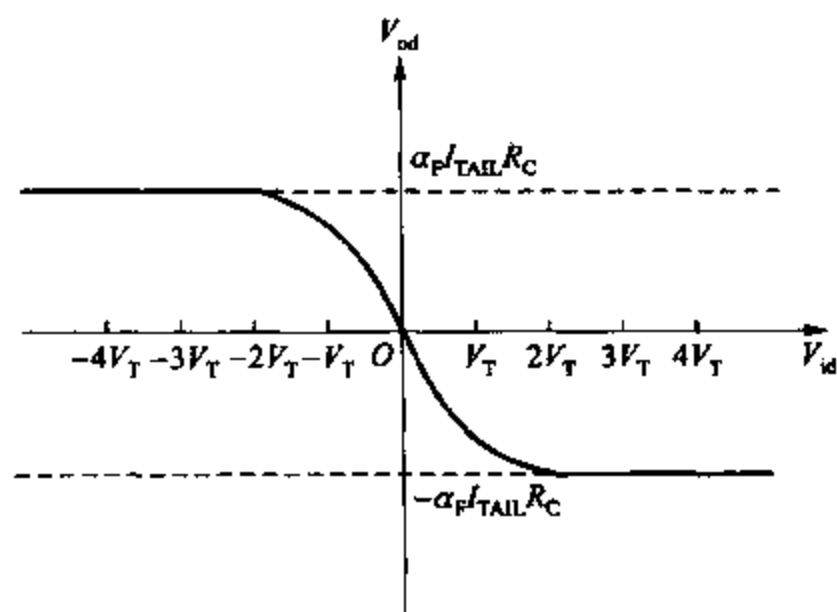


图 3.47 不同输入电压下的共射对的输出电压变化情况

阻上的压降为 $I_{TAIL} R_E$, 而另一个为 0, 而且使一个晶体管截止所需的 V_{id} 随着这些电阻上的压降差而改变。另外, 电压增益是传输特性的斜率, 输入范围增大, 电压增益大约减少同样的倍数。实际上, 在差分对电路中, 射极电阻自身产生负反馈。这将在第八章中介绍。

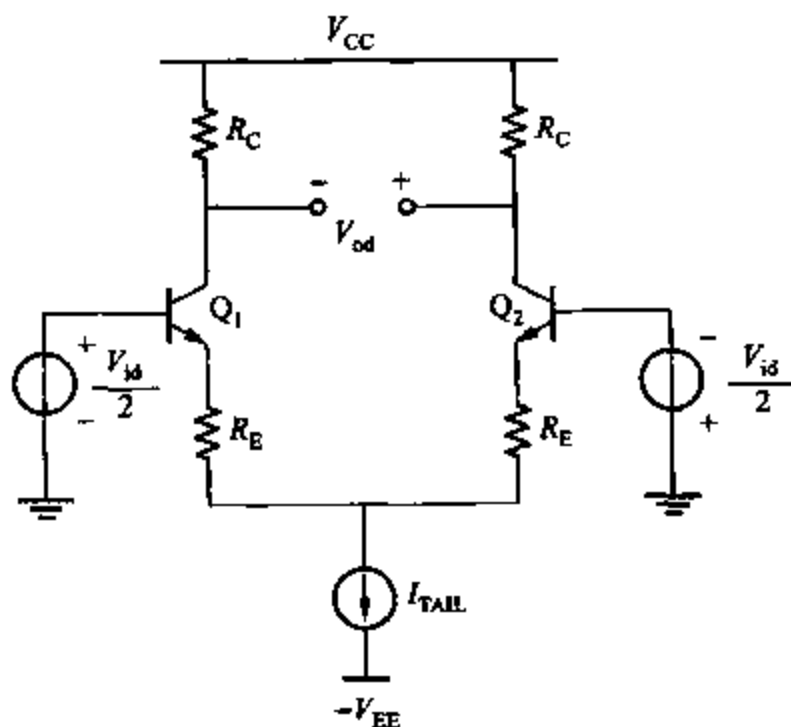


图 3.48 射极反馈的共射对组态电路图

3.5.3 共源差分对的直流传输特性

如图 3.50 所示为 n 沟道 MOS 晶体管共源差分对。p 沟道的分析与之相同。在单片电路中, 晶体管电流源成为长尾式电流源, 通常连于 M_1 和 M_2 的源极。这样, I_{TAIL} 和 R_{TAIL} 共同构成长尾式电流源的诺顿等效模型。

对于大信号, 假设长尾式电流源的输出电阻 R_{TAIL} 为无限大, 并且, 假设每个晶体管的输

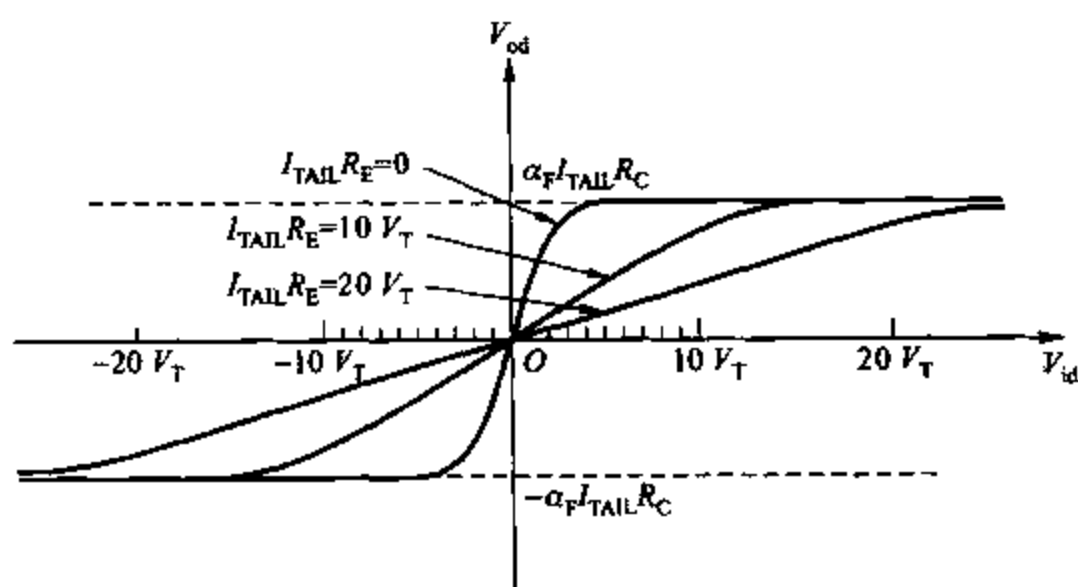


图 3.49 输出电压和输入电压之间的关系

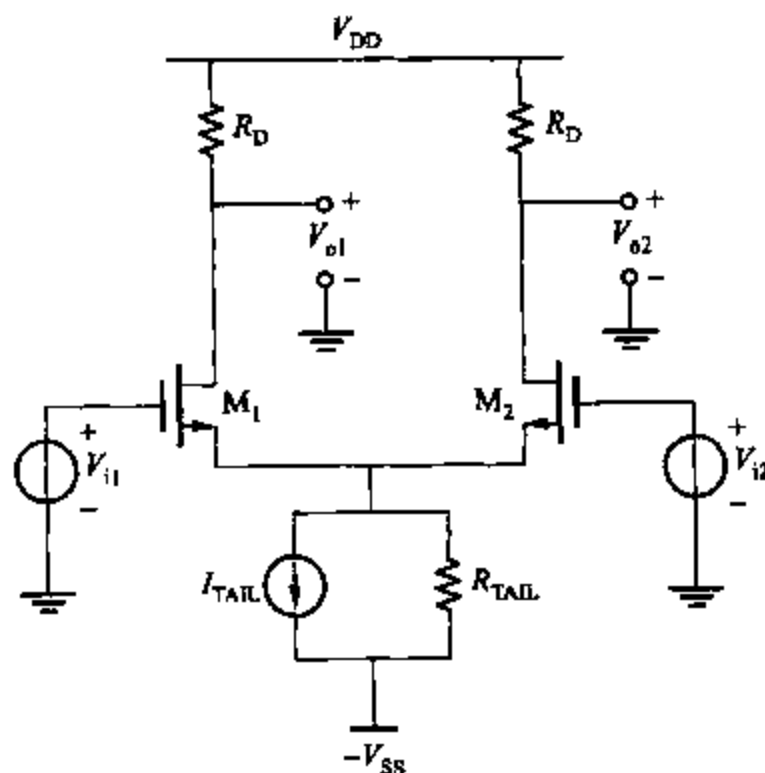


图 3.50 n 沟道共源对组态

出电阻 r_o 也为无穷大。虽然这些假设对于低频大信号特性影响不大,但其对高频行为有很大的影响。因此,当从小信号角度去分析时需考虑这些电阻。在输入回路,由 KVL 有

$$V_{i1} - V_{gs1} + V_{gs2} - V_{i2} = 0 \quad (3.152)$$

假设漏极电阻足够小,当 $V_{i1} \ll V_{DD}$ 、 $V_{i2} \ll V_{DD}$ 时,两个晶体管都没有工作在三极管区。另外,假定每个晶体管的漏极电流与栅-源电压近似为式(1.157)所示的平方律关系,如果晶体管都相同,对于每个晶体管应用式(1.157)并整理得

$$V_{gs1} = V_t + \sqrt{\frac{2I_{d1}}{k'(W/L)}} \quad (3.153)$$

$$V_{gs2} = V_{gs1} + \sqrt{\frac{2I_{d2}}{k'(W/L)}} \quad (3.154)$$

将式(3.153)和式(3.154)代入式(3.152)并整理得

$$V_{id} = V_{gs1} - V_{gs2} = \frac{\sqrt{I_{d1}} - \sqrt{I_{d2}}}{\sqrt{\frac{k'W}{2L}}} \quad (3.155)$$

在 M_1 、 M_2 的源极,由 KCL 有

$$I_{d1} + I_{d2} = I_{TAIL} \quad (3.156)$$

由式(3.156)解得 I_{d2} 代入式(3.155)整理得

$$I_{d1} = \frac{I_{TAIL}}{2} \pm \frac{k'W}{4L} V_{id} \sqrt{\frac{4I_{TAIL}}{k'(W/L)} - V_{id}^2} \quad (3.157)$$

由于当 $V_{id} > 0$ 时 $I_{d1} > I_{TAIL}/2$, 由式(3.157)解出的第二个根在实际中不存在,有

$$I_{d1} = \frac{I_{TAIL}}{2} + \frac{k'W}{4L} V_{id} \sqrt{\frac{4I_{TAIL}}{k'(W/L)} - V_{id}^2} \quad (3.158)$$

将式(3.158)代入式(3.156)有

$$I_{d2} = \frac{I_{TAIL}}{2} - \frac{k'W}{4L} V_{id} \sqrt{\frac{4I_{TAIL}}{k'(W/L)} - V_{id}^2} \quad (3.159)$$

式(3.158)和式(3.159)在晶体管工作于放大区或饱和区都有效。由于假设晶体管没有工作在三极管区域,这里的限制来源于两个晶体管之一的截止。当 M_1 截止时, $I_{d1} = 0$ 且 $I_{d2} = I_{TAIL}$; 当 M_2 截止时, $I_{d1} = I_{TAIL}$ 且 $I_{d2} = 0$, 整理式(3.155)得

$$|V_{id}| \leq \sqrt{\frac{2I_{TAIL}}{k'(W/L)}} \quad (3.160)$$

由于当 $V_{id} = 0$ 时, $I_{d1} = I_{d2} = I_{TAIL}/2$, 有

$$|V_{id}| \leq \sqrt{2} \left(\sqrt{\frac{2I_{d1}}{k'(W/L)}} \right) \Big|_{V_{id}=0} = \sqrt{2} (V_{ov}) \Big|_{V_{id}=0} \quad (3.161)$$

式(3.161)表明当 $V_{id} = 0$ 时,工作在放大区的两个晶体管的 V_{id} 值的范围是与过载电压计算值成比例的。在图 3.51 中可以看出,过载电压是 MOS 管电路一个非常重要的性能,它不仅影响着差分对的输入范围,而且影响着它的速度、偏移和 MOS 放大器的输出幅度。既然 MOS 管的过载电压由流过它的电流和 W/L 决定,共源对的范围可以由调节长尾式电流源的电流值或者输入器件的范围来调节。同样,双极型共射对管的输入范围大约是 $\pm 3V_T$, 与偏置电路和器件的大小是独立的。实际上共源对电路,就像一个带有射极反馈电阻的共射对电路,可以选择适当的电压输入范围。

在许多实际应用中,差分对的关键输出对象不仅是 I_{d1} 和 I_{d2} ,而且包括这些特性的差分值。从式(3.158)中减去(3.159),得

$$\Delta I_d = I_{d1} - I_{d2} = \frac{k'W}{2L} V_{id} \sqrt{\frac{4I_{TAIL}}{k'(W/L)} - V_{id}^2} \quad (3.162)$$

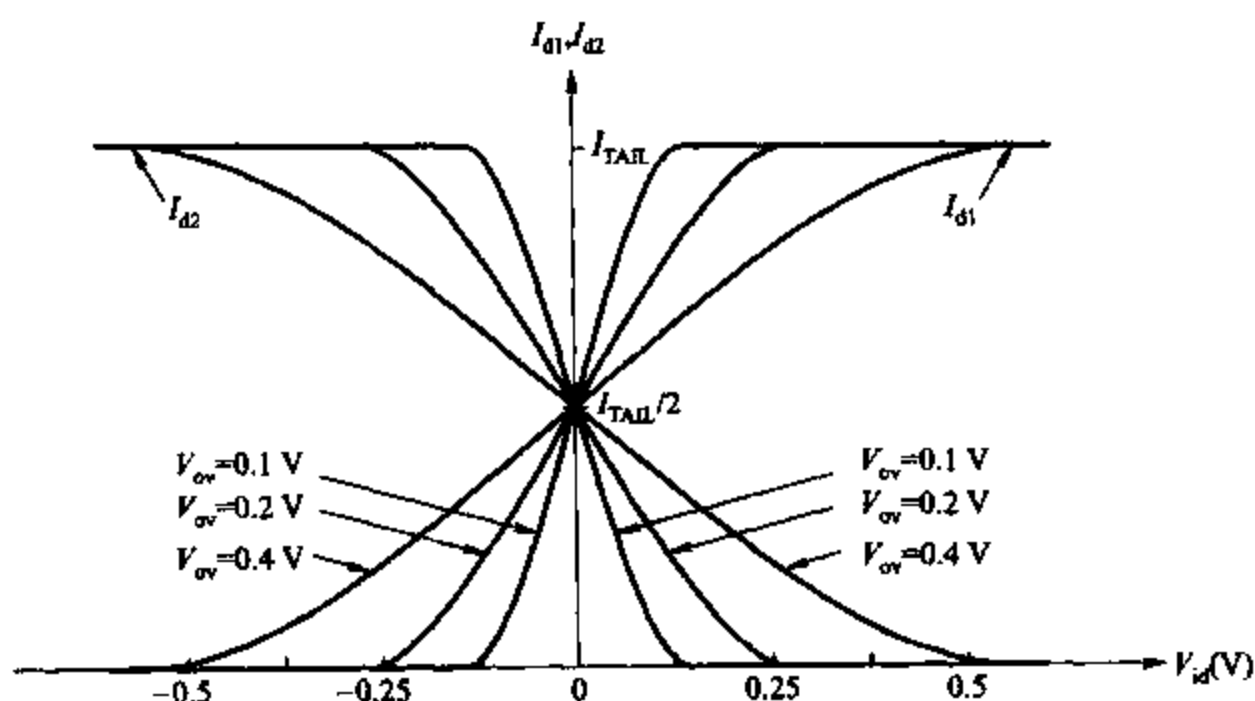


图 3.51 MOS 晶体管共源对组态的直流传输特性。

参数为 $V_{id}=0$ 时的过载电压 $V_{ov} = V_{GS} - V_t$

计算差分输出电压为

$$V_{od} = V_{o1} - V_{o2} = V_{DD} - I_{d1}R_D - V_{DD} + I_{d2}R_D = -\Delta I_d R_D \quad (3.163)$$

因为当 $V_{id}=0$ 时 $\Delta I_d=0$, 由式(3.163)可知如果 M_1 和 M_2 是相同的, 或者连接到 M_1 和 M_2 漏极的电阻是相同的, 当 $V_{id}=0$ 时 $V_{od}=0$ 。这种特性允许级联 MOS 差分对各级之间的直接耦合, 就像双极型晶体管一样。

3.5.4 差分放大器的小信号分析介绍

差分放大器的电气特征往往表现在输入的直流差分电压接近于零时的小信号特征。在接下来的两部分中, 假设直流差分输入电压为零, 计算小信号输入时的特征参数。如果参数为常量, 小信号的分析模型则说明了电路工作在线性状态。这样, 在输入信号足够小的情况下, 可以忽略其中非线性的部分, 根据小信号分析的结果近似地将它按照小信号输入来进行分析。

在前面的一节中, 介绍的放大器有两个直流输入端 (V_i 和地) 和两个输出端 (V_o 和地)。对于这类电路的小信号输入都有共同的一个等式, 即

$$v_o = A v_i \quad (3.164)$$

这里, A 是在负载已知情况下的小信号电压增益。类似的, 差分放大器有 3 个输入端 (V_{i1} , V_{i2} 和地) 以及三个输出端 (V_{o1} , V_{o2} 和地)。因此, 这类电路的小信号分析对于每个输出端都会有和输入端相关联的两个等式, 即

$$v_{o1} = A_{11} v_{i1} + A_{12} v_{i2} \quad (3.165)$$

$$v_{o2} = A_{21} v_{i1} + A_{22} v_{i2} \quad (3.166)$$

这里, 四个电压增益 A_{11} , A_{12} , A_{21} 和 A_{22} 表明了负载已知情况下的电路小信号工作特性。

这些增益的计算等式如下

$$A_{11} = \left. \frac{v_{o1}}{v_{i1}} \right|_{v_{i2}=0} \quad (3.167)$$

$$A_{12} = \left. \frac{v_{o1}}{v_{i2}} \right|_{v_{i1}=0} \quad (3.168)$$

$$A_{21} = \left. \frac{v_{o2}}{v_{i1}} \right|_{v_{i2}=0} \quad (3.169)$$

$$A_{22} = \left. \frac{v_{o2}}{v_{i2}} \right|_{v_{i1}=0} \quad (3.170)$$

尽管通过差分放大器的小信号分析得出的四个等式可以直接用来计算四个增益的数值,但由于差分放大器往往不仅仅对 v_{i1} 和 v_{i2} 有影响,所以计算出的结果很难是正确的。相反的,当忽略差分的两个输入端相同的部分时,差分对反而经常用来计算两个输入端的不同。在差分放大器电路中常用差模信号作为输入信号,但是在实际上,输入的信号是任意的信号。举例来讲,数模混合集成电路同时运行数字和模拟的两种处理方式,这样模拟信号就会很容易被系统中数字部分所产生的噪声干扰并通过共用的衬底传输。因此,差分放大器电路的两个输入端不可能只有单纯的差模信号输入。

为了修正这一点,定义新的差分放大器的模型和通用的输入输出变量,差模输入电压如下

$$v_{id} = v_{i1} - v_{i2} \quad (3.171)$$

共模输入电压为两输入电压的平均值,即

$$v_{ic} = \frac{v_{i1} + v_{i2}}{2} \quad (3.172)$$

这些等式可以转换成通过 v_{id} 和 v_{ic} 得出 v_{i1} 和 v_{i2} 的形式,即

$$v_{i1} = v_{ic} + \frac{v_{id}}{2} \quad (3.173)$$

$$v_{i2} = v_{ic} - \frac{v_{id}}{2} \quad (3.174)$$

使用了新变量的公式的重点在于使用等式(3.173)和(3.174)重新描述了对于图 3.52 所示的差分放大器的输入连接。共模电压是 v_{i1} 和 v_{i2} 的平均值,差模电压是 v_{i1} 和 v_{i2} 的差。

用同样的方法定义新的输出变量,差分输出为

$$v_{od} = v_{o1} - v_{o2} \quad (3.175)$$

共模输出或者平均输出为

$$v_{oc} = \frac{v_{o1} + v_{o2}}{2} \quad (3.176)$$

由 v_{o1} 和 v_{o2} 的等式得

$$v_{o1} = v_{oc} + \frac{v_{od}}{2} \quad (3.177)$$

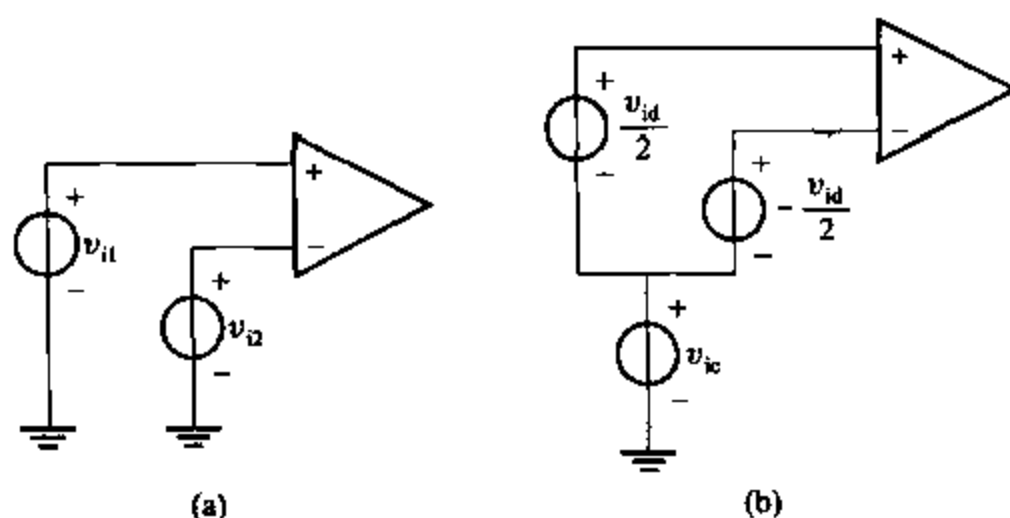


图 3.52 (a) 差分放大器的差模信号输入模型; (b) 共模信号输入模型

$$v_{o2} = v_{oc} - \frac{v_{od}}{2} \quad (3.178)$$

下面定义了两个新的输入变量和两个新的输出变量。将 v_{i1} 、 v_{i2} 、 v_{o1} 和 v_{o2} 用新的变量带入等式(3.165)和(3.166)中得

$$v_{od} = \left(\frac{A_{11} - A_{12} - A_{21} + A_{22}}{2} \right) v_{id} + (A_{11} + A_{12} - A_{21} - A_{22}) v_{ic} \quad (3.179)$$

$$v_{oc} = \left(\frac{A_{11} - A_{12} + A_{21} - A_{22}}{4} \right) v_{id} + \left(\frac{A_{11} + A_{12} + A_{21} + A_{22}}{2} \right) v_{ic} \quad (3.180)$$

定义 4 个新的增益值等于上面公式中的常量系数,将等式重新写为

$$v_{od} = A_{dm} v_{id} + A_{cm-dm} v_{ic} \quad (3.181)$$

$$v_{oc} = A_{dm-cm} v_{id} + A_{cm} v_{ic} \quad (3.182)$$

差模增益 A_{dm} 是差模输入到差模输出的增益:

$$A_{dm} = \left. \frac{v_{od}}{v_{id}} \right|_{v_{ic}=0} = \frac{A_{11} - A_{12} - A_{21} + A_{22}}{2} \quad (3.183)$$

共模增益 A_{cm} 是共模输入到共模输出的增益:

$$A_{cm} = \left. \frac{v_{oc}}{v_{ic}} \right|_{v_{id}=0} = \frac{A_{11} + A_{12} + A_{21} + A_{22}}{2} \quad (3.184)$$

差模输入 - 共模输出增益 A_{dm-cm} 是差模输入到共模输出的增益:

$$A_{dm-cm} = \left. \frac{v_{oc}}{v_{id}} \right|_{v_{ic}=0} = \frac{A_{11} - A_{12} + A_{21} - A_{22}}{4} \quad (3.185)$$

共模输入 - 差模输出增益 A_{cm-dm} 是共模输入到差模输出的增益:

$$A_{cm-dm} = \left. \frac{v_{od}}{v_{ic}} \right|_{v_{id}=0} = A_{11} + A_{12} - A_{21} - A_{22} \quad (3.186)$$

使用差分放大器的目的就是抑制共模输出,增大差模输出。期望差模电压输出并随着差模输入电压的变化而成比例地变化。任意信号中的共模输入部分在电路中必须受到抑制。因此,设计差分放大器的一个重要的目标就是使 A_{dm} 比(3.181)和(3.182)中的其他三

个增益要大很多。

在理想对称的差分放大器中,每边的输出值都等于另外一边的输出值。当 $v_{i1} = -v_{i2}$ 时,有 $v_{o1} = -v_{o2}$,此时,放大器是理想对称的。换言之,当输入是理想的差模电压的时候 ($v_{ic} = 0$),输出也是纯粹的差模形式的电压 ($v_{oc} = 0$),因此 $A_{dm-cm} = 0$ 。类似的,当只输入共模电压 ($v_{id} = 0$) 时, $A_{cm-dm} = 0$ 。但是,即使在理想对称的差分放大器中,也不可能做到 $A_{cm} = 0$ 。因此, A_{dm}/A_{cm} 的比值就是衡量差分放大器性能的一个重要参量。在这本书中,定义这个比值为共模抑制比 CMRR,即

$$CMRR \equiv \left| \frac{A_{dm}}{A_{cm}} \right| \quad (3.187)$$

但在实际上,差分放大器并不是理想对称的, $A_{dm-cm} \neq 0$, 而且 $A_{cm-dm} \neq 0$ 。 A_{dm}/A_{cm-dm} 和 A_{dm}/A_{dm-cm} 的比值是衡量差分放大器性能的另外两个重要参量。前一个 A_{dm}/A_{cm-dm} 参量尤其重要,因为它决定了在差模输出中由共模输入部分所产生的那一部分的大小,一旦共模输入经过差分放大器转变为差模形式的输出,在分析上我们就会把这部分按照差模输入来处理。事实上,在多级差分放大器中,第一级的共模输入-差模输出增益对最终的 CMRR 值起了决定性的作用。在 3.5.5 节中,将假设一个理想对称差分放大器工作在一个小信号工作点;在 3.5.6.9 节中,同样假设工作在相同的工作点上的非理想对称的差分放大器。

3.5.5 理想对称的差分放大器的小信号特性

在这一节中所讨论的是理想对称的差分放大器。因此,在这里假设 $A_{cm-dm} = 0$ 且 $A_{dm-cm} = 0$, 目的是为计算出 A_{dm} 和 A_{cm} 。虽然可以在整个小信号电路的等价电路中计算 A_{dm} 和 A_{cm} ,但在理想对称的差分放大器中计算这些参量会更加简单。一般,首先要先找到理想对称的差分放大器的差模输入和共模输入,然后作出结果。由于假设仅仅在电路为线性时才准确,所以以下分析是严格建立在小信号输入的静态工作点上且对于非线性失真非常小的信号它也近似有效。在前一节中已经讨论了差分对的大信号分析,并且假设电流源的诺顿等效电阻是无穷大。但是在小信号分析中,这个电阻在整个差分对的工作中会起到不可忽视的作用,所以这里假设这个电阻是有限的。

因为这里的分析对于双极型晶体管和 MOS 管差分对完全相同,因此会同时考虑这两种情况。从小信号角度考虑图 3.45 中双极型共射对和图 3.50 所示的 MOS 管共源对,得出 $V_{i1} = v_{i1}$ 且 $V_{i2} = v_{i2}$, 这些电路在图 3.53a 和 3.53b 中被等效为共模输入电压为零,仅有差模输入的情况。二者的小信号等价电路如图 3.54 所示,用 R 代替图 3.53a 中的 R_C 和图 3.53b 中的 R_D 。注意这里忽略了有限的电阻 r_o 。同样也在 MOS 管电路中,认为 β_0 无穷大, r_π 无穷大,忽略非零的 g_{mb} 。

由于图 3.54 中的电路是理想对称的,两个输入端的输入电压为等值反相, R_{TAIL} 两端的电压基本不会变化。这样,就可以把电路的下部分看作是电压跟随电路。当一边电压上升的时候,另外一边下降,导致尾电流源两端电压恒定不变。如图 3.55 所示,由于加载在 R_{TAIL} 两端的电压是基本不变,因此即使将 R_{TAIL} 两端短路,整个电路的动态特性也不会改

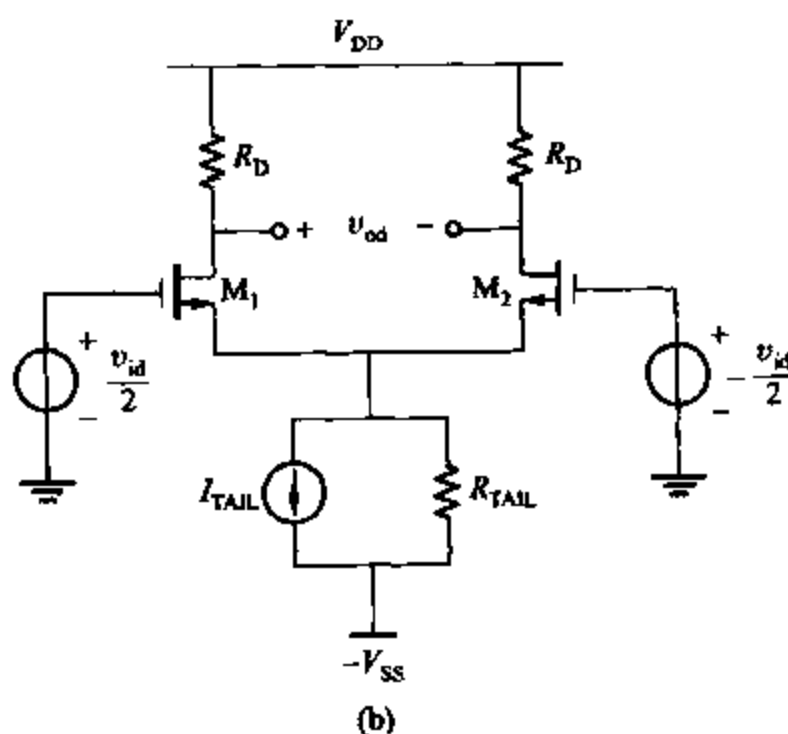
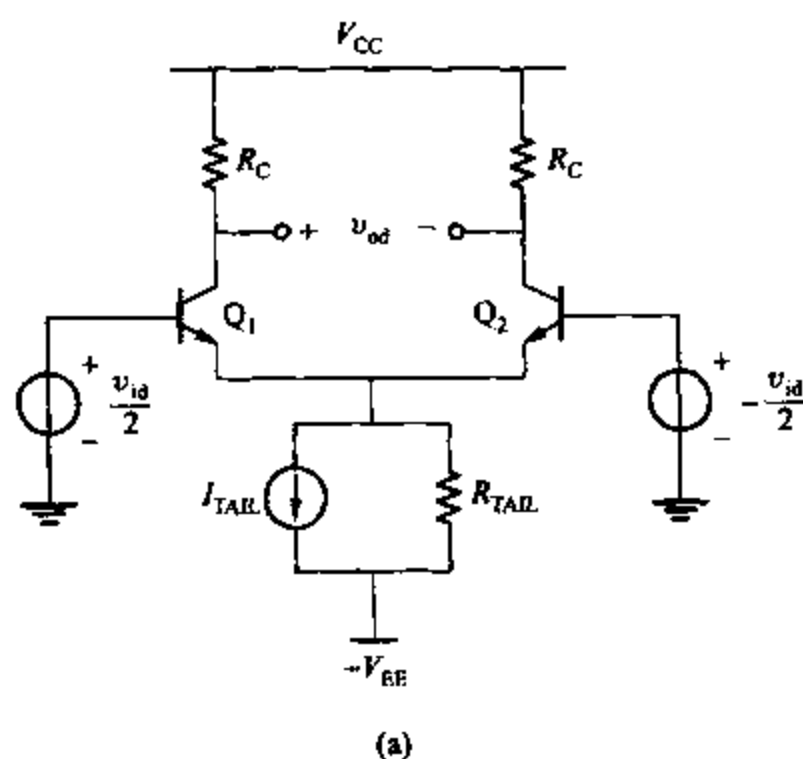


图 3.53 (a) 仅输入差模电压的共射电路; (b) 仅输入差模电压的 MOS 共源电路

变。在加入短路连线之后,我们看到电路的两端不仅完全相同,由于它们有着共同的小信号接地点而完全独立。因此,小信号差分输入的响应就可以仅分析将原电路中的 R_{TAIL} 短路后而得到的任何一边的半边电路。图 3.56 中的简化电路,称为差模半边电路,这个电路对于分析低频和高频的各类差分放大器都十分有用。通过观察图 3.56,可以更加清楚地了解共射放大器和共源放大器的小信号等效电路。因此

$$\frac{v_{od}}{2} = -g_m R \frac{v_{id}}{2} \quad (3.188)$$

且

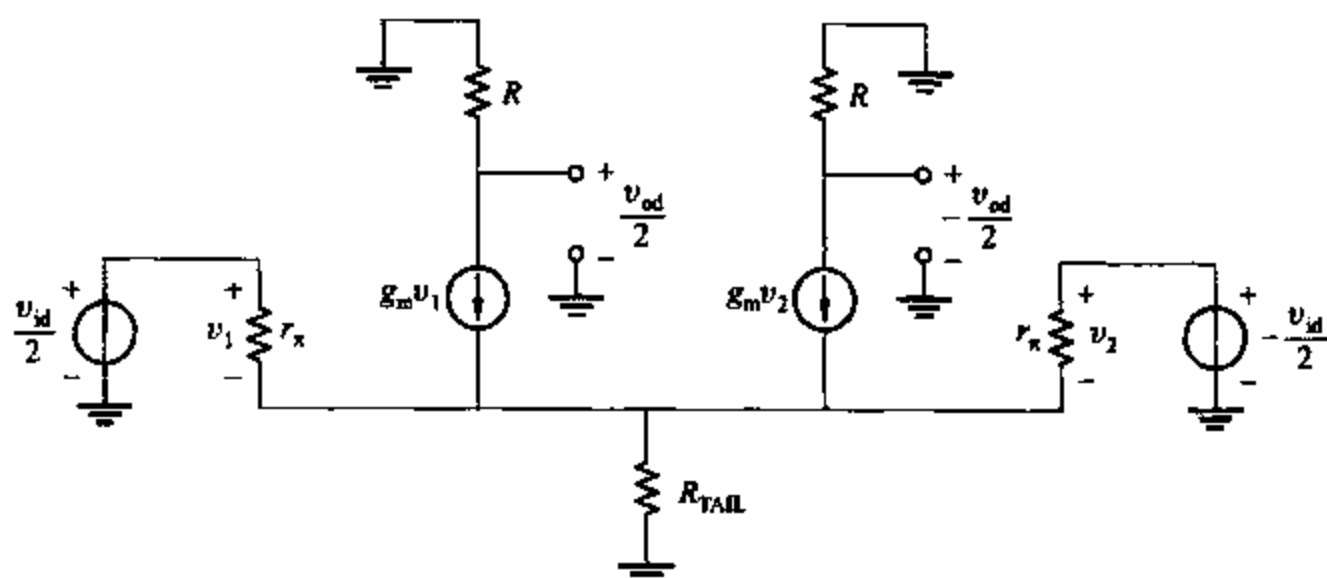


图 3.54 仅输入差模电压的差分对的小信号等效电路

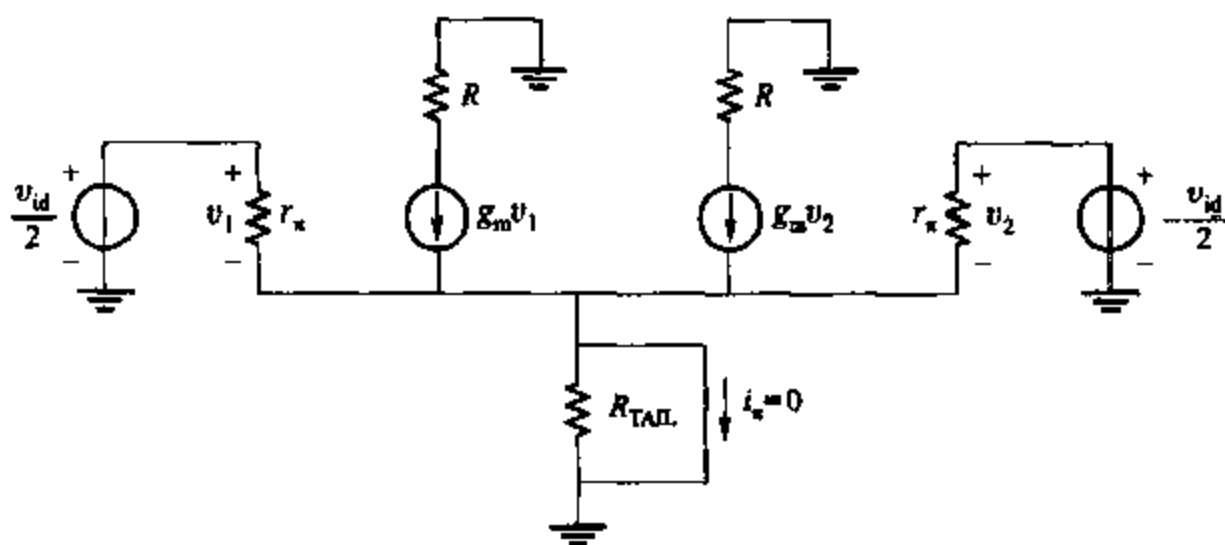
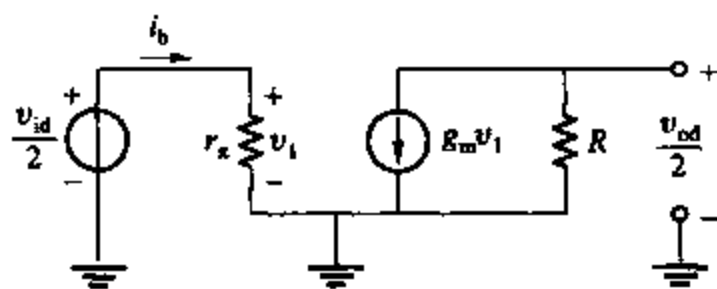
图 3.55 尾电流源接地的差模等效电路。由于电路理想对称, $i_x = 0$ 

图 3.56 差模等效半边电路

$$A_{dm} = \left. \frac{v_{od}}{v_{id}} \right|_{v_{ic}=0} = -g_m R \quad (3.189)$$

为了包含以上分析中晶体管的输出电阻,式(3.189)中的输出电阻 R 应该被替代为 $R // r_o$ 。最后,因为输入晶体管从源极到基极的电压与长尾电流源的电压是相同的(后者在仅输入差模电压时为一常量),所以请注意在分析 MOS 共源差分对时忽略 g_{mb} 对计算结果没有影

响。

现在重新考虑图 3.45 和图 3.50 中的电路可知它们是在一个小信号的共模电压输入下。使 $V_{i1} = V_{i2} = v_{ic}$, 这两个电路被等效为图 3.57a 和图 3.57b。小信号等效电路如图 3.58 所示, 尾电阻 R_{TAIL} 在图中被分为两个并联的电阻, 阻值为原来的两倍。同样的, 图 3.57a 中的 R_C 和图 3.57b 中的 R_D 也被 R 所代替。这里, 再次忽略 r_o , MOS 管中的 g_{mb} 也被忽略, 其中, 因为 $\beta_0 \rightarrow \infty$ 则 $r_x \rightarrow \infty$ 。

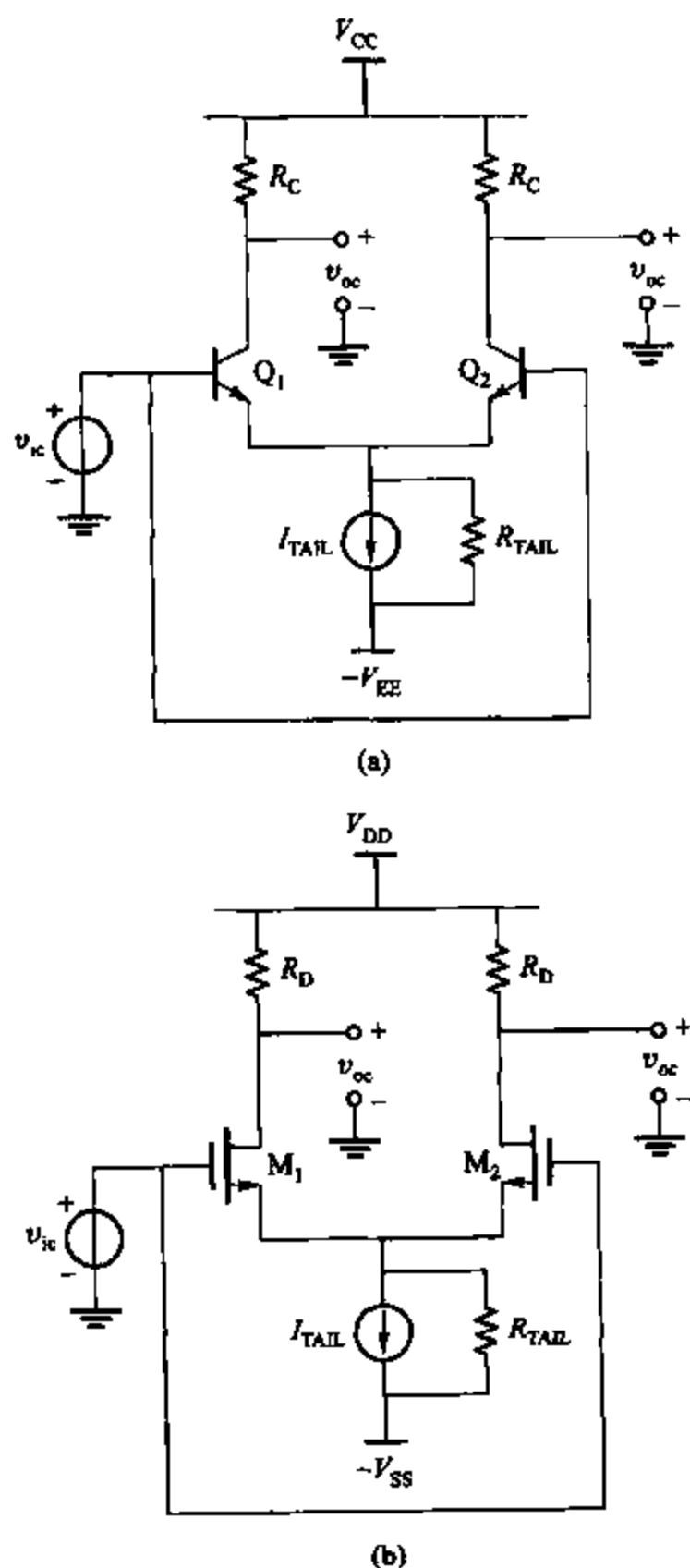


图 3.57 (a) 共模电压输入时的共射电路; (b) 共模电压输入时的共源电路

由于图 3.58 中的电路被分成了两个相同的部分,每一半都被相同的输入电压驱动 v_{ic} , 电流 $i_x = 0$, 所以即使是去掉了中间的连接线(如图 3.59 所示),电路的特性也不会有任何的改变。因此,图 3.58 中的两个相同的电流源不仅是对称的,并且是完全独立的,因为它们仅由一个支流相连,没有任何的小信号输入。由此可知,小信号共模电压的输入所引起的响应,完全可以通过分析这个对称电路的一边,使用开路来代替中间的相连部分而得出。这个简化的电路,在图 3.60 中被称为共模半边电路,通过观察图 3.60,将会发现这个电路存在着共射对或共源对的负反馈。于是得到

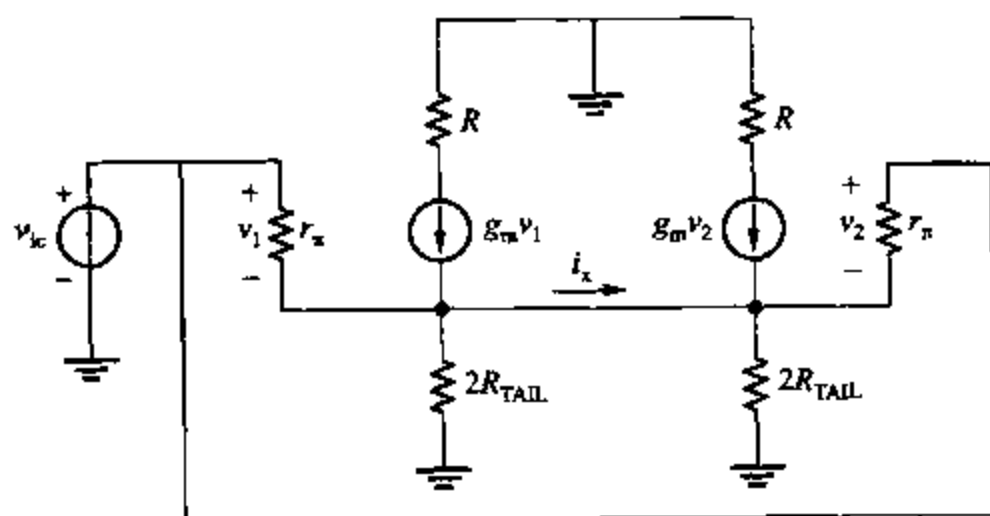


图 3.58 共模电压输入情况下的小信号等效电路

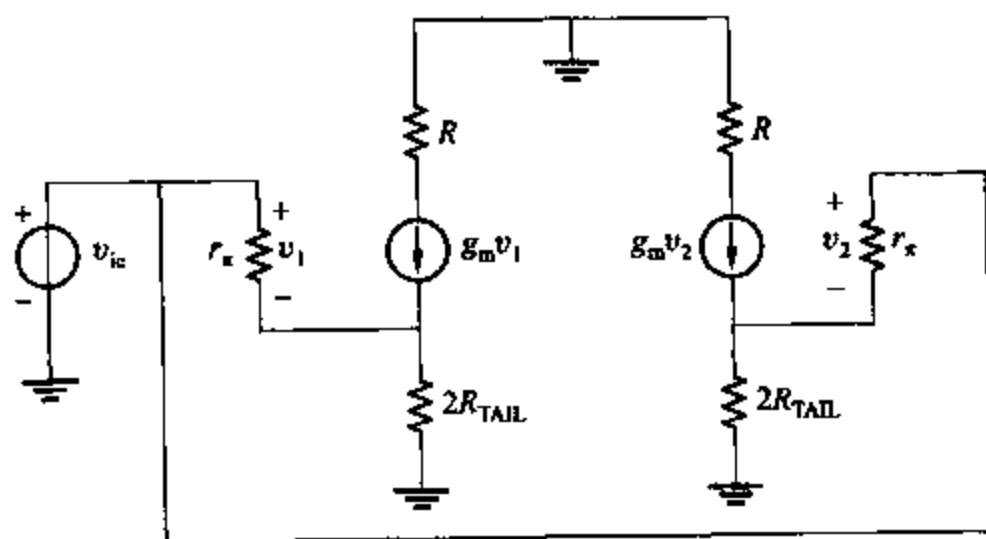


图 3.59 改进的共模输入等效电路

$$v_{ox} = -G_m R v_{ic} \quad (3.190)$$

且

$$A_{cm} = \left. \frac{v_{ox}}{v_{ic}} \right|_{v_{id}=0} = -G_m R \quad (3.191)$$

共源对和共射对的跨导 G_m 会有一定数量的下降。由于负反馈降低了跨导,并且仅仅在共模输入的时候才会有负反馈,式(3.189)和式(3.191)就表明了 $|A_{dm}| > |A_{cm}|$; 因此,差分对

对于差模输入的响应要比共模输入的响应要敏感得多。换言之,长尾电流源对于共模输入产生了负反馈,负反馈在第八章中会有详细的介绍。

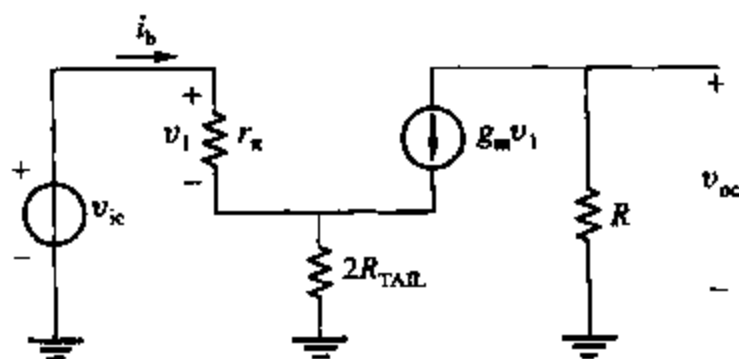


图 3.60 共模输入半边电路

双极型共射对 在双极型情况下,将式(3.93)中的 G_m 用 $R_E = 2R_{TAIL}$ 代入式(3.191),移项得

$$A_{cm} \approx - \frac{g_m R}{1 + g_m (2R_{TAIL})} = - \frac{g_m R}{1 + 2g_m R_{TAIL}} \quad (3.192)$$

考虑有限的 r_o 在上面分析中所产生的影响,式(3.192)中的 R 应该被 $R // R_o$ 所代替,其中 R_o 是带射极反馈 $R_E = 2R_{TAIL}$ 的共射放大器的输出电阻,由式(3.97)或式(3.98)可得。由式(3.92)可知这个变换忽略了有限的 r_o 对于 G_m 的影响,而一般情况下可以忽略不计。

将式(3.189)和(3.192)代入(3.187)中,得共模抑制比 $CMRR$ 为

$$CMRR = 1 + 2g_m R_{TAIL} \quad (3.193)$$

这个公式可以用于单级共射放大器中的 $CMRR$ 计算。这个公式表明:当增大输出电阻 R_{TAIL} 时,可以增大共模抑制比。这个问题在第四章中有详细的讨论。

由于双极型晶体管的 β_o 是有限的,差分放大器一般被用来作为电路第一个输入级,共射对的输入电阻同样是设计中所要考虑的事情。差分输入电阻被定义为仅输入差模信号时小信号差模输入电压 v_{id} 与小信号输入的电流 i_b 的比值。通过观察图 3.56 得

$$\frac{v_{id}}{2} = i_b r_{\pi} \quad (3.194)$$

因此,共射对的差模输入电阻为

$$R_{id} = \left. \frac{v_{id}}{i_b} \right|_{v_{ic}=0} = 2r_{\pi} \quad (3.195)$$

这样,差模输入电阻仅仅和 r_{π} 有关。当 β_o 增大,集电极电流减小的时候, r_{π} 会增大。当给共射对加载一个很小的偏压时,可以得到一个很高的输入阻抗。给共射对加载小偏压的方法在第四章会有详细的讨论。

共模输入电阻 R_{ic} 定义为仅输入共模电压时小信号共模输入电压与小信号电流 i_b 的比值。由于图 3.60 中的共模半边电路和带射极反馈的共射放大器有相同的性质,将 $R_E = 2R_{TAIL}$ 代入式(3.90)得出 R_{ic} 为

$$R_{ic} = \left. \frac{v_{ic}}{i_b} \right|_{v_{id}=0} = r_{\pi} + (\beta_0 + 1)(2R_{TAIL}) \quad (3.196)$$

当差模电压和共模电压同时输入的时候,小信号电流可以通过二者的线性叠加来获得,即

$$i_{b1} = \frac{v_{id}}{R_{id}} + \frac{v_{ic}}{R_{ic}} \quad (3.197)$$

$$i_{b2} = -\frac{v_{id}}{R_{id}} + \frac{v_{ic}}{R_{ic}} \quad (3.198)$$

i_{b1} 和 i_{b2} 分别表示了 Q_1 和 Q_2 的基极电流。

输入电阻可以通过图 3.61a 或者图 3.61b 所示的电路来获得。在 π 形等效电路中,共模输入电阻是独立于 R_x 的 R_{ic} 。为了获得精确的差模输入电阻 R_{id} ,考虑 R_{ic} 中有非零的电流, R_x 应该比 R_{id} 更大。另一方面,对于 T 形等效电路,差模输入电阻就是独立于 R_y 的 R_{id} ,仅当 R_y 小于 $R_{ic}/2$ 时 R_{ic} 才可认为是共模输入电阻。图 3.61 中的近似仅当 R_{ic} 远大于 R_{id} 时才能够成立。

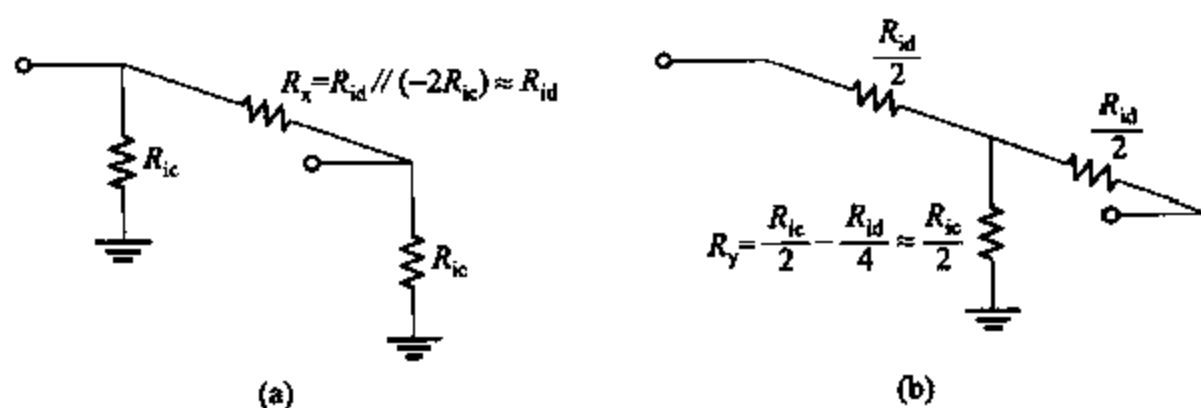


图 3.61 (a) 一般的差分放大器的低频小信号输入电路的 π 形等效电路;

(b) T 形等效电路

MOS 共源对 在 MOS 管电路中,将由 $g_{mb} = 0$ 求出式(3.104)中的 G_m , $R_S = 2R_{TAIL}$ 代入式(3.191)并整理得

$$A_{cm} \approx -\frac{g_m R}{1 + g_m (2R_{TAIL})} = -\frac{g_m R}{1 + g_m R_{TAIL}} \quad (3.199)$$

尽管式(3.199)和图 3.60 中的共模半边等效电路忽略了衬底效应中的跨导 g_{mb} ,但由于在差分对中的衬底效应改变了源极电压,所以共模增益仍然依赖于跨导 g_{mb} 。由于非零的 g_{mb} 已经包含在共源放大器跨导所引起的负反馈中,一种加入衬底效应影响的好方法就是在这里让 g_{mb} 非零,将式(3.104)代入(3.191)中,结果为

$$A_{cm} \approx -\frac{g_m R}{1 + (g_m + g_{mb})(2R_{TAIL})} = -\frac{g_m R}{1 + 2(g_m + g_{mb})R_{TAIL}} \quad (3.200)$$

为了在上面的分析中包含有限的 r_o 的影响,式(3.199)和式(3.200)中的 R 应该被 $R // R_o$ 所代替, R_o 由共源放大器在 $R_S = 2R_{TAIL}$ 时的输出电阻式(3.107)中给出。这个替换忽略了一般可以被忽略的 r_o 对于 G_m 的影响,见式(3.103)。

将式(3.189)和式(3.200)代入(3.187),得共模抑制比 $CMRR$ 为

$$CMRR \approx 1 + 2(g_m + g_{mb})R_{TAIL} \quad (3.201)$$

等式(3.201)仅在单级共源对中成立,它表明了增大 R_{TAIL} 可以增大 $CMRR$,这部分在第四章中有所探讨。

3.5.6 差分放大器中的不匹配效应

差分放大器性能的一个重要方面就是所能检测到的最小直流和交流差模电压。放大器的不匹配效应和温漂都在输出端产生了难以区分的直流差模电压。同样,不匹配效应和温漂会使非零的共模输入-差模输出非零的增益和差模输入-共模输出增益增大,非零的 A_{cm-dm} 对于放大器尤其重要,因为它将共模输入电压转换为差模输出电压,但在下一级中输入的时候,却被当作差模电压信号。在很多模拟电路系统中,这些问题都会对系统的某些性能产生较大的影响,因此在设计模拟电路的时候应该把这些问题作为重点考虑的对象。

3.5.6.1 输入失调电压和失调电流

对于差分放大器来讲,不匹配效应对直流性能的影响主要在两方面,输入失调电压和输入失调电流,这两个参量描述了差分放大器中直流性能的一些输入参考效应。^{11,12} 如图3.62所示,一个不匹配的放大器的直流特性和一个输入失调电压源,串联在输入端、输入失调电流源并联在输入端的匹配的理想放大器的直流特性完全一致。只有当这两个参量都存在的情况下,失调模型才是正确的。例如,如果输入端加上一个内阻为零的理想电压源,输入的失调电流对于放大器的输出就没有任何影响,输入失调电压源需模拟不匹配的影响。相反,如果输入端加上一个内阻无限的理想电流源的话,输入的失调电压对于放大器的输出是没有任何影响,输入失调电流源需要模拟不匹配的影响。这两个参量往往是温度和共模输入的函数。在以下几节中,对于输入失调电压和失调电流在共射对和共源对中的影响将分别讨论。

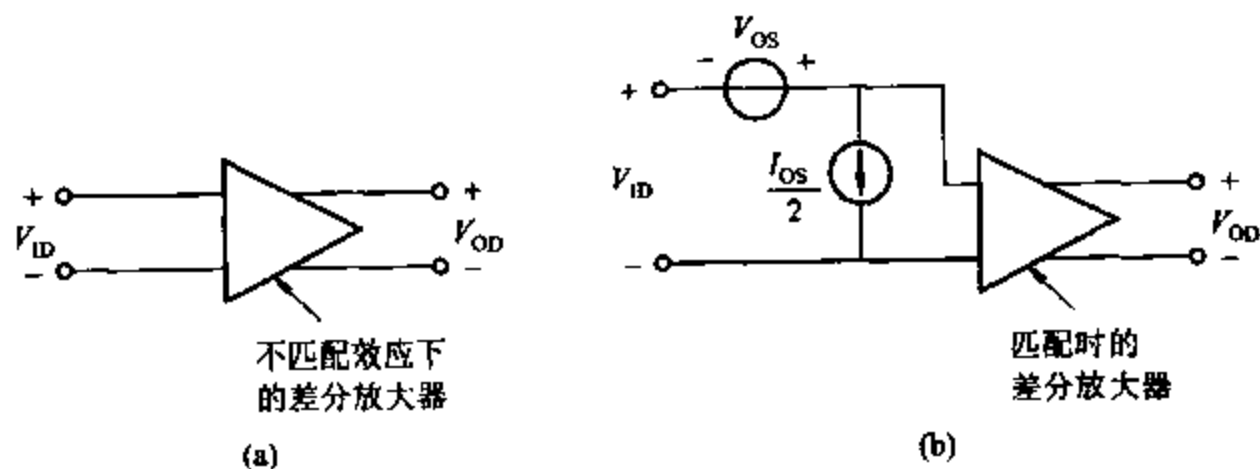


图 3.62 差分放大器的等效输入失调电压 V_{OS} 和电流 I_{OS}

(a) 包含不匹配效应的放大器;(b) 带完全匹配器件、失调电压和参考输入电流的等效直流电路

3.5.6.2 共射差分对的等效输入失调电压

共射对中失调的主要原因在于晶体管基极宽度、基极掺杂层和集电极掺杂层的不匹配,发射极有效面积不匹配,集电极负载电阻的不匹配。为了使结果便于描述,这里假设为均匀基区电阻的晶体管。虽然分析过程可能比较长,但是结果对于非均匀基区电阻的晶体管而言也是类似的。大多数情况下,基极电流非常小,所以 r_b 两端的电压可以忽略,因此在这里忽略 r_b 。

考虑图 3.45 中信号为直流信号,即 $V_{i1} = V_{i1}$, $V_{i2} = V_{i2}$, $V_{o1} = V_{o1}$, $V_{o2} = V_{o2}$ 。令 $V_{ID} = V_{i1} - V_{i2}$, 并假设集电极的电阻不一样。令 R_{C1} 和 R_{C2} 分别为连接 Q_1 和 Q_2 的电阻。由 KVL 得

$$V_{ID} - V_{BE1} + V_{BE2} = 0 \quad (3.202)$$

因此

$$V_{ID} = V_T \ln \frac{I_{C1}}{I_{S1}} - V_T \ln \frac{I_{C2}}{I_{S2}} = V_T \ln \frac{I_{C1} I_{S2}}{I_{C2} I_{S1}} \quad (3.203)$$

决定双极型管饱和电流 I_S 的因素在第一章中已经讨论过,如果基极杂质浓度相同,饱和电流为

$$I_{S1} = \frac{qn_i^2 \bar{D}_n}{N_A W_{B1} (V_{CB})} A_1 = \frac{qn_i^2 \bar{D}_n}{Q_{B1} (V_{CB})} A_1 \quad (3.204)$$

$$I_{S2} = \frac{qn_i^2 \bar{D}_n}{N_A W_{B2} (V_{CB})} A_2 = \frac{qn_i^2 \bar{D}_n}{Q_{B2} (V_{CB})} A_2 \quad (3.205)$$

其中, $W_B(V_{CB})$ 是基极的宽度,是 V_{CB} 的函数, N_A 是基极的受主密度, A 是射极面积。用 $Q_B(V_{CB})$ 来表示 $N_A W_B(V_{CB})$, 为每单位面积内的杂质数量。

如果要使输出的差模电压 $V_{OD} = V_{O1} - V_{O2}$ 等于零,则输入的失调电压 V_{OS} 就必须等于 $V_{ID} = V_{i1} - V_{i2}$ 。为了让 V_{OD} 等于零, $I_{C1} R_{C1} = I_{C2} R_{C2}$; 因此

$$\frac{I_{C1}}{I_{C2}} = \frac{R_{C2}}{R_{C1}} \quad (3.206)$$

将式(3.204)、(3.205)和(3.206)代入式(3.203)得

$$V_{OS} = V_T \ln \left[\left(\frac{R_{C2}}{R_{C1}} \right) \left(\frac{A_2}{A_1} \right) \left(\frac{Q_{B1} V_{CB}}{Q_{B2} V_{CB}} \right) \right] \quad (3.207)$$

这个表达式将输入的失调电压与晶体管参数和 R_C 失配联系在一起。通常,这个对数函数的自变量非常接近于单位值,这个公式可以使用更直观的方式来解释。在下一节中,将对不匹配很小的情况做一个近似的分析。

3.5.6.3 共射差分对的失调电压:近似分析

在实际的电路中,名义上不匹配的电路中参数中的不匹配量比这些参数的绝对值要小得多。这样失调电压和失调电流所引起的影响就可以单独进行分析和总结。

首先,定义一些新的变量来描述不匹配效应:

$$\Delta X = X_1 - X_2 \quad (3.208)$$

$$X = \frac{X_1 + X_2}{2} \quad (3.209)$$

这样 ΔX 是两个变量的差, X 是两个变量的平均值。注意: ΔX 可正可负。将式(3.208)和式(3.209)变换后得

$$X_1 = X + \frac{\Delta X}{2} \quad (3.210)$$

$$X_2 = X - \frac{\Delta X}{2} \quad (3.211)$$

这些等式可以代入到式(3.207)中的集电极电阻、发射极区和基极掺杂参数,则有

$$V_{os} = V_T \ln \left[\left(\frac{R_c - \frac{\Delta R_c}{2}}{R_c + \frac{\Delta R_c}{2}} \right) \left(\frac{A - \frac{\Delta A}{2}}{A + \frac{\Delta A}{2}} \right) \left(\frac{Q_B + \frac{\Delta Q_B}{2}}{Q_B - \frac{\Delta Q_B}{2}} \right) \right] \quad (3.212)$$

假设 $\Delta R_c \ll R_c$, $\Delta A \ll A$ 和 $\Delta Q_B \ll Q_B$, 式(3.212)可以近似为

$$\begin{aligned} V_{os} &\approx V_T \ln \left[\left(1 - \frac{\Delta R_c}{R_c} \right) \left(1 - \frac{\Delta A}{A} \right) \left(1 + \frac{\Delta Q_B}{Q_B} \right) \right] \\ &\approx V_T \left[\ln \left(1 - \frac{\Delta R_c}{R_c} \right) + \ln \left(1 - \frac{\Delta A}{A} \right) + \ln \left(1 + \frac{\Delta Q_B}{Q_B} \right) \right] \end{aligned} \quad (3.213)$$

如果 $x \ll 1$, 应用泰勒级数展开得

$$\ln(1+x) = x - \frac{x^2}{2} + \frac{x^3}{3} - \dots \quad (3.214)$$

将式(3.213)中各项按式(3.214)展开后, 忽略高阶项, 得

$$V_{os} \approx V_T \left(-\frac{\Delta R_c}{R_c} - \frac{\Delta A}{A} + \frac{\Delta Q_B}{Q_B} \right) \quad (3.215)$$

因此, 在这个假设的情况下, 得到输入失调电压的近似表示, 可以看出它是几项的线性叠加。可以看出这个公式在失调很小的情况下是可以使用的。注意式(3.215)中各项的符号并不是特定的, 因为不匹配参量可以是正或是负, 它依赖于随机变量变化的方向。最不匹配状态将会在条件符号的独立附加情况下出现。

式(3.215)表示了晶体管不匹配失调电压, 结构参数和 Q_B 的关系。为了从电气测量中获得器件的失调电压参数, 改写式(3.215), 使用不匹配电阻和晶体管的饱和电流来表述:

$$V_{os} \approx V_T \left(-\frac{\Delta R_c}{R_c} - \frac{\Delta I_s}{I_s} \right) \quad (3.216)$$

其中

$$\frac{\Delta I_s}{I_s} = \frac{\Delta A}{A} - \frac{\Delta Q_B}{Q_B} \quad (3.217)$$

是晶体管自身的失调电压, 在饱和电流中有所反映。匹配的因素 $\Delta R_c/R_c$ 和 $\Delta I_s/I_s$ 对于每个不同的电路是随机变化的, 这个分布可以被描述为一个概率的分布。如果样本很多, 这个分布趋近于高斯分布, 数学期望为零。小区域扩散不匹配参量的典型偏差为

$$\sigma_{\Delta R/R} = 0.01 \quad \sigma_{\Delta I_S/I_S} = 0.05 \quad (3.218)$$

在高斯分布中,68%的样本都在数学期望值的 $\pm\sigma$ 范围内。如果假设数学期望值为零,那么68%的电阻对在1%的偏差内是等同的,那么68%的晶体管在式(3.218)所表达的分布内,它们之间的饱和电流相差都不会超过5%。这些值受器件的物理特性和制作工艺影响很大。如果在样本中随意的找出一个不匹配参量值等于标准偏差,并且参量的偏差为正的话,从(3.216)中得出失调的结果为

$$V_{OS} \approx 26 \text{ mV} \times 0.01 + 0.05 \approx 1.5 \text{ mV} \quad (3.219)$$

大离子注入设备在仔细布层的时候可以达到 $V_{OS} \approx 0.1 \text{ mV}$ 。一个电路设计者要对于一个电路设计者感兴趣的是一个参数。而不是一个样本中失调电压的标准差。由于偏移量是两个不相关随机参数的和,和的标准差是两个不匹配产生的标准差的平方和的均方根,即

$$\sigma_{V_{OS}} = V_T \sqrt{(\sigma_{\Delta R/R})^2 + (\sigma_{\Delta I_S/I_S})^2} \quad (3.220)$$

高斯分布的特性在附录 A.3.1 中有详细的论述。

3.5.6.4 共射差分对的失调电压漂移

当共射对被用来作低级的直流放大器的时候,失调电压就会非常严重,于是经常在外部使用一个电位器加以调整,使输入的失调电压为零。这时,最重要的参数不再是失调电压,而是失调电压随温度的变化量,常称为温漂。在多数的实际电路中,失调电压对于温度变化的敏感度不是零,温度的漂移越大,失调电压所引起的性能下降也就越大。对于共射对这个参量可以通过对式(3.207)微分计算出来,即

$$\frac{dV_{OS}}{dT} = \frac{V_{OS}}{T} \quad (3.221)$$

使用 $V_T = kT/q$ 并且假设式(3.207)中的比值与温度无关。这样,温漂和失调电压对于共射对而言是成比例的。例如,一个具有2 mV失调电压的共射对在假设的情况下的温漂可以是2 mV/300 K 或者6.6 $\mu\text{V}/^\circ\text{C}$ 。

等式(3.221)说明了如果在外部加调零电路,温漂的影响可以为零。当外部调零的时候,这种结论只能是近似的。¹³一般的外部的调零电路都会在集电极并联一个电阻。外部调零电路的温度系数一般不会和扩散电阻相匹配,所以引入电阻失配温度系数,这样比不加调零电路时温漂更糟。电压漂移在1 $\mu\text{V}/^\circ\text{C}$ 时应该引起设计人员的注意。

3.5.6.5 共射差分对的输入失调电流

输入失调电流 I_{OS} 是在输入端仅连接电流源时使差分输出电压 $V_{OD} = V_{O1} - V_{O2}$ 为零的输入端引入的差值电流。由于每个基极的电流都等于集电极的电流除以 β ,所以失调电流为

$$I_{OS} = \frac{I_{C1}}{\beta_{F1}} - \frac{I_{C2}}{\beta_{F2}} \quad (3.222)$$

当 $V_{OD} = 0$ 时,可以写出

$$I_{C1} = I_C + \frac{\Delta I_C}{2} \quad I_{C2} = I_C - \frac{\Delta I_C}{2} \quad (3.223)$$

$$\beta_{F1} = \beta_F + \frac{\Delta \beta_F}{2} \quad \beta_{F2} = \beta_F - \frac{\Delta \beta_F}{2} \quad (3.224)$$

将式(3.223)和式(3.224)插入到式(3.222)中,失调电流为

$$I_{os} = \left[\frac{I_C + \frac{\Delta I_C}{2}}{\beta_F + \frac{\Delta \beta_F}{2}} - \frac{I_C - \frac{\Delta I_C}{2}}{\beta_F - \frac{\Delta \beta_F}{2}} \right] \quad (3.225)$$

忽略高阶项,上式变为

$$I_{os} \approx \frac{I_C}{\beta_F} \left(\frac{\Delta I_C}{I_C} - \frac{\Delta \beta_F}{\beta_F} \right) \quad (3.226)$$

由于 $V_{os} = 0$, $I_{C1} R_{C1} = I_{C2} R_{C2}$; 因此,从式(3.206)中得到集电极电流的失配为

$$\frac{\Delta I_C}{I_C} = -\frac{\Delta R_C}{R_C} \quad (3.227)$$

等式(3.227)说明如果想使 $V_{os} = 0$, 集电极失配电流的变化量就必须和集电极失配电阻的变化量的数值相同,极性相反。将式(3.227)代入式(3.226)中得

$$I_{os} \approx -\frac{I_C}{\beta_F} \left(\frac{\Delta R_C}{R_C} + \frac{\Delta \beta_F}{\beta_F} \right) \quad (3.228)$$

典型的 β 值大概会有 10% 的偏差。假设一个 β 值偏差 10%, 并且集电极电阻也偏差 1%, 得

$$I_{os} \approx -\frac{I_C}{\beta_F} \left(\frac{\Delta R_C}{R_C} + \frac{\Delta \beta_F}{\beta_F} \right) = -\frac{I_C}{\beta_F} \times 0.11 = -0.11 I_B \quad (3.229)$$

在大多数应用中,输入失调电流和输入电流一样都要被最小化。一个好的应用例子是放大器的输入级。在第六章中,将介绍很多种不同的电路和技术都可以减小这些电流。

3.5.6.6 共源差分对的输入失调电压

正如本章的前几节所讲的,当使用 MOS 管栅极作为输入的时候, MOS 管本身会提供一个比双极型晶体管要高的输入阻抗和一个很低的偏压电流。这个结果也适用于差分放大器。MOS 差分对的输入失调电流是指两个栅极电流的差,一般情况下是零,由于栅极的输入电阻被绝缘的二氧化硅相连。但是 MOS 管在相同的输入电流时的跨导要比双极型晶体管小,导致共模抑制比(CMRR)和输入失调电压也比双极型晶体管的小。这一节将计算 MOSFET 共源对的输入失调电压。

考虑图 3.50 中加入直流信号, $V_{i1} = V_{i1}$, $V_{i2} = V_{i2}$, $V_{o1} = V_{o1}$ 且 $V_{o2} = V_{o2}$ 。令 $V_{ID} = V_{i1} - V_{i2}$ 。并假设漏极电阻不一样。令 R_{D1} 和 R_{D2} 分别为连接 M_1 和 M_2 的电阻。由 KVL 定律得

$$V_{ID} - V_{GS1} + V_{GS2} = 0 \quad (3.230)$$

将式(1.157)中的栅极电压代入式(3.230)中,得

$$\begin{aligned}
 V_{ID} &= V_{GS1} - V_{GS2} \\
 &= V_{i1} + \sqrt{\frac{2I_{D1}}{k'(W/L)_1}} - V_{i2} - \sqrt{\frac{2I_{D2}}{k'(W/L)_2}}
 \end{aligned} \quad (3.231)$$

和双极型晶体管一样,如果要使输出的差模电压 $V_{ID} = V_{i1} - V_{i2}$ 等于零,则输入的失调电压 V_{OS} 就必须等于 $V_{ID} = V_{i1} - V_{i2}$ 。为了使 V_{OS} 等于零, $I_{D1}R_{D1} = I_{D2}R_{D2}$; 因此

$$V_{OS} = V_{i1} - V_{i2} + \sqrt{\frac{2I_{D1}}{k'(W/L)_1}} - \sqrt{\frac{2I_{D2}}{k'(W/L)_2}} \quad (3.232)$$

就满足了 $I_{D1}R_{D1} = I_{D2}R_{D2}$ 这个条件。

3.5.6.7 共源差分对的失调电压:近似分析

两个不匹配电路参量的失配量和实际中的绝对值相比较而言往往是很小的。因此,式(3.232)可以改写为另一种形式使其可以更加清晰地分析每个失配量对整体失调的影响。

定义差值和平均值,有

$$\Delta I_D = I_{D1} - I_{D2} \quad (3.233)$$

$$I_D = \frac{I_{D1} + I_{D2}}{2} \quad (3.234)$$

$$\Delta(W/L) = (W/L)_1 - (W/L)_2 \quad (3.235)$$

$$(W/L) = \frac{(W/L)_1 + (W/L)_2}{2} \quad (3.236)$$

$$\Delta V_t = V_{t1} - V_{t2} \quad (3.237)$$

$$V_t = \frac{V_{t1} + V_{t2}}{2} \quad (3.238)$$

$$\Delta R_L = R_{L1} - R_{L2} \quad (3.239)$$

$$R_L = \frac{R_{L1} + R_{L2}}{2} \quad (3.240)$$

对式(3.233)和式(3.234),式(3.235)和式(3.236)进行同样的整理得

$$I_{D1} = I_D + \frac{\Delta I_D}{2} \quad I_{D2} = I_D - \frac{\Delta I_D}{2} \quad (3.241)$$

$$(W/L)_1 = (W/L) + \frac{\Delta(W/L)}{2} \quad (W/L)_2 = (W/L) - \frac{\Delta(W/L)}{2} \quad (3.242)$$

将式(3.237),式(3.241)和式(3.242)代入式(3.232)中得

$$V_{OS} = \Delta V_t + \sqrt{\frac{2(I_D + \Delta I_D/2)}{k'[(W/L) + \Delta(W/L)/2]}} - \sqrt{\frac{2(I_D - \Delta I_D/2)}{k'[(W/L) - \Delta(W/L)/2]}} \quad (3.243)$$

整理式(3.243),有

$$V_{OS} = \Delta V_t + (V_{GS} - V_T) \left[\sqrt{\frac{1 + \Delta I_D/2I_D}{1 + \frac{\Delta(W/L)}{2(W/L)}}} - \sqrt{\frac{1 - \Delta I_D/2I_D}{1 - \frac{\Delta(W/L)}{2(W/L)}}} \right] \quad (3.244)$$

如果失配项非常小,当 $x \approx 1$ 时,式(3.244)带有开方的每个式子都可以用 $\sqrt{x} \approx (1+x)/2$ 来近似,有

$$V_{os} \approx \Delta V_t + \frac{(V_{GS} - V_T)}{2} \left[\frac{1 + \Delta I_D / 2 I_D}{1 + \frac{\Delta(W/L)}{2(W/L)}} - \frac{1 - \Delta I_D / 2 I_D}{1 - \frac{\Delta(W/L)}{2(W/L)}} \right] \quad (3.245)$$

忽略式(3.245)中高一阶的项,得

$$V_{os} \approx \Delta V_t + \frac{(V_{GS} - V_T)}{2} \left[\frac{\Delta I_D}{I_D} - \frac{\Delta(W/L)}{(W/L)} \right] \quad (3.246)$$

当差模输入电压为 V_{GS} 时,差模输出电压就是零;因此 $I_{D1} R_{L1} = I_{D2} R_{L2}$, 即

$$\frac{\Delta I_D}{I_D} = -\frac{\Delta R_L}{R_L} \quad (3.247)$$

换言之,漏极电流的失配值必须和负载电阻的电压等值相反才能使 $V_{os} = 0$ 。将式(3.247)代入(3.246)得

$$V_{os} = \Delta V_t + \frac{(V_{GS} - V_T)}{2} \left(-\frac{\Delta R_L}{R_L} - \frac{\Delta(W/L)}{(W/L)} \right) \quad (3.248)$$

式(3.248)右边的第一项来源于阈值不匹配。这个值仅仅在 MOS 管中才有,在双极型晶体管中是没有的。这部分的结果作为常量与偏置电流是相互独立的。这个阈值不匹配是处理过程中的清洁度和匹配度的重要函数,可以通过对 MOS 管的仔细布层来大幅度地改进。实际的测量表明了现代的硅栅极工艺中,大尺寸的构造可以使这个阈值的偏差仅在 2 mV 以内。这个值同时也限制了在现代工艺上所能做到的最小的失调电压特性,这是现代离子注入技术在差分对不匹配上研究的一个主要目的。

式(3.248)右边的第二项表明了失调中的另外一个带有 $V_{ov} = (V_{GS} - V_T)$ 的部分,它是与负载和元器件的 W/L 的比值相关的。在双极型晶体管共射对的失调中相应的部分被乘以了一个 V_T , V_T 的值要比 $V_{ov}/2$ 还要小很多。因此,即使阈值电压被忽略,在几何变化和温度梯度完全相同的情况下, MOS 共源对的输入失调电压也要比双极型晶体管的大。关键的原因是跨导和偏置电流的比值在 MOS 管中要比在双极型晶体管中小很多。式(3.216)中 V_T 的值和(3.248)中 $(V_{GS} - V_T)/2 = V_{ov}/2$ 的值在这元器件上都和 I_{BIAS}/g_m 相等。这个值在双极型晶体管中为 26 mV,不同的是在 MOS 管中,这个值在 100~500 mV 之间变化。

3.5.6.8 共源差分对的失调电压漂移

MOSFET 共源对中的失调电压漂移与失调电压的关系并不是很密切。失调电压中包含了一系列不同温度系数的项。 V_t 和 V_{ov} 都有一个很大的温度系数且反方向影响 V_{GS} 。温度对于 V_{ov} 的影响主要表现在当阈值电压依赖于费米效应时,漏极电流的温度系数为负这样一个漂移上。正如 1.5.4 节中所说的那样,后者随温度而下降并对漏极电流的温度系数为正。这个现象的原因是当 V_{GS} 比它自身大很多的时候,导致 ΔV_t 也可能非常大。这两种效应可以同时通过单级放大器中的温度偏置电流来消除。在差分放大器中,这种现象不是非常的有效,因为第一级的差模配置已经削弱了 V_{GS} 的第一级变化。

3.5.6.9 非对称差分放大器的小信号特性¹¹

正如 3.5.4 节中所说的那样,共模输入-差模输出增益以及差模输入-共模输出增益在非理想对称的差分放大器中不为零。想要直接计算这些参量就需要分析整个差分放大器的小信号模型。在理想对称的差分放大器中,交叉增益为零,并且差模输入-共模输出增益可以通过 3.5.5 节中所介绍的两个独立的差模等效半边电路的方法计算。在电路非理想对称的情况下,也可以通过分析半边电路来得到结果。进一步讲,如果整个不匹配的差别很小的话,就可以通过分析一个改进的半边电路来得出近似的结果。修改后的等效半边电路并不仅仅可以计算出所需的参数,而且通过分析所得出的结论,同样可以找到一种减小 A_{cm-dm} 和 A_{dm-cm} 的方法。

首先要考虑一个在图 3.63 中不匹配的电阻对 R_1 和 R_2 。假设分支电流为 i_1 和 i_2 。由欧姆定律,跨导上的差模电压和共模电压可以被重新写为

$$v_d = v_1 - v_2 = i_1 R_1 - i_2 R_2 \quad (3.249)$$

$$v_c = \frac{v_1 + v_2}{2} = \frac{i_1 R_1 + i_2 R_2}{2} \quad (3.250)$$

定义 $i_d = i_1 - i_2$, $i_c = (i_1 + i_2)/2$, $\Delta R = R_1 - R_2$ 且 $R = (R_1 + R_2)/2$,

这样,式(3.249)和式(3.250)可以重新被改写为

$$v_d = \left(i_c + \frac{i_d}{2} \right) \left(R + \frac{\Delta R}{2} \right) - \left(i_c - \frac{i_d}{2} \right) \left(R - \frac{\Delta R}{2} \right) = i_d R + i_c (\Delta R) \quad (3.251)$$

$$v_c = \frac{\left(i_c + \frac{i_d}{2} \right) \left(R + \frac{\Delta R}{2} \right) + \left(i_c - \frac{i_d}{2} \right) \left(R - \frac{\Delta R}{2} \right)}{2} = i_c R + \frac{i_d (\Delta R)}{4} \quad (3.252)$$

这些等式可以用来描述电阻失配的差模半边电路和共模半边电路。由于在差模半边电路中,在电阻上的差模电压为一半,式(3.251)右边的两项都应该除以 2。差模半边电路如图 3.64a 中所示。第一部分的分支电压是差模电流作用在平均电阻 R 上的电压的一半。第二部分的电压依赖于共模等效半边电路中的电流控制电压源,它均衡地加载在每一边的电阻上。共模半边电路由式(3.252)可以构造出来,如图 3.64b 所示。这里分支电压 v_c 是差模半边电路中电阻上的电压和电流控制电压源的值的和。在限制条件 $\Delta R = 0$ 的情况下,图 3.64 中每一个受控源的电压都是零,每个半电路都连接了一个电阻 R 。因此,所有的半边电路都是相互独立的。实际上, $\Delta R \neq 0$, 图 3.64 中显示的差模电压,不仅仅依赖于差模电流,同样依赖于共模电流。类似的,共模电压也部分依赖于差模电流。因此失配电阻的特性可以通过分析一对半边电路来得到。

接下来考虑一对不匹配的电压控制电流源,如图 3.65 所示。假设控制电压 v_1 和 v_2 , 那么差模电流和共模电流分别为

$$\begin{aligned} i_d &= i_1 - i_2 = g_{m1} v_1 - g_{m2} v_2 \\ &= \left(g_m + \frac{\Delta g_m}{2} \right) \left(v_c + \frac{v_d}{2} \right) - \left(g_m - \frac{\Delta g_m}{2} \right) \left(v_c - \frac{v_d}{2} \right) \end{aligned} \quad (3.253)$$

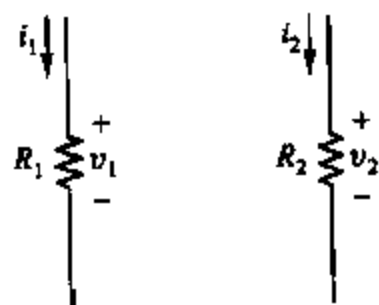


图 3.63 失配的电阻对

$$= g_m v_d + \Delta g_m v_c$$

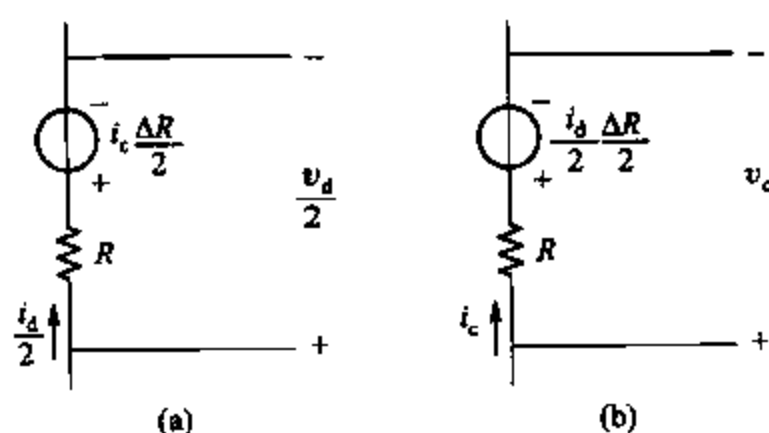


图 3.64 (a) 差模半边电路; (b) 共模半边电路

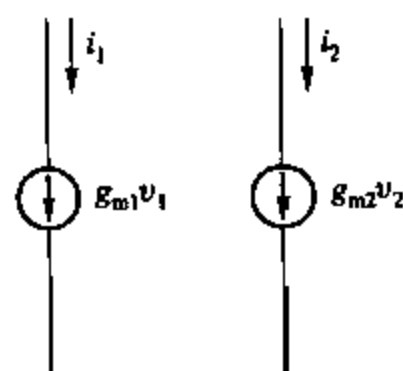


图 3.65 一对失配的电压控制电流源

$$\begin{aligned} i_c &= \frac{i_1 + i_2}{2} = \frac{g_{m1} v_1 + g_{m2} v_2}{2} \\ &= \frac{\left(g_m + \frac{\Delta g_m}{2}\right) \left(v_c + \frac{v_d}{2}\right) + \left(g_m - \frac{\Delta g_m}{2}\right) \left(v_c - \frac{v_d}{2}\right)}{2} \\ &= g_m v_c + \frac{\Delta g_m v_d}{4} \end{aligned} \quad (3.254)$$

其中, $v_d = v_1 - v_2$, $v_c = (v_1 + v_2)/2$, $\Delta g_m = g_{m1} - g_{m2}$ 且 $g_m = (g_{m1} + g_{m2})/2$ 。

差模半边电路和共模半边电路使用两个差模和共模电压控制电流源的响应如图 3.66 所示。每个受控源都均衡地受到平均跨导和其他半边跨导的制约。在完全匹配中, 失配项为 0, 两个半边电路都是相互独立的。在不完全匹配中, 失配项就不是零。在差模半边电路中, 失配的电流源是由共模电压所控制的。在共模半边电路中, 失配的电流源由差模电压的一半所控制。因此, 对于失配的电阻, 失配的电压控制电流源可以用成对的半边电路来进行描述。

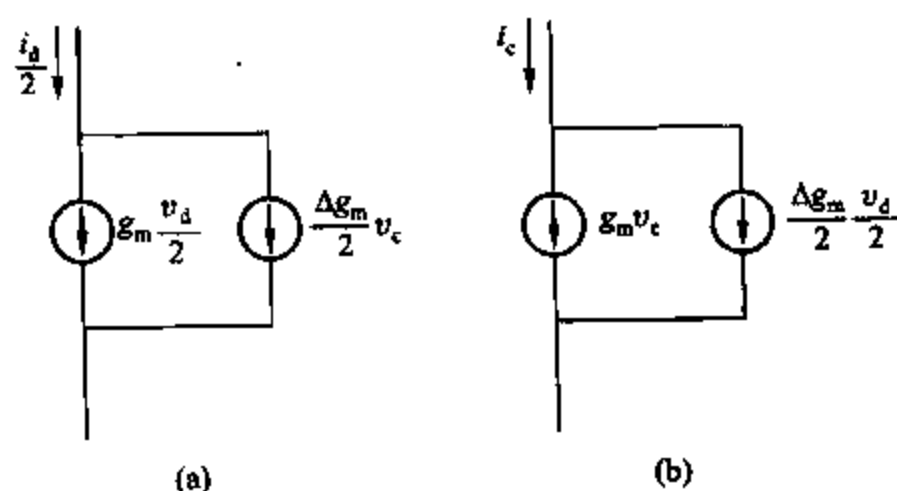


图 3.66 (a) 差模半边电路中失配电压控制电流源;
(b) 共模半边电路中失配电压控制电流源

有了这些概念, 非理想对称的差分放大器中的差模和共模半边电路就可以构造出来。

在差模半边电路中,失配电阻被图 3.64a 中的电路代替,失配的电压控制电流源被图 3.66a 中的电路代替。同理,在共模半边电路中,图 3.64b 和图 3.66b 中的电路则替代了共模半边电路中的失配电阻和电压控制电流源。尽管在非理想对称差分放大器中不匹配在多处改变了信号中的差模和共模部分,但差模部分始终是等值反相的,共模部分也和定义中的一样。因此,差模和共模的小信号的短路等效电路和开路等效电路并不受这些替代的影响。

例如,图 3.67 所示的非理想对称差分放大器的差模和共模等效半边电路如图 3.68 所示,在式 3.68a 差模输出电路中,由 KCL 得

$$\frac{i_{Rd}}{2} + g_m \frac{v_{id}}{2} + \frac{\Delta g_m}{2} v = 0 \quad (3.255)$$

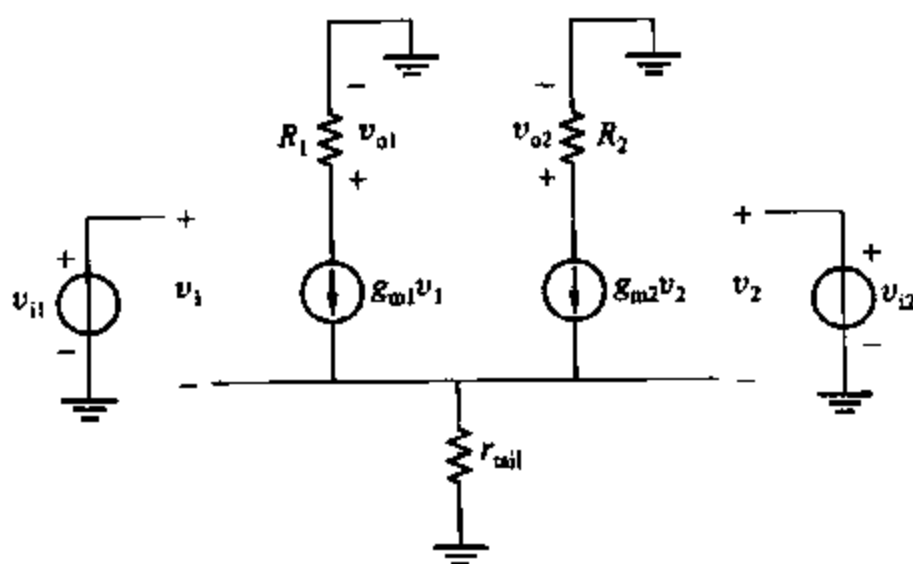


图 3.67 非理想对称差分放大器的小信号等效电路

在如图 3.68b 所示的共模输出端中使用 KCL 得

$$g_m v + \frac{\Delta g_m}{2} \frac{v_{id}}{2} + i_{Rc} = 0 \quad (3.256)$$

同样的,在共模输入端应用 KVL 得

$$v = v_{ic} - v_{tail} = v_{ic} + 2i_{Rc} r_{tail} \quad (3.257)$$

将式(3.257)代入(3.256)中,移项得

$$i_{Rc} = - \frac{g_m v_{ic} + \frac{\Delta g_m}{2} \frac{v_{id}}{2}}{1 + 2g_m r_{tail}} \quad (3.258)$$

将式(3.257)和式(3.258)代入式(3.255)中,重新移项得

$$\frac{i_{Rd}}{2} = \frac{v_{id}}{2} \left[-g_m + \frac{\Delta g_m r_{tail}}{1 + 2g_m r_{tail}} \right] + v_{ic} \left(-\frac{\Delta g_m}{2} + \frac{\Delta g_m r_{tail} g_m}{1 + 2g_m r_{tail}} \right) \quad (3.259)$$

在图 3.68a 中 R 支路中应用 KVL 得

$$\frac{v_{od}}{2} = i_{Rc} \frac{\Delta R}{2} + \frac{i_{Rd}}{2} R \quad (3.260)$$

将式(3.258)和式(3.259)代入式(3.260)得

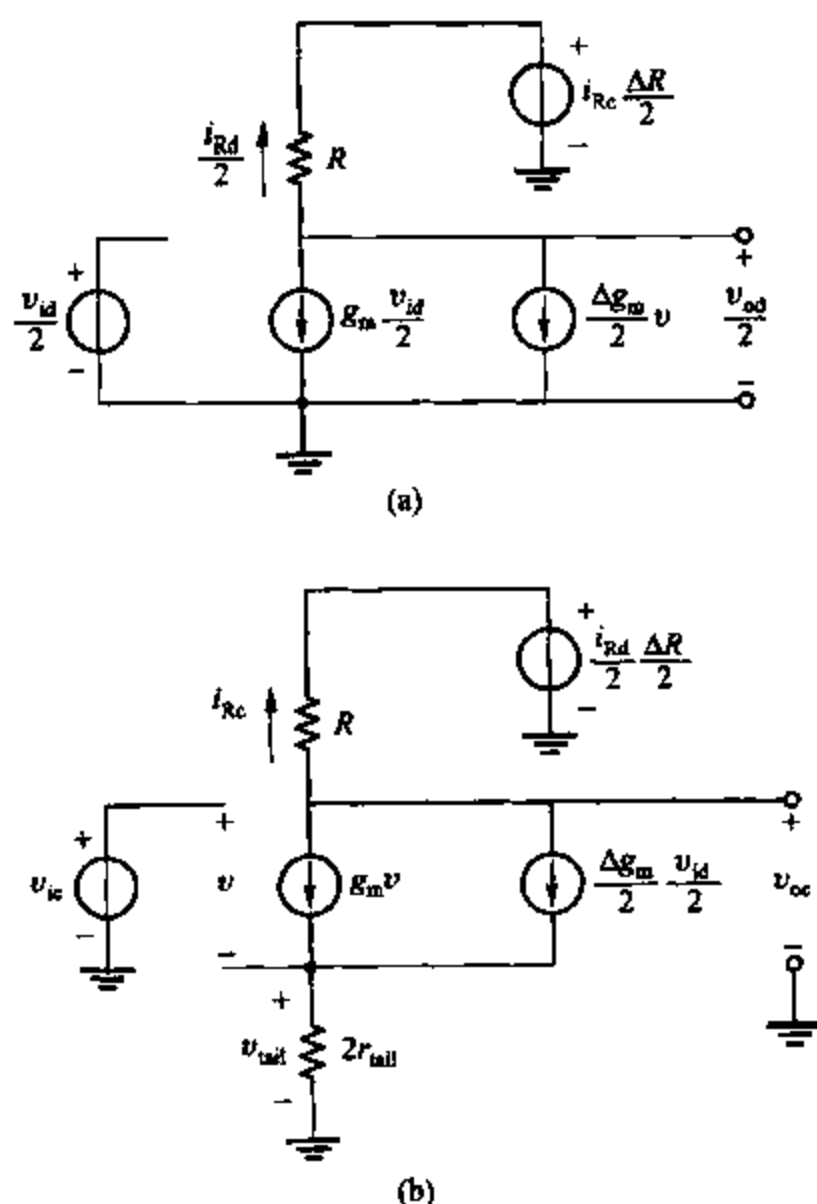


图 3.68 (a) 图 3.67 所示差分放大器的差模半边电路; (b) 共模半边电路

$$v_{od} = A_{dm} v_{id} + A_{cm-dm} v_{ic} \quad (3.261)$$

其中, A_{dm} 和 A_{cm-dm} 为

$$A_{dm} = \left. \frac{v_{od}}{v_{id}} \right|_{v_{ic}=0} = -g_m R + \frac{\Delta g_m r_{tail} \frac{\Delta g_m}{2} R - \frac{\Delta g_m \Delta R}{2}}{1 + 2g_m r_{tail}} \quad (3.262)$$

$$A_{cm-dm} = \left. \frac{v_{od}}{v_{ic}} \right|_{v_{id}=0} = - \left(\frac{g_m \Delta R + \Delta g_m R}{1 + 2g_m r_{tail}} \right) \quad (3.263)$$

图 3.68b 中共模半边电路的 R 支路中应用 KVL 得

$$v_{oc} = \frac{i_{Rd}}{2} \frac{\Delta R}{2} + i_{Rc} R \quad (3.264)$$

将式(3.258)和式(3.259)代入式(3.264)得

$$v_{oc} = A_{dm-cm} v_{id} + A_{cm} v_{ic} \quad (3.265)$$

其中, A_{dm-cm} 和 A_{cm} 为

$$A_{dm-cm} = \left. \frac{v_{oc}}{v_{id}} \right|_{v_{ic}=0}$$

$$= -\frac{1}{4} \left[g_m \Delta R + \frac{\Delta g_m R - g_m \Delta R \left[2g_m r_{tail} \left(\frac{\Delta g_m}{2g_m} \right)^2 \right]}{1 + 2g_m r_{tail}} \right] \quad (3.266)$$

$$A_{cm} = \frac{v_{oc}}{v_{ic}} \bigg|_{v_{id}=0} = - \left[\frac{g_m R + \frac{\Delta g_m \Delta R}{2}}{1 + 2g_m r_{tail}} \right] \quad (3.267)$$

式(3.255)通过式(3.267)的计算是基于图 3.68 中的半边电路的,但同时也给出了图 3.67 所示的整个差分放大器的完全同样的分析结论。由于半边电路是成对的,精确的半边电路的分析需要考虑整个电路的情况,但对于整个电路直接进行分析却是非常复杂的。

实际上,失配项对于平均响应的影响很小。结果,共模半边电路中主要产生失配的差模信号是从差模输入中产生的。类似的,在差模半边电路中主要产生失配的共模信号也是从共模输入中产生的。这样,假设信号控制和失配源可以通过分析各自无失匹配的独立半边电路从而近似地得到。控制图 3.68 中失配源的是 i_{Rc} , $i_{Rd}/2$, \hat{v} 和 $\hat{v}_{id}/2$ 。通过图 3.69 的半边等效电路,可以得到这些参量的近似值为 \hat{i}_{Rc} , $\hat{i}_{Rd}/2$, \hat{v} 和 $\hat{v}_{id}/2$,图 3.69 的输入和图 3.68 相同但失配项为零。忽略第二级中失配源影响对于控制信号值的相互作用,这个过程就大大地精简了所需的计算,计算过程如下。

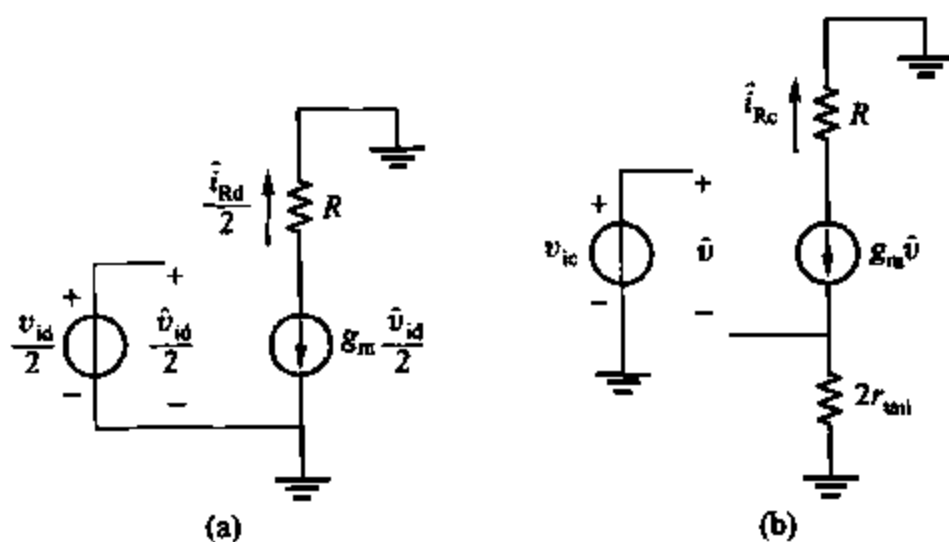


图 3.69 (a) 图 3.67 中不匹配项为零的差分放大器的差模半边电路;(b) 共模半边电路

通过观察图 3.69a 的差模半边电路得

$$\frac{\hat{v}_{id}}{2} = \frac{v_{id}}{2} \quad (3.268)$$

$$\frac{\hat{i}_{Rd}}{2} = -g_m \frac{v_{id}}{2} \quad (3.269)$$

通过观察图 3.69b 中的共模半边电路得

$$\hat{v} = v_{ic} - g_m \hat{v} (2r_{tail}) = \frac{v_{ic}}{1 + 2g_m r_{tail}} \quad (3.270)$$

因此

$$\hat{i}_{Rc} = -\frac{g_m v_{ic}}{1 + 2g_m r_{tail}} \quad (3.271)$$

现在重新考虑图 3.68a 中带失配项的差模半边电路, 假设 $i_{Rc} \approx \hat{i}_{Rc}$ 且 $v \approx \hat{v}$, 这样

$$\frac{v_{od}}{2} \approx -\frac{\Delta R}{2} \left(\frac{g_m v_{ic}}{1 + 2g_m r_{tail}} \right) - g_m \frac{v_{id}}{2} R - \frac{\Delta g_m}{2} \frac{v_{ic}}{1 + 2g_m r_{tail}} R \quad (3.272)$$

从式(3.272)中得

$$A_{dm} = \frac{v_{od}}{v_{id}} \bigg|_{v_{ic}=0} \approx -g_m R \quad (3.273)$$

$$A_{cm-dm} = \frac{v_{od}}{v_{ic}} \bigg|_{v_{id}=0} \approx -\left(\frac{g_m \Delta R + \Delta g_m R}{1 + 2g_m r_{tail}} \right) \quad (3.274)$$

式(3.274)表明了比值 A_{dm}/A_{cm-dm} 近似等于 $1 + 2g_m r_{tail}$ 。同样的, 式(3.274)和式(3.263)也是完全吻合的, 因为图 3.68a 中的 g_m 只受差模信号控制。在另外一个例子中, 共模输入-差模输出增益如果也通过这种方式来计算, 得到的是近似值。

现重新考虑图 3.68b 中带失配的共模半边电路, 并假设 $i_{Rd} \approx \hat{i}_{Rd}$, 在最终尾结点, 由 KCL 得

$$v_{tail} \approx \left(g_m v + \frac{\Delta g_m}{2} \frac{v_{id}}{2} \right) 2r_{tail} \quad (3.275)$$

则

$$v = v_{ic} - v_{tail} \approx \frac{v_{ic} - \frac{\Delta g_m}{2} \frac{v_{id}}{2} (2r_{tail})}{1 + 2g_m r_{tail}} \quad (3.276)$$

在图 3.86b 的输出点, 由 KCL 得

$$\frac{v_{oc} - \frac{i_{Rd} \Delta R}{2}}{R} + g_m v + \frac{\Delta g_m}{2} \frac{v_{id}}{2} = 0 \quad (3.277)$$

假设 $i_{Rd} \approx \hat{i}_{Rd}$, 将式(3.269)和式(3.276)代入式(3.277)中, 移项得

$$v_{oc} \approx -\frac{1}{4} \left(g_m \Delta R + \frac{\Delta g_m R}{1 + 2g_m r_{tail}} \right) v_{id} - \frac{g_m R}{1 + 2g_m r_{tail}} v_{ic} \quad (3.278)$$

由式(3.278)得

$$A_{dm-cm} = \frac{v_{oc}}{v_{id}} \bigg|_{v_{ic}=0} \approx -\frac{1}{4} \left(g_m \Delta R + \frac{\Delta g_m R}{1 + 2g_m r_{tail}} \right) \quad (3.279)$$

$$A_{cm} = \frac{v_{oc}}{v_{ic}} \bigg|_{v_{id}=0} \approx -\frac{g_m R}{1 + 2g_m r_{tail}} \quad (3.280)$$

这些等式表明了增加共模负反馈输入将会使 A_{cm-dm} , A_{dm-cm} 和 A_{cm} 减小为原来的 $1/(1 + 2g_m r_{tail})$ 。当 r_{tail} 增大到无穷大时, A_{cm-dm} 和 A_{cm} 将趋于零。另一方面, 当 r_{tail} 为无穷大时, A_{dm-cm} 不会趋近零。

$$\lim_{r_{tail} \rightarrow \infty} A_{dm-cm} \approx -\frac{g_m \Delta R}{4} \quad (3.281)$$

对于有限并失配的晶体管输出电阻, 当 r_{tail} 无穷大时, A_{cm-dm} 同样趋近零。因此, r_{tail} 应该被看作一个重要的参量, 因为它降低了差分对中共模输入的敏感度, 并且减小了不匹配效应。

但是,尽管是理想电流源也不可能解决所有由失配所引起的问题。在第四章将会讨论晶体管电流源中 r_{tail} 非常大的情形。

示例

考虑图 3.67 所示的非理想对称差分放大器,假设

$$g_{m1} = 1.001 \text{ mS} \quad g_{m2} = 0.999 \text{ mS}$$

$$R_1 = 101 \text{ k}\Omega \quad R_2 = 99 \text{ k}\Omega \quad r_{\text{tail}} = 1 \text{ M}\Omega$$

计算 A_{dm} , A_{cm} , $A_{\text{dm-cm}}$ 和 $A_{\text{cm-dm}}$ 的值。

计算平均值和不匹配值得

$$g_m = \frac{g_{m1} + g_{m2}}{2} = 1 \text{ mS} \quad \Delta g_m = g_{m1} - g_{m2} = 0.002 \text{ mS}$$

$$R = \frac{R_1 + R_2}{2} = 100 \text{ k}\Omega \quad \Delta R = R_1 - R_2 = 2 \text{ k}\Omega$$

由式(3.269)得

$$\frac{\hat{i}_{\text{Rd}}}{2} = -1 \text{ mS} \frac{v_{\text{id}}}{2} = -\frac{v_{\text{id}}}{2 \text{ k}\Omega}$$

由式(3.271)得

$$\hat{i}_{\text{Rc}} = -\frac{1 \text{ mS} v_{\text{ic}}}{1 + 2 \times 1 \times 1 \text{ 000}} = -\frac{v_{\text{ic}}}{2001 \text{ k}\Omega}$$

由式(3.273)、(3.274)、(3.279)和(3.280)得

$$A_{\text{dm}} \approx -1 \times 100 = -100$$

$$A_{\text{cm-dm}} \approx -\frac{1 \times 2 + 0.002 \times 100}{1 + 2 \times 1 \times 1 \text{ 000}} \approx -0.001$$

$$A_{\text{dm-cm}} \approx -\frac{1}{4} \left[1(2) + \frac{0.002 \times 100}{1 + 2 \times 1 \times 1 \text{ 000}} \right] \approx -0.5$$

$$A_{\text{cm}} \approx -\frac{1 \times 100}{1 + 2 \times 1 \times 1 \text{ 000}} \approx -0.05$$

附录

A.3.1 静态初步和高斯分布

从一个电路设计人员的观点出发,很多的电路参数都可以被描述为一个具有某些分布特性的随机变化的参量。这点在处理失调电压的时候尤其重要。尽管在一些理想的状态下,失调电压可能为零,但是在很多情况下,电阻和晶体管的随机变化都会使失调电压在平均值周围分布,这种分布主要决定了具有失调电压的电路的一小部分。

有一些因素会导致集成电路的一些参数特性表现出随机变化的特性。其中之一就是某

些区域被定义为电阻和有源器件时对边缘定义的随机性。另外,晶片的掩埋层的随机变化也是一个重要的因素。这些过程通常都会使最终的结果呈现出一个高斯分布的特性。一个高斯分布概率密度函数 $p(x)$ 通常如下表示:

$$p(x) = \frac{1}{\sqrt{2\pi}\sigma} \exp\left[-\frac{(x-m)^2}{2\sigma^2}\right] \quad (3.282)$$

其中, σ 是这个分布的标准偏差, m 是 x 的数学期望。这个公式的重要性在于,对于从一堆电路中所选定的一个特定的电路,电路的某个参数的值在 x 和 $x+dx$ 之间的概率是 $p(x)dx$, 即 $p(x)$ 在 x 到 $x+dx$ 之间的曲线围成的面积。例如, x 的值小于 X 的概率是

$$P(x < X) = \int_{-\infty}^X p(x) dx \quad (3.283)$$

$$= \int_{-\infty}^X \frac{1}{\sqrt{2\pi}\sigma} \exp\left[-\frac{(x-m)^2}{2\sigma^2}\right] dx \quad (3.284)$$

在一个很大样本范围内,电路参数中 x 小于 X 的概率可以通过 $P(x < X)$ 得到,这个概率值在实际应用中非常有价值。概率密度 $p(x)$ 曲线在图 3.70 中呈现出了一个钟形曲线。当 $x = m$ 时得到分布的极值, m 是 x 的数学期望。标准偏差 σ 是描述分布范围的一个重要的参量, σ 越大,钟形的也就越宽。实际的分布是从负无穷到正无穷的。但是曲线的大部分面积都在 $x = m \pm 3\sigma$ 的范围内。

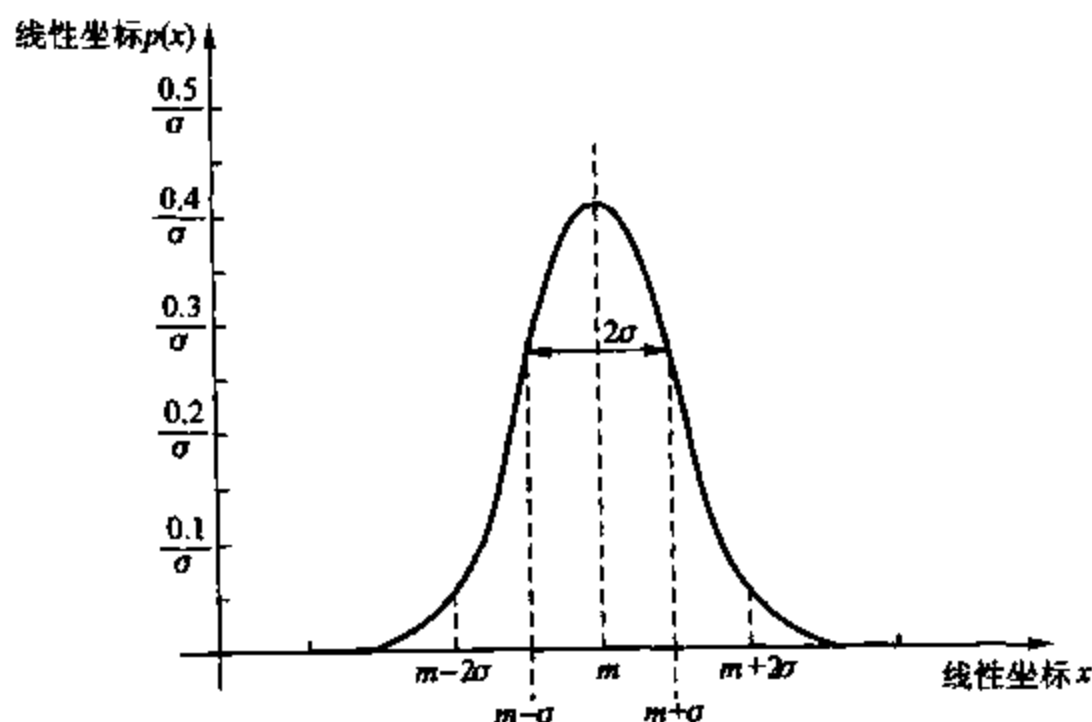


图 3.70 $p(x)$ 高斯分布下的概率密度曲线,期望值为 m ,标准偏差为 σ

$$p(x) = \exp\left[-(x-m)^2/(2\sigma^2)\right]/(\sqrt{2\pi}\sigma)$$

前面提到参量 x 在某一个特定范围内的概率可以通过图 3.70 所示曲线在 x 那一部分下所围成的面积计算出来,由于 x 一定是在负无穷到正无穷的范围内,所以整条曲线在这个范围内所围成的面积为单位面积,通过式(3.282)可以推出这个结论。对于电路设计者来讲,普遍感兴趣的是一个电路大样本中的一部分,这部分分布在均值附近。举例来讲,如果

一个电路的增益 x 具备高斯分布的特性并且它的数学期望值是 100, 那么这样的电路具有增益值为 90~110 的概率就可以通过这样的计算得到。即当 $m = 100$ 时, $x = m \pm 10$ 时, 如果已知 σ 通过整理式(3.282)可以得到:

$$P(m - 10 < x < m + 10) = \int_{m-10}^{m+10} \frac{1}{\sqrt{2\pi}\sigma} \exp\left[-\frac{(x-m)^2}{2\sigma^2}\right] dx \quad (3.285)$$

这个等式同时表明了 $x = m - 10$ 的范围内高斯分布曲线面积。

为了简化以上的计算, 式(3.285)中的一些变量可以通过查表得出最后的结果。为了使表格具有通用性, 我们把以上的式子改写为

$$P(m - k\sigma < x < m + k\sigma) = \int_{m-k\sigma}^{m+k\sigma} \frac{1}{\sqrt{2\pi}\sigma} \exp\left[-\frac{(x-m)^2}{2\sigma^2}\right] dx \quad (3.286)$$

整数和变量 k 的值在表(3.71)中可以查到, 从表中可知当 $k = 1$ 时 $P = 0.683$, 这样在 $x = m + \sigma$ 的范围内有 68.3% 的样本会满足这个条件。当 $k = 3$ 的时候 $P = 0.997$ 也就是在 $x = m + 3\sigma$ 的范围内, 有 99.7% 的大样本满足这个条件。

一些电路参数如失调、增益参数可表示为其他参数的线性组合, 例如式(3.216)和式(3.248)所表示的失调电压。如果所有的参数都是高斯分布的独立随机变量, 则标准偏差和数学期望有如下关系。假设随机变量 x 可以被描述为几个变量 a, b, c , 即

$$x = a + b - c \quad (3.287)$$

也可表示为

$$m_x = m_a + m_b - m_c \quad (3.288)$$

$$\sigma_x^2 = \sigma_a^2 + \sigma_b^2 + \sigma_c^2 \quad (3.289)$$

其中, m_x 是 x 的数学期望, σ_x 是 x 的标准偏差。等式(3.289)表明了 x 的标准偏差是其他几个参量 a, b, c 标准偏差的均方根。这个结果可以扩展到任意数量变量中。

这些结果可以用在电路中某些参量为随机分布的近似处理中。高斯分布对于噪声的分析同样是有用的, 在第十一章中有所论述。

示例

一个电路的失调电压的数学期望值为 $m = 0$, 标准偏差为 $\sigma = 2$ mV。那么这类电路在失调电压小于 4 mV 的情况下的概率是多少?

失调电压为 ± 4 mV 时对应 $\pm 2\sigma$ 。从图 3.71 中可知, 高斯曲线的这部分面积为 0.954, 因此 95.4% 的电路的失调电压会在这个范围内。

k	在 $m \pm k\sigma$ 范围内高斯曲线下的面积	k	在 $m \pm k\sigma$ 范围内高斯曲线下的面积
0.2	0.159	1.2	0.766
0.4	0.311	1.4	0.838
0.6	0.451	1.6	0.890
0.8	0.576	1.8	0.928
1.0	0.683	2.0	0.954

k	在 $m \pm k\sigma$ 范围内高斯曲线下的面积	k	在 $m \pm k\sigma$ 范围内高斯曲线下的面积
2.2	0.972	2.8	0.995
2.4	0.984	3.0	0.997
2.6	0.991		

图 3.71 k 值变化时式(3.286)的积分值。这个积分值为在 $m \pm k\sigma$ 范围内图 3.70 所示高斯曲线下的面积

图 3.71 式(3.286)中变量 k 所对应的结果。这些数值给出了图 3.70 中高斯曲线在 $x = \pm k\sigma$ 之间的面积

习题

对于 npn 双极型晶体管参数,除非另外指出,请参看为图 3.30 所示的高电压双极型晶体管参数。

3.1 计算图 3.7 中共射放大器的输入电阻、跨导和输出电阻。假设 $R_C = 20 \text{ k}\Omega$, $I_C = 250 \text{ }\mu\text{A}$ 且 $r_b = 0$ 。

3.2 一个共射晶体管被用来组成图 3.72 中的放大器,带有一个源极电阻 R_S 和集电极电阻 R_C 。首先,找出最终的小信号增益 $\frac{v_o}{v_i}$ 的 R_S, R_C, β_o, V_A 和集电极电流 I_C 形式。然后,计算出当小信号电压增益最大的情况下的直流集电极偏压电流 I_C 。定性地解释为什么在集电极电流非常大或者非常小的情况下电压增益会降低。 r_o 不能忽略。在 I_C 选择适合的时候电压增益是多少? 假设 $r_b = 0$ 。

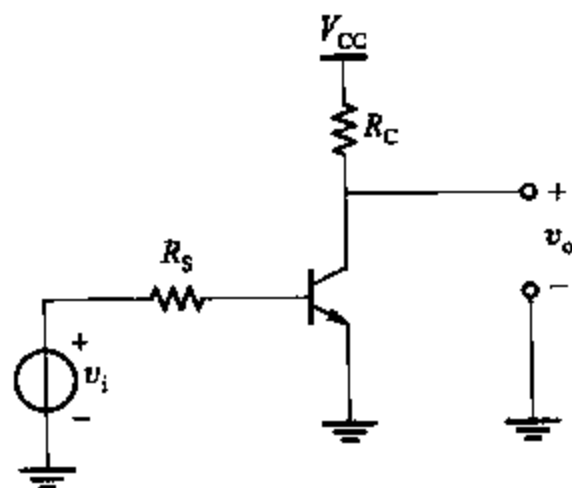


图 3.72 题 3.2 的电路图

3.3 假设上题中 $R_S = R_C = 50 \text{ k}\Omega$, 计算出适当的 I_C 。 R_C 上的直流电压是多少,电压增益是多少?

3.4 对于图 3.12 中的共源放大器,计算出在临界三极管区内小信号电压增益和偏压 V_i 和 V_o 。同时计算出当在放大区小信号电压增益为单位值时的 V_i 和 V_o 。这个区域内最大的电压增益是多少? 假设 $V_{DD} = 3 \text{ V}$, $R_D = 5 \text{ k}\Omega$, $\mu_n C_{ox} = 200 \text{ }\mu\text{A/V}^2$, $W = 10 \text{ }\mu\text{m}$, $L = 1 \text{ }\mu\text{m}$, $V_t = 0.6 \text{ V}$ 且 $\lambda = 0$ 。使用 SPICE 来验证结论。

3.5 计算图 3.15 中共源放大器的输入电阻、跨导和输出电阻。假设 $I_C = 250 \text{ }\mu\text{A}$ 且 $R_C = 10 \text{ k}\Omega$, 忽略 r_b 和 r_o 。

3.6 假设在图 3.15 中的共源放大器中, R_C 比 r_o 大很多, 使用图 3.17 中的等效电路并在输入发射极和输出集电极之间添加电阻 r_o , 根据以下条件计算输出电阻。

- (1) 放大器使用理想电流源驱动;
- (2) 放大器使用理想电压源驱动, 忽略 r_b 。

3.7 设晶体管工作在放大区时, $I_D = 100 \mu\text{A}$, 计算图 3.19 中的共栅放大器中的输入电阻。令 $R_D = 10 \text{ k}\Omega$, $\mu_n C_{ox} = 200 \mu\text{A}/\text{V}^2$, $\lambda = 0.01 \text{ V}^{-1}$, $W = 100 \mu\text{m}$ 且 $L = 1 \mu\text{m}$, 忽略衬底效应。当 $R_D = 1 \text{ M}\Omega$ 时候重新计算。如果通过 R_D 的电流是 $100 \mu\text{A}$, 必须有 100 V 的直流电压加载才可以。为了克服这个问题, 假设这里添加一个理想的电流源 $100 \mu\text{A}$ 且并联一个电阻 R_D 。

3.8 计算图 3.23a 中共集放大器的输入电阻、电压增益 $\frac{v_o}{v_s}$ 和输出电阻。假设 $R_S = 5 \text{ k}\Omega$, $R_L = 500 \Omega$ 且 $I_C = 1 \text{ mA}$, 忽略 r_b 和 r_o 。计算输入电阻的时候不要包含 R_S 。计算输出电阻的时候包含 R_L 。计算增益的时候同时包含 R_S 和 R_L 。

3.9 对于图 3.73 所示的共漏放大器, 假设 $W/L = 10$, $\lambda = 0$ 。使用表 2.2 中的其他参数, 计算直流输出电压 V_o 和小信号增益 $\frac{v_o}{v_i}$ 在如下条件下的值。

- (1) 忽略衬底效应, $R \rightarrow \infty$;
- (2) 考虑衬底效应, $R \rightarrow \infty$;
- (3) 考虑衬底效应, $R = 100 \text{ k}\Omega$;
- (4) 考虑衬底效应, $R = 10 \text{ k}\Omega$ 。

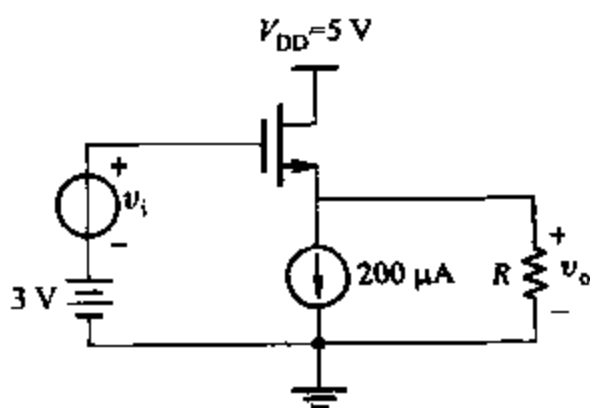


图 3.73 习题 3.9 的图

3.10 计算 Q_1 和 Q_2 的直流集电极电流和图 3.74 所示达林顿射极跟随器的输入电阻和电压增益。忽略 r_p , r_b 和 r_o 。假设 $V_{BE(on)} = 0.7 \text{ V}$ 。在 SPICE 中验证结论。

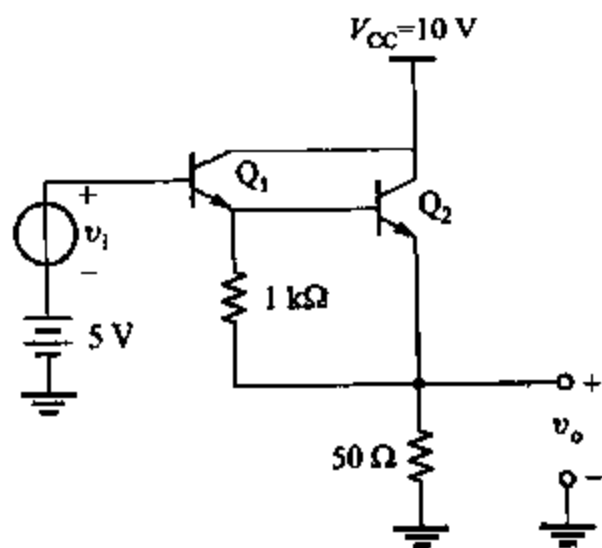


图 3.74 习题 3.10 的图

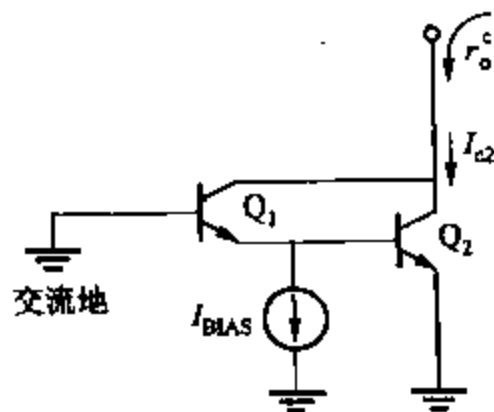


图 3.75 习题 3.11 的图

3.11 计算图 3.75 中达林顿共射电路的输出电阻 r_o^c , 写出 I_{BIAS} 形式。不要忽略 r_{o1} 和 r_{o2} 中的任何一

个,但是可以忽略 r_b 和 r_{μ} 。如果 $I_{C2} = 1 \text{ mA}$, $I_{\text{BIAS}} = 1 \text{ mA}$ 则 r_o^c 是多少; $I_{\text{BIAS}} = 0$ 时 r_o^c 又是多少?

3.12 图 3.76 所示为一个 BiCMOS 达林顿电路。偏压 V_B 调整为直流输出电压为 2 V 。计算两个器件的偏置电流和整个电路的小信号电压增益 $\frac{v_o}{v_i}$ 。对于 CMOS 管,假设 $W = 10 \mu\text{m}$, $L = 1 \mu\text{m}$, $V_t = 0.6 \text{ V}$, $\mu_n C_{ox} = 200 \mu\text{A}/\text{V}^2$, $V_t = 0.6 \text{ V}$, $\gamma = 0.25 \text{ V}^{1/2}$, $\phi_t = 0.3 \text{ V}$ 且 $\lambda = 0$ 。对于双极型晶体管而言,假设 $I_s = 10^{-16} \text{ A}$, $\beta_F = 100$, $r_b = 0$ 且 V_A 无穷大。用 SPICE 来验证结论。然后加入 $\lambda = 0.05 \text{ V}^{-1}$, $r_b = 100 \Omega$ 且 $V_A = 20 \text{ V}$ 。并将这个晶体管和原来的结论作对比。最后,使用 SPICE 估算这个电路的直流传输特性。

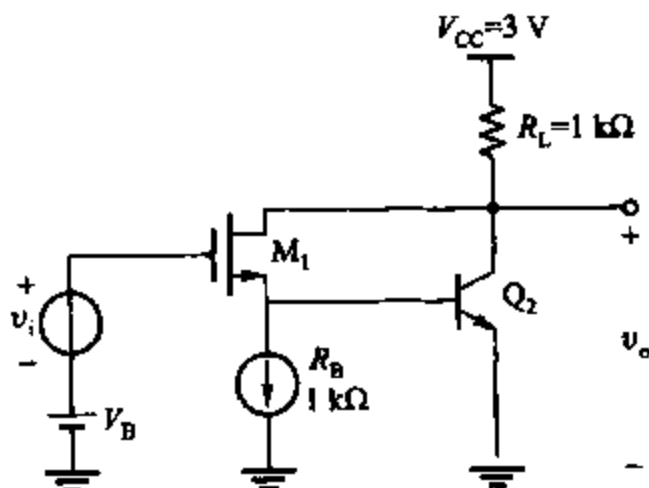


图 3.76 习题 3.12 中的 BiCMOS 达林顿电路

3.13 计算图 3.36 中的共射-共基电路的输入电阻、跨导、输出电阻和最大开路电压增益。假设 $I_{C1} = I_{C2} = 250 \mu\text{A}$ 。

3.14 计算图 3.38 中共源-共栅电路的输入电阻、跨导、输出电阻和最大开路电压增益。假设 $I_{D1} = I_{D2} = 250 \mu\text{A}$, $W/L = 100$, $\lambda = 0.1 \text{ V}^{-1}$ 且 $\chi = 0.1$ 。使用表 2.2 中的其他参数。

3.15 推算图 3.77 中有源串接放大器的输出电阻,包含电阻 R 。假设所有的晶体管都工作在放大区,直流的漏电流为 $100 \mu\text{A}$ 。使用表 2.2 中的晶体管参数,忽略衬底效应。假设 $W = 10 \mu\text{m}$, $L_{\text{drawn}} = 0.4 \mu\text{m}$ 且 $X_d = 0.1 \mu\text{m}$ 。使用 SPICE 检查结论。

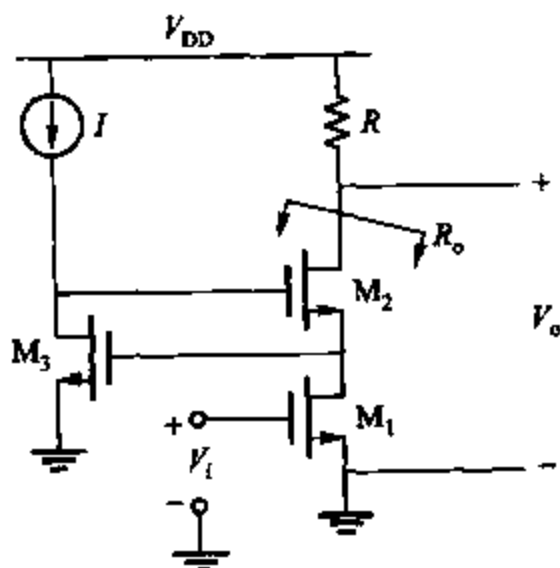


图 3.77 习题 3.15 中串接放大器电路

3.16 推算图 3.43 中的超 β 源极跟随器的短路跨导。假设 $I_1 = 200 \mu\text{A}$, $I_2 = 100 \mu\text{A}$, $W_1 = 30 \mu\text{m}$ 且

$W_2 = 10 \mu\text{m}$ 。同样假设两个晶体管都工作在放大区,忽略衬底效应。使用表 2.4 中的晶体管参数。假设对所有晶体管 $L_{\text{drawn}} = 0.4 \mu\text{m}$ 且 $X_d = 0.1 \mu\text{m}$ 。

3.17 一个 BiCMOS 放大器如图 3.78 所示。计算小信号电压增益 $\frac{v_o}{v_i}$ 。假设 $I_S = 10^{-16} \text{ A}$, $\beta_F = 100$, $r_b = 0$, $V_A \rightarrow \infty$, $\mu_n C_{ox} = 200 \mu\text{A/V}^2$, $V_T = 0.6 \text{ V}$ 且 $\lambda = 0$ 。用 SPICE 检查结果。通过图 1.41 所示的带源极反馈的 MOS 晶体管,使用 SPICE 观察饱和速率的影响,其中 $E_c = 1.5 \times 10^6 \text{ V/m}$ 。

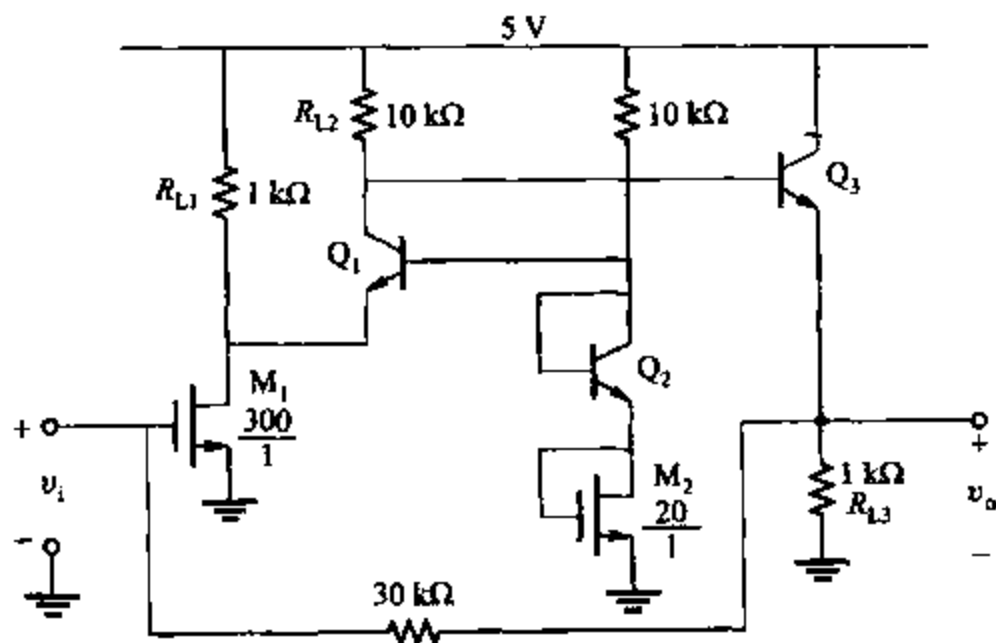


图 3.78 习题 3.17 的电路图

3.18 计算图 3.45 中的差模增益、共模增益、差模输入电阻和共模输入电阻。其中, $I_{\text{TAIL}} = 20 \mu\text{A}$, $R_{\text{TAIL}} = 10 \text{ M}\Omega$, $R_C = 100 \text{ k}\Omega$ 且 $V_{EE} = V_{CC} = 5 \text{ V}$, 忽略 r_b 和 r_μ 。计算共模抑制比 CMRR, 使用 SPICE 检查结果并观察图 2.30 中加入非零电阻 r_b 和有限 V_A 时候的现象。

3.19 重复计算上个题目, 加入阻值为 $4 \text{ k}\Omega$ 的射极反馈电阻。

3.20 计算图 3.79 中的共集-共基电路的最终输入电阻、输出电阻和电压增益。忽略 r_o , r_μ 和 r_b 。注意在 Q_1 的集电极添加一个 $10 \text{ k}\Omega$ 的电阻并不改变结果, 这样就证明了共射对的分析结果是正确的。

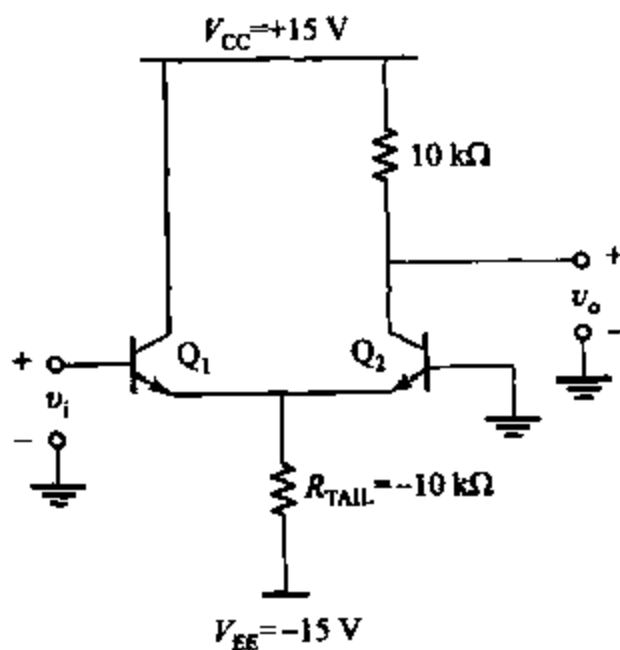


图 3.79 习题 3.20 的电路图

3.21 用等效半边电路的概念来计算图 3.80 中的差模增益和共模增益。忽略 r_o , r_μ 和 r_b 。分别计算差模和共模输入电阻。

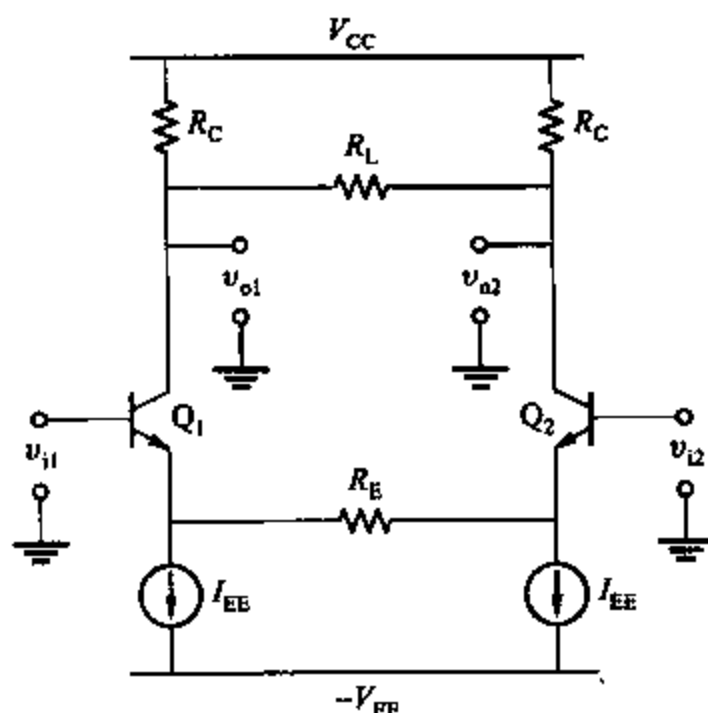


图 3.80 习题 3.21 的电路图

3.22 考虑图 3.80 中的电路使用两个 n 沟道 MOS 管代替 npn 晶体管。忽略衬底效应,假设 $\lambda = 0$ 。使用半电路分析方法分别计算等效电路的共模和差模增益。

3.23 设计一个图 3.53a 所示的共射对电路,假设 $I_{\text{TAIL}} = 0$,选择 R_C 和 R_{TAIL} 设计一个具备 $2 \text{ M}\Omega$ 差模输入电阻,差模电压增益为 500,共模抑制比 CMRR 为 500 的电路。 V_{CC} 和 V_{EE} 的最小值是多少,可以保证晶体管工作在输入信号为零的放大区还具有以上性能? 假设共模输入直流电压是零,忽略 r_b , r_μ 和 r_o 。

3.24 计算具备以下两个条件的共源对的偏置电流和器件尺寸。第一,在无差模输入的时候小信号跨导为 1.0 mS 。第二,差模输入电压为 0.2 V 时的差模输出电流为最大值的 85%。假设器件是 n 沟道晶体管,参数如表 2.4 所示。器件沟道宽度为 $1 \mu\text{m}$,忽略沟道长度调制,假设 $X_d = 0$ 。

3.25 在图 3.45 所示的电路中,计算输入的失调电压。假设晶体管基极失配为 10%,但是电路理想对称,长尾电阻 R_{TAIL} 为无穷大。

3.26 计算图 3.50 中共源对的输入失调电压, $I_{\text{TAIL}} = 50 \mu\text{A}$ 。器件特性为 $W = 100 \mu\text{m}$, $L = 1 \mu\text{m}$ 。使用表 2.4 中的其他参数,假设最差的情况下 W/L 失配为 2%,器件阈值相互独立。假设 $X_d = 0$, R_{TAIL} 无穷大,负载电阻各自独立。

3.27 使用半边电路分析方法来计算有不匹配负载 R_1 和 R_2 的差分对的 A_{dm} , A_{cm} , $A_{\text{dm-cm}}$ 和 $A_{\text{cm-dm}}$ 。假设 $R_1 = 10.1 \text{ k}\Omega$, $R_2 = 9.9 \text{ k}\Omega$, $g_{m1} = g_{m2} = 1 \text{ mS}$, r_{o1} 和 r_{o2} 为无穷大。最后,假设尾电流源的等效阻值 $r_{\text{tail}} = 1 \text{ M}\Omega$ 。

3.28 重复计算习题 3.27,但负载匹配,输出电阻不匹配。假设 $R_1 = R_2 = 10 \text{ k}\Omega$, $r_{o1} = 505 \text{ k}\Omega$ 且 $r_{o2} = 495 \text{ k}\Omega$ 。当 $r_{\text{tail}} \rightarrow \infty$ 的时候会有什么情况发生?

参考文献

1. R. J. Widlar. "Some Circuit Design Techniques for Linear Integrated Circuits," *IEEE Transactions on Circuit Theory*, Vol. CT - 12, pp. 586 ~ 590, December 1965.
2. H. R. Camenzind and A. B. Grebene. "An Outline of Design Techniques for Linear Integrated Circuits," *IEEE Journal of Solid-State Circuits*, Vol. SC - 4, pp. 110 ~ 122, June 1969.
3. J. Giles. *Fairchild Semiconductor Linear Integrated Circuits Applications Handbook*. Fairchild Semiconductor, 1967.
4. C. L. Searle, A. R. Boothroyd, E. J. Angelo, P. E. Gray, and D. O. Pederson. *Elementary Circuit Properties of Transistors*. Wiley, New York, 1964, Chapter 7.
5. S. Darlington. "Semiconductor Signal Translating Device," U. S. Patent 2, 663, 806, May 1952.
6. F. V. Hunt and R. W. Hickman. "On Electronic Voltage Stabilizers," *Review of Scientific Instruments*, Vol. 10, pp. 6 ~ 21, January 1939.
7. H. Wallman, A. B. Macnee, and C. P. Gadsden. "A Low-Noise Amplifier," *Proceedings of the I. R. E.*, Vol. 36, pp. 700 ~ 708, June 1948.
8. B. J. Hosticka. "Improvement of the Gain of MOS Amplifiers," *IEEE Journal of Solid-State Circuits*, Vol. SC - 14, pp. 1111 ~ 1114, December 1979.
9. E. Säckinger and W. Guggenbühl. "A High-Swing, High-Impedance MOS Cascode Circuit," *IEEE Journal of Solid-State Circuits*, Vol. 25, pp. 289 ~ 298, February 1990.
10. A. D. Blumlein "Improvements in or relating to Thermionic Valve Amplifying Circuit Arrangements," British Patent 482,740, July, 1936.
11. R. D. Middlebrook. *Differential Amplifiers*. Wiley, New York, 1963.
12. L. J. Giacoletto. *Differential Amplifiers*. Wiley, New York, 1970.
13. G. Erdi. "A Low-Drift, Low-Noise Monolithic Operational Amplifier for Low Level Signal Processing," *Fairchild Semiconductor Applications Brief*. No. 136, July 1969.

第四章 镜像电流源、有源负载和基准源

4.1 引言

在模拟集成电路的设计中,已经广泛地使用镜像电流源做有源负载和恒流偏置。在偏置电路中使用镜像电流源能使电路在温度和电源电压变化时保持很好的稳定性。镜像电流源在截止区所提供的偏置电流要比一般的电阻更加精确,尤其在所需的电流非常的小的时候。当在电阻放大器中使用镜像电流源作为有源负载时,电流的高增量电阻使得在低电压时也可以获得很大的电压增益。

本章的第一节描述了镜像电流源的一些普遍的特性,并且分别论述了双极型晶体管和MOS管镜像电流源的不同特性。下一节介绍了镜像电流源作为放大器有源负载时的一些特性。最后一节则论述了镜像电流源在电源电压和温度变化的情况下仍然可以提供基准电流的特点。本章的附录中分析了器件不匹配效应。

4.2 镜像电流源

4.2.1 一般特性

一个镜像电流源至少有三个输入端,如图4.1所示。公共端与电源相连,输入电流源连接在输入端上。在理想情况下,输出电流等于输入电流乘以一个电流增益。如果增益是单位值,输入电流就等于输出电流,称为镜像电流源。在理想的条件下,镜像电流增益和输入频率无关,输出电流与输出端和公共端两端的电压无关。实际上,输入端和公共端的电压在理想的情况下应该是零,因为这样就可以保证供电电压独立于镜像电流源,简化了门级电路的设计过程。应用中往往使用一个或者一个以上的输入或输出端。

实际上,真正由门级构成的镜像电流源和理想的状况之间存在很多的差别。例如,真正的镜像电流源增益与输入信号的频率有关。关于频率相应的问题将在第七章中介绍,直流和低频的信号下的情况将在本章中讨论。在非理想状态下的偏差如下所述。

1. 与理想镜像电流源相比,最重要的一个偏差是输出电流随输出电压的变化而变化。这个效应是由镜像电流源的小信号输出电阻 R_o 决定的。在镜像电流源输出的诺顿等效电路中, R_o 与镜像电流源并联并受控于输出电流。输出电阻会直接影响很多镜像电流源的应用电路。例如,差分放大器的共模抑制比就会直接受这个电阻的制约。有源负载电路的增益也同样受这个电阻制约。增大输出电阻会减小输出电压对于输出电流的影响。一般情况

下,输出电阻是随着输出电流的减小而增大。但是,减小输出电流同样会减小最大的可操作速度。因此,当在两个镜像电流源之间对比输出电阻的时候,应该对比它们的输出电流。

2. 另一个偏差源是增益之间的偏差。增益偏差就是实际的增益和理想的增益值之间的差别。增益偏差可以分为两个部分:系统增益偏差和随机增益偏差。系统增益偏差 ϵ 是所有应匹配的元件都是匹配情况下也会出现的偏差,这部分在本章中会有讨论。随机增益偏差是由于元件的失配或者不平衡导致的。

3. 当输入端连接的是一个真实的镜像电流源的时候,将会产生一个正向的压降, V_{IN} , 将会降低输入电流源两端的电压。将 V_{IN} 最小化是非常重要的,这样可以减小设计输入电流源的难度,尤其是在低电压供电状况下。为了减小 V_{IN} , 镜像电流源往往被设计成具有多个输入端。在这种情况下可以计算每一个输入端的输入电压。4.2.5 节中的例子将会讨论 MOS 高摆幅串接放大器镜像电流源的状况。

4. 在实际中,必须有一个正向的输出电压 V_{OUT} 使得输出的电流主要受控于输入的电。这个特性可以被总结为最小输出电压, $V_{OUT(min)}$, 这样输出器件就工作在放大区。因为镜像电流源输出电阻近似为常数,使 $V_{OUT(min)}$ 最小可以使输出电压的范围最大。这样对于应用镜像电流源作有源负载的放大器(尤其在低电压供电时)是非常重要的。这个部分内容将在 4.3 节中介绍。当镜像电流源具有多个输出端的时候,每个输出端的输出电压都要在 $V_{OUT(min)}$ 上增加偏压,这样才会使输出电流主要受控于输入电流。

在接下来一节中,我们将会比较各类镜像电流源的四个参数: R_o , ϵ , V_{IN} 和 $V_{OUT(min)}$ 。

4.2.2 简单的镜像电流源

4.2.2.1 双极型晶体管结构

最简单的镜像电流源包含两个晶体管,如图 4.2 所示。晶体管 Q_1 连接成二极管,集电极和基极的电压为零。在这种模式下,集电结是关闭的,没有电子注入,所以它工作在正向放大区。假设 Q_2 同样工作在正向放大区,这样两个晶体管的输出电阻都为有限值。这样 I_{OUT} 受控于 V_{BE2} , 根据 KVL 得知 $V_{BE2} = V_{BE1}$ 。KVL 等式对于所有的镜像电流源来讲都是成立的,忽略 pn 结的漏电流有

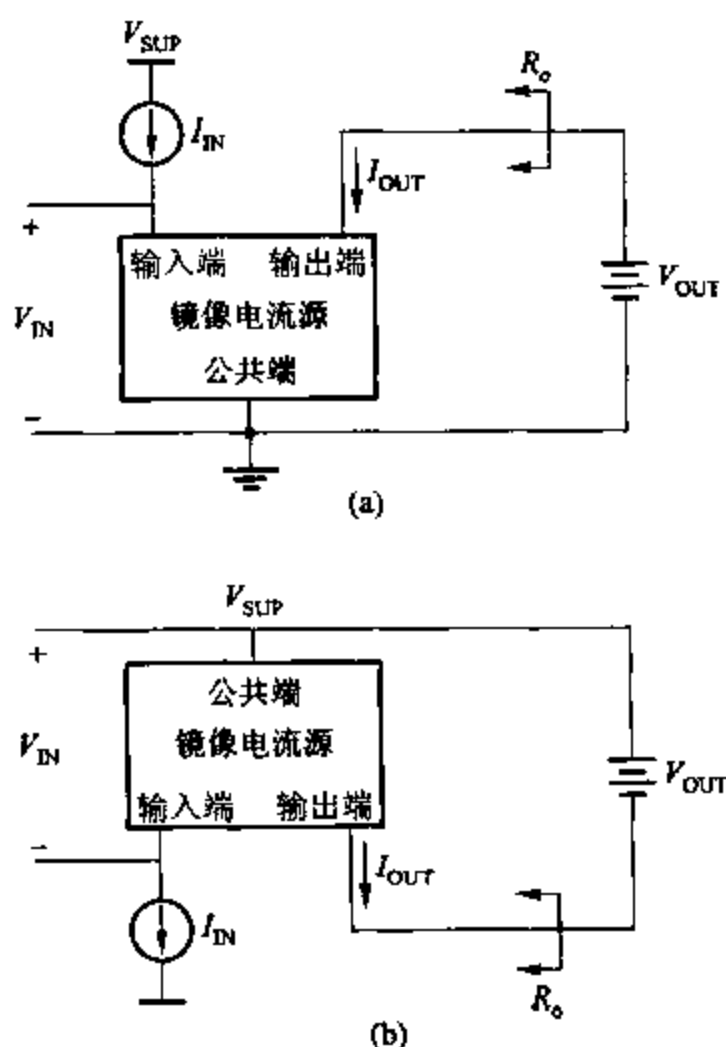


图 4.1 镜像电流源的两形式
(a)参考地;(b)参考正电压

$$V_{BE2} = V_T \ln \frac{I_{C2}}{I_{S2}} = V_{BE1} = V_T \ln \frac{I_{C1}}{I_{S1}} \quad (4.1)$$

其中, $V_T = kT/q$ 是热电压, I_{S1} 和 I_{S2} 是晶体管的饱和电流, 由式(4.1)得

$$I_{C2} = \frac{I_{S1}}{I_{S2}} I_{C1} \quad (4.2)$$

如果晶体管是相同的, $I_{S1} = I_{S2}$, 这样式(4.2) Q_1 集电极电流是 Q_2 集电极电流的镜像。对于 Q_1 的集电极使用 KCL 得

$$I_{IN} - I_{C1} - \frac{I_{C1}}{\beta_F} - \frac{I_{C2}}{\beta_F} = 0 \quad (4.3)$$

因此, 对于完全相同的晶体管来讲

$$I_{OUT} = I_{C2} = I_{C1} = \frac{I_{IN}}{1 + \frac{2}{\beta_F}} \quad (4.4)$$

如果 β_F 够大, 基极电流够小, 则

$$I_{OUT} = I_{C1} \approx I_{IN} \quad (4.5)$$

因此, 对于理想的 Q_1 和 Q_2 , 镜像电流源的增益约为单位值。结果对于直流和低频交流信号也适用。高于 3 dB 频率的镜像电流源, 基极电流会明显地增加, 因为发射极和基极之间的电容减小, 降低了镜像电流源的增益。频率响应问题将在第七章中学习。本章只讨论直流情况。

实际上元器件不会完全相同, 这样从式(4.2)和式(4.3)得到

$$I_{OUT} = \frac{I_{S2}}{I_{S1}} I_{C1} = \left(\frac{I_{S2}}{I_{S1}} I_{IN} \right) \left[\frac{1}{1 + \frac{1 + (I_{S2}/I_{S1})}{\beta_F}} \right] \quad (4.6)$$

当 $I_{S1} = I_{S2}$ 时, 式(4.6)和式(4.4)是相同的。由于双极型晶体管的饱和电流和发射极的面积成正比。上式中的第一项表明了镜像电流源的增益可以是大于或者小于单位值的, 因为发射极面积是成比例的。如果期望增益是一个有理数, M/N , 通过并联 M 个相同的器件(称为单元)形成 Q_2 和并联 N 个单元形成 Q_1 调整面积比, 减少在构造发射区时因为平板效应而产生的失配。面积比值超过 5 时将会产生一个很大的截止区, 这个面积是受控于两个元件中较大的一个结的面积。因此, 后几节中所叙述的其他的几种方法对于产生一个较大的电流比值是很有用的。式(4.6)中后一项的误差是由有限的 β_F 产生的。增大 Q_2 和 Q_1 基极电流的比值将会增大 I_{S2}/I_{S1} , 这样就会增大这部分的偏差。

在式(4.1)和式(4.2)中, 假设晶体管的集电极电流和集电极与发射极之间的电压是不相关的。如果一个晶体管工作在放大区, 实际上它的集电极电流是随着它的集电极和发射极之间的电压缓慢地增加的。图 4.3 所示的就是 Q_2 管的输出特性曲线。镜像电流源的输出电阻在任意工作点上都是该点在曲线上的斜率的倒数。在放大区有

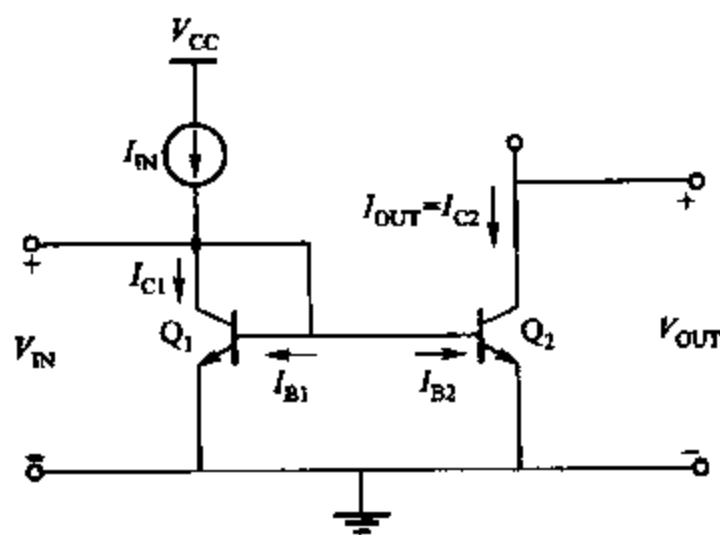


图 4.2 一个简单的晶体管结构的镜像电流源

$$R_o = r_{o2} = \frac{V_A}{I_{C2}} \quad (4.7)$$

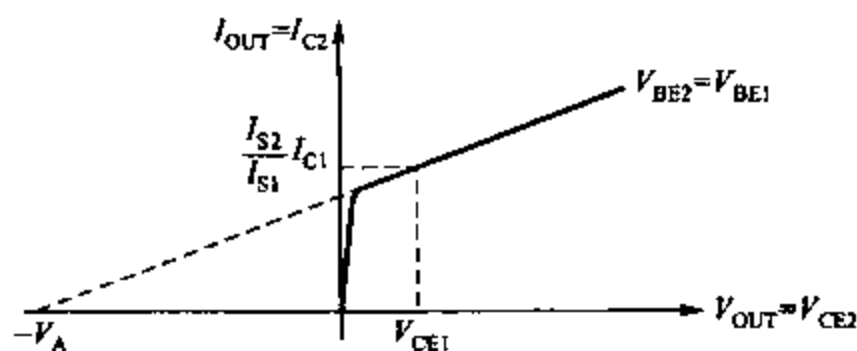


图 4.3 npn 晶体管的输出特性曲线

$V_{CE2} = V_{CE1}$ 和 $V_{BE2} = V_{BE1}$ 的那一点在曲线上已经被标出。由于集电极电流是受控于基极 - 发射极和发射极 - 集电极的电压,在这点上 $I_{C2} = (I_{S2}/I_{S1})I_{C1}$ 。如果在饱和区内曲线的斜率是常数,那么 I_{C2} 对于 V_{CE2} 的变化就可以通过一条穿过该点的直线来表示。正如第一章所说的一样,将前向放大区内的输出特性曲线向 V_{CE2} 轴沿长,沿长线与轴的交点为 $-V_A$, V_A 为厄尔利电压。当 $V_A \gg V_{CE1}$ 时,直线的斜率约为 $(I_{S2}/I_{S1})(I_{C1}/V_A)$ 。因此

$$I_{OUT} = \frac{I_{S2}}{I_{S1}} I_{C1} \left(1 + \frac{V_{CE2} - V_{CE1}}{V_A} \right) = \frac{\frac{I_{S2}}{I_{S1}} I_{IN} \left(1 + \frac{V_{CE2} - V_{CE1}}{V_A} \right)}{1 + \frac{1 + (I_{S2}/I_{S1})}{\beta_F}} \quad (4.8)$$

由于镜像电流源的理想增益是 I_{S2}/I_{S1} 。系统增益的误差为 ϵ ,可以通过式(4.8)计算出来。

$$\epsilon = \left[\frac{1 + \frac{V_{CE2} - V_{CE1}}{V_A}}{1 + \frac{1 + (I_{S2}/I_{S1})}{\beta_F}} \right] - 1 \approx \frac{V_{CE2} - V_{CE1}}{V_A} - \frac{1 + (I_{S2}/I_{S1})}{\beta_F} \quad (4.9)$$

式(4.9)中的第一项是有限的输出电阻产生的,第二项是有限的 β_F 产生的。如果 $V_{CE2} > V_{CE1}$,两项的极性相反。虽然两项是互相独立的,实际中并不是如此。当发射极 - 集电极电压和 β_F 很大时第一项就会很突出。例如,在晶体管完全相同的时候 $V_A = 130$ V,如果 Q_1 的集电极 - 发射极电压的阈值为 $V_{BE(on)}$,并且 Q_2 的集电极 - 发射极电压是 30 V,这样系统的增益误差为 $(30 - 0.6)/130 - 2/200 \approx 0.22$ 。因此,对于一个电路工作在供电电压为 30 V 的情况下,镜像电流源的电流与假设晶体管输出电阻和 β_F 为无限大时计算出的值相比其偏差可能高于 20 %。尽管式(4.9)中的第一项是和输出电阻相关的,但是它并不是直接受控于 r_{o2} ,而是受控于集电极 - 发射极电压和厄尔利电压。厄尔利电压和偏置电流是不相关的,且

$$V_{IN} = V_{CE1} = V_{BE1} = V_{BE(on)} \quad (4.10)$$

由于 $V_{BE(on)}$ 是集电极电流的自然对数,偏置电流改变, V_{IN} 仅仅会改变一点。因此,镜像电流源中偏置电流的变化量主要是通过 V_{CE2} 的变化而改变系统增益误差。

最后,保持 Q_2 工作在正向放大区的最小的输出电压是

$$V_{OUT(min)} = V_{CE2(sat)} \quad (4.11)$$

4.2.2.2 MOS 晶体管结构

图 4.4 所示的是 MOS 晶体管结构的简单镜像电流源电路。 M_1 的漏-栅电压为零;因此,漏极沟道并没有形成,这样如果阈值电压为正,MOS 管就会工作在放大区或饱和区。虽然 MOS 管的工作特性中没有任何类似于二极管的特性, M_1 仍然被称为二极管连接。假设 M_2 同样工作在放大区,两个 MOS 管都有有限的输出电阻。那么 I_{D2} 就受控于 V_{GS2} ,由 KVL 得出 $V_{GS2} = V_{GS1}$ 。对于所有的 MOS 管镜像电流源而言,KVL 等式总是成立的。正如 1.5.3 节中所描述的一样,栅-源电压通常是由两部分构成的:阈值电压 V_t 和过载电压 V_{ov} 。假设式(1.157)中平方律成立,那么 M_2 的 V_{ov2} 为

$$V_{ov2} = V_{GS2} - V_t = \sqrt{\frac{2I_{D2}}{k'(W/L)_2}} \quad (4.12)$$

由于跨导参数 k' 与迁移率成反比,并且迁移率随着温度增加而降低,过载电压是随着温度增加而升高的。相反的,1.5.4 节中所说的阈值是随着温度升高而降低的。由 KVL 和式(1.5.4)得

$$\begin{aligned} V_{GS2} &= V_t + \sqrt{\frac{2I_{D2}}{k'(W/L)_2}} = V_{GS1} \\ &= V_t + \sqrt{\frac{2I_{D1}}{k'(W/L)_1}} \end{aligned} \quad (4.13)$$

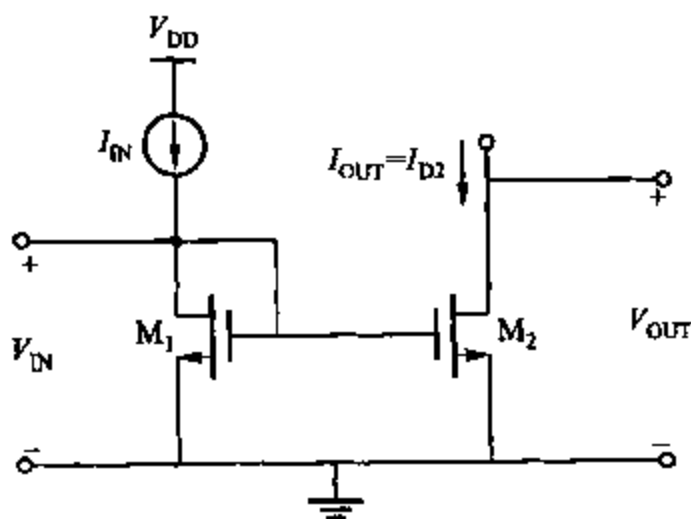


图 4.4 基本的 MOS 管镜像电流源电路

等式(4.13)表明了 M_2 的驱动电压是等于 M_1 的

$$V_{ov2} = V_{ov1} = V_{ov} \quad (4.14)$$

如果管子是完全相同的, $(W/L)_2 = (W/L)_1$, 则有

$$I_{OUT} = I_{D2} = I_{D1} \quad (4.15)$$

等式(4.15)表明了 M_1 漏极的电流是 M_2 漏极电流的镜像。对于 MOS 晶体管, β_F 为无穷大,由式(4.15)和 M_1 漏极的 KCL 得

$$I_{OUT} = I_{D1} = I_{IN} \quad (4.16)$$

因此,对于完全相同的元器件都工作在放大区并且输出电阻是有限值时,漏极电流增益为单位值。这个结果对于栅极电流为零的情况是成立的。这样式(4.16)对于直流电流和低频的交流信号而言是近似成立的。当输入信号的频率增加时,由于 MOS 管栅-源电容的存在, M_1 和 M_2 的栅极电流增加。输入电流中输入进栅极的那一部分并不会输入 M_1 的漏极,这样与 M_2 不是镜像关系。因此,镜像电流源的漏极电流是随着输入信号频率增加而降低的。这节只考虑直流电流情况。

实际上,元器件不一定是完全相同的。通过式(4.13)和式(4.16)得

$$I_{OUT} = \frac{(W/L)_2}{(W/L)_1} I_{D1} = \frac{(W/L)_2}{(W/L)_1} I_{IN} \quad (4.17)$$

等式(4.17)表明了镜像电流源的漏极电流增益可以比单位值大或者小,这是因为管子的尺寸可以是成比例的。管子尺寸包括长度宽度等在原理上都是可以改变的。实际上, M_1 和 M_2 的长度在制造的时候不是相等的。式(4.17)中的沟道长度是式(2.35)给出的有效长度。等式(2.35)表明了由于漏极的耗尽区和漏极、源极的横向扩散产生了失调项。一个MOS管沟道的有效长度和它的漏极长度并不相等。因为失调项和漏极长度是互相独立的,当漏极长度完全相同的时候,两个有效沟道的长度之比就等于漏极长度的比值。这样,两个不相等的沟道长度的比值在实际中就可以人为地控制,同理,第2.9.1节中描述的一个已知的MOS管的沟道有效宽度也和漏极宽度是不一样的,这是因为后者的氧化物层会导致一个鸟喙效应。因此,不相同的两个沟道宽度的比值同样需要依赖其他的条件来计算。在很多应用中,许多晶体管使用现有技术水平所能达到的最小沟道长度,以提高速度和降低芯片面积。与之相反的是很多情况下漏极的宽度都会设计成比现有的最小宽度要大很多倍。因此,如果所设计的镜像电流源的电流增益不是单位值时,为了使失调项最小化,从宽度比值上设计要比从长度比值上设计用的更多。如果镜像电流源的增益是一个有理数, M/N 就是通过设定连接 M_2 的 M 单位和 M_1 的 N 单位来使由平板效应所引起的失配最小化。在双极型晶体管中,比值超过5的时候将由两个器件中面积较大的一个结面积控制。因此,本章后部分所叙述的其他方法在大电流比值的情况下应用的较多。

在书写式(4.13)和式(4.15)时,假设漏极电流和漏-源电压是不相关的。如果一个晶体管工作在放大区,实际上它的漏极电流是随着漏-源电压缓慢增长的,图4.5表明了 M_2 实际的输出特性。在曲线上任意一点的输出电阻都是该点斜率的倒数。在放大区有

$$R_o = r_{o2} = \frac{V_A}{I_{D2}} = \frac{1}{\lambda I_{D2}} \quad (4.18)$$

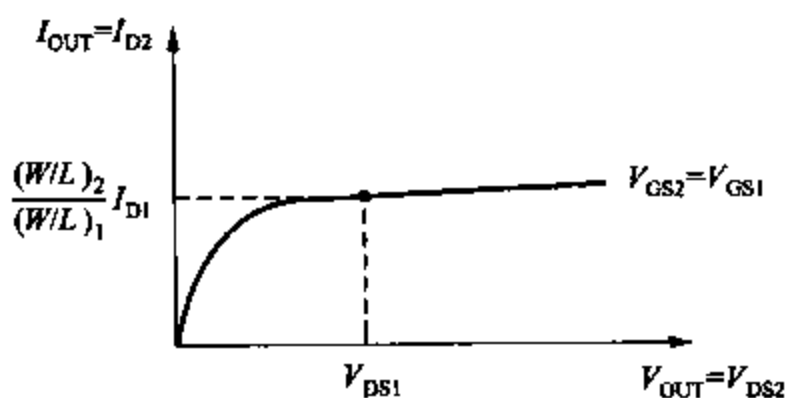


图 4.5 基本 MOS 镜像电流源的输出特性

$V_{DS2} = V_{DS1}$ 和 $V_{GS2} = V_{GS1}$ 的点在图中已经注明。由于漏电流是受控于栅-源电压和漏-源电压的,在该点有 $I_{D2} = [(W/L)_2 / (W/L)_1] I_{D1}$ 。如果曲线的斜率在饱和区是常数, I_{D2} 对于 V_{DS2} 的变化趋势就可以通过穿过该点的一条直线来表示出来。正如第一章中所说得一样,在放大区工作的特性曲线外沿与 V_{DS} 轴相交后截取一个 $-V_A = -1/\lambda$, 这里 V_A 就是厄尔利电压。如果 $V_A \gg V_{DS1}$, 直线的斜率就近似等于 $[(W/L)_2 / (W/L)_1] [I_{D1} / V_A]$ 。因此有

$$I_{OUT} = \frac{(W/L)_2}{(W/L)_1} I_{IN} \left(1 + \frac{V_{DS2} - V_{DS1}}{V_A} \right) \quad (4.19)$$

由于镜像电流源的理想增益是 $(W/L)_2/(W/L)_1$, 系统增益损失为 ϵ , 就可以通过式(4.19)计算出来

$$\epsilon = \frac{V_{DS2} - V_{DS1}}{V_A} \quad (4.20)$$

例如, 如果 M_1 的漏-源电压为 1.2 V, 并且 M_2 的漏-源电压是 5 V, $V_A = 10$ V, 系统增益损失 $\epsilon = (5 - 1.2)/10 = 0.38$ 。因此, 对于一个工作在 5 V 电源下的电路, 在输出电阻有限的情况下, 镜像电流源的电流可能比实际计算出来的值要偏差 35 %。尽管 ϵ 和有限的输出电阻相关, 但它不是直接受控于 r_{o2} , 而是受控于漏-源电压和厄尔利电压的。这个关系表明了改变输入的偏置电流对于系统增益损失的主要影响在于对漏-源电压的影响。

一个基本的 MOS 镜像电流源的输入电压是

$$V_{IN} = V_{GS1} = V_t + V_{ov1} = V_t + V_{ov} \quad (4.21)$$

应用平方律, 式(4.21)中的驱动电压就是输入电流的平方根关系。类似的, 式(4.10)表示的简单双极型电流镜的 V_{IN} 与输入电流是自然对数关系。因此, 对于一个给定的输入电流的变化, 一个基本 MOS 管镜像电流源中 V_{IN} 的变化要比晶体管结构的变化快得多。

最后, 所需要保证 M_2 工作在放大区的最小输出电压是

$$V_{OUT(min)} = V_{ov2} = V_{ov} = \sqrt{\frac{2I_{OUT}}{k'(W/L)_2}} \quad (4.22)$$

式(4.22)表示 $V_{OUT(min)}$ 是依赖于 MOS 管的几何尺寸, 这样就可以不必像双极型晶体管那样不能将这个电压做得很小。如果式(4.22)中的过载电压小于 $2nV_T$ (其中 n 由式(1.247)定义, V_T 是热电压), 那么最终的结果除了能够仅仅说明晶体管工作在一个弱反型状态外, 其他结果都是无效的。

$$V_{OUT(min)} \approx 3V_T \quad (4.23)$$

正如图 1.43 所示。¹

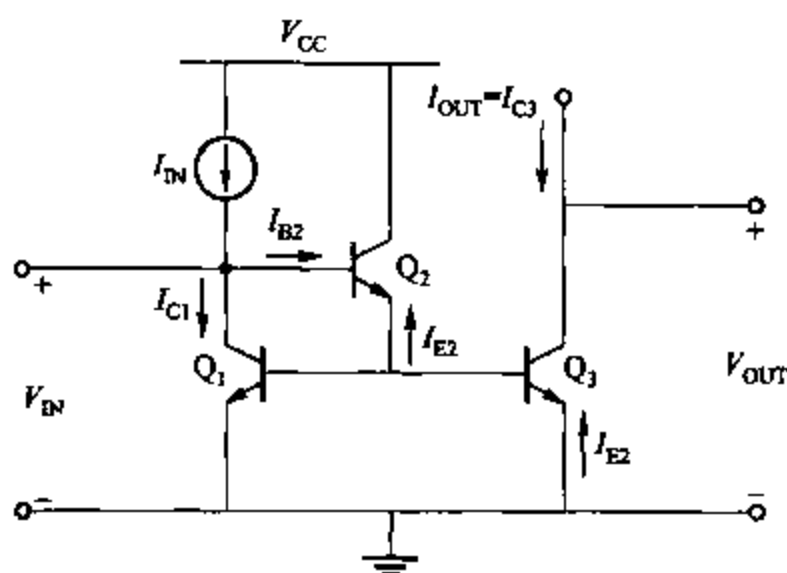
4.2.3 减小 β 影响的 (β helper) 基本镜像电流源

4.2.3.1 双极型晶体管结构

输出电流除了受制于有限的输出电阻外, 式(4.9)中的第二项表明了 β_F 有限时集电极电流 I_{C2} 与输入电流存在差别。为了减小源极的误差, 增加一个额外的晶体管, 如图 4.6 所示。如果 Q_1 和 Q_3 完全相同, Q_2 的发射极电流为

$$I_{E2} = -\frac{I_{C1}}{\beta_F} - \frac{I_{C3}}{\beta_F} = -\frac{2}{\beta_F} I_{C1} \quad (4.24)$$

其中, I_E , I_C 和 I_B 被定义流入晶体管为正向。这里忽略了有限的输出电阻的影响。 Q_2 的基极电流是

图 4.6 减小 β 影响的基本镜像电流源

$$I_{B2} = -\frac{I_{E2}}{\beta_F + 1} = \frac{2}{\beta_F(\beta_F + 1)} I_{C1} \quad (4.25)$$

最后,在 Q_1 的集电极,由 KCL 得

$$I_{IN} - I_{C1} - \frac{2}{\beta_F(\beta_F + 1)} I_{C1} = 0 \quad (4.26)$$

在 Q_1 和 Q_3 完全相同的情况下,由 I_{C1} 和 I_{C3} 相等得

$$I_{OUT} = I_{C3} = \frac{I_{IN}}{1 + \frac{2}{\beta_F(\beta_F + 1)}} \approx I_{IN} \left(1 - \frac{2}{\beta_F(\beta_F + 1)} \right) \quad (4.27)$$

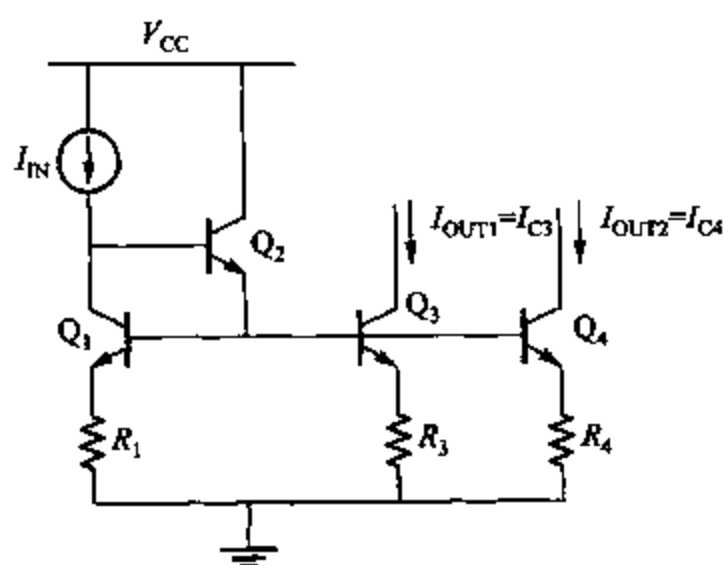
等式(4.27)表明了系统增益损失中来自于 β_F 的部分已经被减小至原来的 $1/(\beta_F + 1)$,即为射极跟随器 Q_2 的电流增益。因此, Q_2 经常用作 β helper 以减小 β 的影响。

尽管 Q_2 对于镜像电流源的输出电阻和最小输出电压的作用很小,但是它会通过增大 Q_2 的基极 - 发射极电压来增大输入电压:

$$V_{IN} = V_{BE1(on)} + V_{BE2(on)} \quad (4.28)$$

如果在串接电路中使用多个射极跟随器来减小由有限的 β_F 引起的增益损失, V_{IN} 就因每个附加的跟随器的发射极 - 基极电压而增大,这也指出了串接放大器跟随器的局限性。

当使用 pnp 型晶体管构造镜像电流源时,通常使用一个 β helper。这是由于 pnp 管的 β_F 值通常要比 npn 的小。 β helper 也常用于有很多的输出端的电流源。例如图 4.7 所示的两个独立输出端的电流源。首先,忽略 Q_2 并且假设 Q_1 是二极管连接。同样的,让 $R_1 = R_3 = R_4 = 0$ (不为零的情况将在 4.2.4 节中讨论)。这样,输入端到每个输出端的增益主要就由 I_{S3}/I_{S1} 和 I_{S4}/I_{S1} 的比值决定。由于三个晶体管的基极是连接在一起的。所有的基极电流都会由有限的 β_F 的增大而增大。进一步讲,当独立的输出端的数目增多时,系统增益损失也会变大。由于 β helper Q_2 的存在,输入端到每个输出端的增益损失减至原来的 $\frac{1}{\beta_F + 1}$

图 4.7 带有 β 减弱效果、多输出和发射极反馈的基本电流镜电路

倍,这在多输出的镜像电流源中经常使用。

4.2.3.2 MOS 晶体管结构

由于在 MOS 管中, β_F 是无穷大, β helper 并不会用来减小镜像电流源的系统增益损失。尽管这样, β helper 可以增大 MOS 管和双极型晶体管镜像电流源的系统带宽。

4.2.4 改进型基本镜像电流源

4.2.4.1 双极型晶体管结构

图 4.6 所示的基本晶体管镜像电流源电路的性能可以通过增加一个图 4.7 中所示的反馈电阻来提高。目的有两方面:首先,附录 A.4.1 中说明了如果使用反馈电阻, I_{IN} 和 I_{C3} 和 I_{C4} 会匹配得更好。第二,正如 3.3.8 节中所述使用反馈电阻将会增大每个输出端的输出电阻。 Q_1 和 Q_2 管在一起会使 Q_3 和 Q_4 的基极的输出电阻很低。因此,由式(3.99)可知,在 Q_3 和 Q_4 集电极的小信号输出电阻即为

$$R_o \approx r_o(1 + g_m R_E) \quad (4.29)$$

如果 $r \gg R_E$, 以 Q_3 为例有 $g_{m3} = I_{C3}/V_T$, 得

$$R_o \approx r_{o3} \left(1 + \frac{I_{C3} R_3}{V_T} \right) \quad (4.30)$$

这样就增加了在已知输出电流情况下的输出电阻, 同样也减小了因输出电阻为有限值而引入的系统增益损失。当 β_F 无穷大时由式(4.9)和式(4.30)得

$$\epsilon \approx \frac{V_{CE2} - V_{CE1}}{V_A \left(1 + \frac{I_{C3} R_3}{V_T} \right)} \quad (4.31)$$

其中, $I_{C3} R_3$ 的数值就是在 R_3 上的直流电压值。例如, 如果这个值为 260 mV, 则室温下, R_o 大约是 $10 r_o$, 那么 ϵ 就会降低至原值的 1/11。然而, R_o 的增大是随着镜像电流源输入电

压和最小输出电压而增大的。

$$V_{IN} \approx V_{BE1(on)} + V_{BE2(on)} + I_{IN} R_1 \quad (4.32)$$

并且

$$V_{OUT(min)} = V_{CE3(sat)} + I_{C3} R_3 \quad (4.33)$$

Q_1 , Q_3 和 Q_4 的发射极面积可以是匹配的或成比例的。例如,如果要使 $I_{OUT1} = I_{IN}$ 且 $I_{OUT2} = 2I_{IN}$, 则 Q_3 和 Q_1 必须相同, Q_4 则相当于两个 Q_1 的并联, 这样 $I_{S4} = 2I_{S1}$ 。此外, 可以使 $R_3 = R_1$, R_4 相当于两个并联的 R_1 , 因此 $R_4 = \frac{R_1}{2}$ 。注意所有的直流电压在 R_1 , R_3 和 R_4 上都可以是相等的。在 Q_1 和 Q_4 回路上使用 KVL, 并且忽略基极电流得

$$I_{C1} R_1 + V_T \ln \frac{I_{C1}}{I_{S1}} = I_{C4} R_4 + V_T \ln \frac{I_{C4}}{I_{S4}} \quad (4.34)$$

$$I_{OUT2} = I_{C4} = \frac{1}{R_4} \left(I_{IN} R_1 + V_T \ln \frac{I_{IN}}{I_{C4}} \frac{I_{S4}}{I_{S1}} \right) \quad (4.35)$$

由于 $I_{S4} = 2I_{S1}$, 式(4.35)的解为

$$I_{OUT2} = \frac{R_1}{R_4} I_{IN} = 2I_{IN} \quad (4.36)$$

由于式(4.35)中的最后一项趋近零, 如果使电压降 $I_{IN} R$ 和 $I_{C4} R_4$ 的值比 V_T 大很多, Q_4 输出端的电流增益主要由电阻比值 R_4/R_1 来决定, 其次是射极面积的比值, 因为式(4.35)中的自然对数变化比较缓慢。

4.2.4.2 MOS 晶体管结构

在 MOS 晶体管结构的镜像电流源中很少使用反馈电阻, 因为 MOS 管的工作几乎不受这个电阻的影响。因此, MOS 镜像电流源的匹配只需要简单地增加栅极面积。^{2,3,4} 进一步讲, 输出电阻可以通过增大沟道的长度来增大。为了在增加输出电阻的同时还要保持 $V_{GS} - V_T$ 为常数, 比值 W/L 就必须是常数。因此, 沟道宽度必须随着长度的增加而增加, 因为增加输出电阻而增大了面积, 于是整个芯片的成本也增大了。

4.2.5 串接镜像电流源

4.2.5.1 双极型晶体管结构

3.4.2 节说明了串接形式的连接将会有有一个很大的输出电阻。由于这个特性在镜像电流源中是非常重要的, 因此很自然地想到使用这种形式的镜像电流源。图 4.8 所示的是一个晶体管结构的串接镜像电流源, 晶体管 Q_3 和 Q_1 构成了一个简单的镜像电流源, 可以添加一个射极电阻来提高电路匹配程度。晶体管 Q_2 作为串接的公共基极, 传输 Q_1 的集电极电流至输出端, 并呈现一个很高的输出电阻。晶体管 Q_4 连接成为一个二极管形式, 提供给 Q_2 一个偏压, 这样 Q_1 就工作在正向放大区, $V_{CE1} \approx V_{CE3} = V_{BE3(on)}$ 。如果假设 Q_3 和 Q_4 的

小信号电阻很小。通过式(3.98)和 $R_E = r_{o1}$, 可得

$$R_o = r_{o2} \left[1 + \frac{g_{m2} r_{o1}}{1 + \frac{g_{m2} r_{o1}}{\beta_0}} \right] \approx \beta_0 r_{o2} \quad (4.37)$$

由于 $g_{m2} r_{o1} \approx g_{m1} r_{o1} \gg \beta_0$ 。这个计算假设了几乎所有流入 Q_2 集电极的小信号电流都从它的基极流出。因为连接 Q_2 发射极的小信号电阻要比连接基极的电阻要大很多, 计算中的关键问题是它忽略了由基本镜像电流源 Q_3 和 Q_1 产生的影响。让 Q_2 的 i_{b2} 和 i_{c2} 随着输出电压的增大而增大。此时基本的镜像电流源就迫使 $i_{c2} \approx i_{b2}$ 。结果, Q_2 集电极电流的变化量分为了两个相等的组成部分, 一半流入 r_{o2} 。小信号分析的结果表明了式(4.37)中的 R_o 被减小了一半

$$R_o \approx \frac{\beta_0 r_{o2}}{2} \quad (4.38)$$

因此, 串接的输出电阻就变得很大, 约为 $\beta_0/2$ 。当 $\beta_0 = 100$, $V_A = 130$ V 且 $I_{C2} = 1$ mA 时, 有

$$R_o = \frac{\beta_0 V_A}{2 I_{C2}} = \frac{100 \times 130}{2 \text{ mA}} = 6.5 \text{ M}\Omega \quad (4.39)$$

在输出电阻的计算中, 忽略了 r_μ 的影响。尽管这个假设很容易在一个基本镜像电流源中验证, 但是由于这个输出电阻很高, 在这里也必须重新验证。集电极-基极的电阻 r_μ 是由基极重合电流所产生的, 是厄尔利效应的结果, 详见第一章。对于一个基极电流完全由复合电流构成的晶体管而言, 当 V_{CE} 作为一个常数变化时, V_{BE} 所引起的基极电流的改变的百分比等于集电极电流, r_μ 等于 $\beta_0 r_o$ 。在这里, r_μ 的效应会减小式(4.38)中串接镜像电流源中的输出电阻, 为原来的 $1/1.5$ 。

在实际集成电路的设计中, npn 晶体管中基极电流只有一小部分来自于复合电流, 因为只有这部分是由厄尔利效应造成的, r_μ 的观测值要比 $\beta_0 r_o$ 大 10 倍甚至更多。因此对于 npn 型的晶体管来讲 r_μ 的效应就可以忽略。另一方面, 对于 pnp 型的晶体管, 反馈电阻 r_μ 的值比 npn 要小, 因为基极电流主要是由基区复合构成的。电阻的实际数值依赖于元器件的尺寸和制造工艺, 在实际观察中一般为 $\beta_0 r_o$ 的 2~5 倍。因此, 对于一个 pnp 管的串接镜像电流源而言, r_μ 作用在输出电阻上的影响就非常重要。而且, 当考虑输出电阻大于 $\beta_0 r_o$ 的镜像电流源的时候, r_μ 的效应就必须在考虑的范围之内。

在串接镜像电流源中, Q_1 的基极相当于连接了一个小阻值的电阻, 因为 Q_3 是二极管连接的。因此, r_μ 的反馈被削弱到可以被忽略的程度。另一方面, 如果 Q_1 基极到地之间的阻值在其他参数都保持常数的情况下增大, r_μ 引起的局部反馈主要影响了 Q_1 的基极-发射极电压, 并且减小了输出电阻。如果 Q_1 的基极到地之间的电阻都是有限的, Q_1 的特性则如

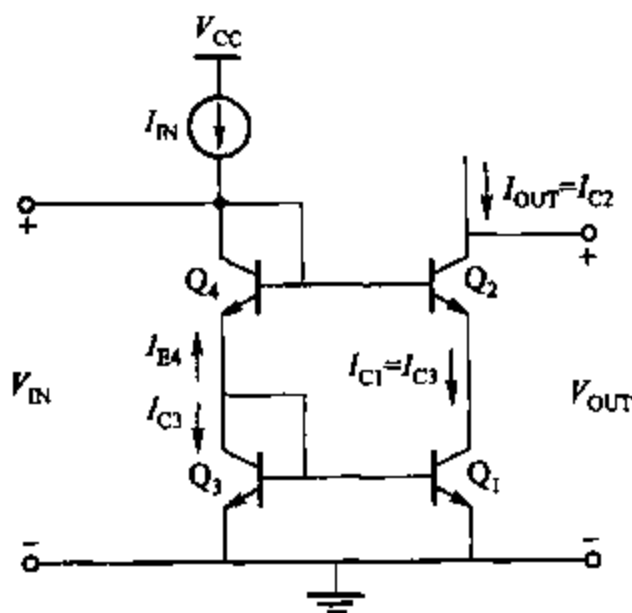


图 4.8 双极型晶体管构成串接镜像电流源

同二极管连接。局部反馈的知识将在第八章中介绍。

串接镜像电流源的输入电压是

$$V_{IN} = V_{BE3} + V_{BE4} = 2V_{BE(on)} \quad (4.40)$$

尽管 V_{IN} 比式(4.10)中的简单镜像电流源要高,增加的部分仅仅在输入的供电电压减小至两个二极管压降附近的时候才出现。

当输出电阻一定时输出电压的最小值已经在式(4.38)中给出,但是这个等式必须在 Q_1 和 Q_2 工作在正向放大区时成立。由于 $V_{CE1} \approx V_{CE3} = V_{BE(on)}$ 得

$$V_{OUT(min)} = V_{CE1} + V_{CE2(sat)} \approx V_{BE(on)} + V_{CE2(sat)} \quad (4.41)$$

将式(4.41)和式(4.11)对比得知,串接镜像电流源最小的输出电压比一个简单的镜像电流源的最小输出电压要高一个二极管的压降值。这点就限制了对于此类镜像电流源在放大电路中作为有源负载应用时所应该使用的最小的供电电压数值。

由于 $V_{CE1} \approx V_{CE3}$, $I_{C1} \approx I_{C3}$, 由晶体管有限输出电阻引入的系统增益误差约为零。使用串接镜像电流源的一个关键性的限制条件就是由于有限的 β_F 引入的系统增益损失要比一个简单的镜像电流源的增益损失要大。在 Q_3 集电极上,由 KCL 得

$$-I_{E4} = I_{C3} + \frac{2I_{C3}}{\beta_F} \quad (4.42)$$

在 Q_4 集电极上,由 KCL 得

$$I_{IN} = -I_{E4} + \frac{I_{C2}}{\beta_F} \quad (4.43)$$

Q_2 集电极电流为

$$I_{C2} = \frac{\beta_F}{\beta_F + 1} I_{C3} \quad (4.44)$$

将式(4.42)和式(4.44)代入式(4.43),得

$$I_{IN} = I_{C3} + \frac{2I_{C3}}{\beta_F} + \frac{I_{C3}}{\beta_F + 1} \quad (4.45)$$

整理式(4.45),得到 I_{C3} , 代入式(4.44)得

$$I_{OUT} = I_{C2} = \left(\frac{\beta_F}{\beta_F + 1} \right) \left[\frac{I_{IN}}{1 + \frac{2}{\beta_F} + \frac{1}{\beta_F + 1}} \right] \quad (4.46)$$

重新整理式(4.46)得

$$I_{OUT} = I_{IN} \left(1 - \frac{4\beta_F + 2}{\beta_F^2 + 4\beta_F + 2} \right) \quad (4.47)$$

式(4.47)表示系统增益误差为

$$\epsilon = -\frac{4\beta_F + 2}{\beta_F^2 + 4\beta_F + 2} \quad (4.48)$$

当 $\beta_F \gg 1$, 式(4.48)简化为

$$\varepsilon \approx -\frac{4}{\beta_F + 4} \quad (4.49)$$

相反,在由两个相同晶体管组成的简单镜像电流源中,有限的 β_F 引入的系统增益误差约为 $-2/\beta_F$, 这时如果串接镜像电流源中 $\beta_F > 4$, 增益就会比式(4.49)中的小。串接镜像电流源的限制超过了在 4.2.6 节讲述的威尔逊电流源。

4.2.5.2 MOS 晶体管结构

串接镜像电流源在 MOS 电路中有着广泛的应用,不会受到 β_F 为有限这个因素的影响。图 4.9 表示了它的最简形式。从式(3.107)得知,小信号输出电阻为

$$R_o = r_{o2} [1 + (g_{m2} + g_{mb2}) r_{o1}] + r_{o1} \quad (4.50)$$

如前面章节所述,双极型串接镜像电流源不能实现输出电阻大于 $\beta_o r_o/2$, 因为 β_o 是有限的,非零的小信号基极电流流入了串接放大器。相反,因为 MOS 管的 $\beta_o \rightarrow \infty$, MOS 串接放大器可通过增加级联器件的数量,可以实现非常高的输出电阻。但是,1.9 节讲到的 MOS 管的衬底漏电流会导致输出结点对地的阻抗减小,在 $V_{OUT} > V_{OUT(min)}$ 时,其限制了输出阻抗。⁵

示例

求如图 4.10 所示的双串接镜像电流源的输出阻抗。假设所有的晶体管工作在放大区,忽略衬底效应, $I_D = 10 \mu A$, $V_A = 50 V$, $g_m r_o = 50$ 。

每个晶体管的输出阻抗为

$$r_o = \frac{V_A}{I_D} = \frac{50 V}{10 \mu A} = 5 M\Omega$$

由式(4.50),从 M_2 的漏极看进去,得

$$R_{o2} = r_{o2} (1 + g_{m2} r_{o1}) + r_{o1} \quad (4.51)$$

同理可以从 M_3 的漏极看进去,得

$$R_o = r_{o2} (1 + g_{m3} R_{o2}) + R_{o2} \quad (4.52)$$

每一级串接放大器将输出电阻增大了 $(1 + g_m r_o)$ 倍。

因此

$$R_o \approx r_o (1 + g_m r_o)^2 \approx 5(51)^2 M\Omega \approx 13 G\Omega \quad (4.53)$$

在实际应用中对于如此大的输出电阻,其他寄生泄漏路径,如衬底泄漏路径等,均可与之相比。

在图 4.9 中由 KVL 可得

$$V_{DS1} = V_{GS3} + V_{GS4} - V_{GS2} \quad (4.54)$$

因为 $V_{DS3} = V_{GS3}$, 式(4.54)表明当 $V_{GS2} = V_{GS4}$ 时 $V_{DS1} = V_{DS3}$ 。在此条件下,该串接镜像电流源的系统增益误差为零,因为 M_1 和 M_3 的偏置相同,且对于 MOS 管来说, $\beta_F \rightarrow \infty$ 。实际上,即使在完全匹配的情况下 V_{GS2} 也并不完全等于 V_{GS4} , 除非因为沟道长度调制效应导致

$V_{OUT} = V_{IN}$ 。结果, $V_{DS1} \approx V_{DS3}$ 且

$$\epsilon \approx 0 \quad (4.55)$$

图 4.9 中的 MOS 管串接镜像电流源输入电压为

$$\begin{aligned} V_{IN} &= V_{GS3} + V_{GS4} \\ &= V_{t3} + V_{ov3} + V_{t4} + V_{ov4} \end{aligned} \quad (4.56)$$

这个输入电压包括两个栅-源电压降,而每个压降又都由阈值电压和过载电压组成。忽略衬底效应并假设所有晶体管的过载电压相等,即

$$V_{IN} = 2V_t + 2V_{ov} \quad (4.57)$$

同理,每增加一个串接电路可以让输入电压再增加一级阈值电压和过载电压。而且当 $V_{SB} > 0$ 时,衬底效应会让所有的晶体管阈值电压增大。总而言之,这些因素增加了设计低电源电压输入镜像电流源的难度。

当 M_1 和 M_2 都工作在放大区的时候, $V_{DS1} \approx V_{DS3} = V_{GS3}$ 。为了让 M_2 工作在放大区,需要 $V_{DS2} > V_{ov2}$ 。因此,为了保证 M_1 和 M_2 工作在放大区,最小输出电压为

$$\begin{aligned} V_{OUT(min)} &= V_{DS1} + V_{ov2} \\ &\approx V_{GS3} + V_{ov2} = V_t + V_{ov3} + V_{ov2} \end{aligned} \quad (4.58)$$

如果所有的晶体管都有相同的过载电压,则

$$V_{OUT(min)} \approx V_t + 2V_{ov} \quad (4.59)$$

另一方面,如果 $V_{OUT} < V_{OUT(min)}$,则 M_2 工作在三极管区,而如果 $V_{OUT} < V_{ov1}$,则 M_1 和 M_2 都将工作在三极管区。这些结论如图 4.9b 所示。

尽管对于给定电流,式(4.59)中的过载电压的减小可以通过增大 W 来实现,但当在放大器中使用镜像电流源作为有源负载时,其中的阈值项出现大幅度减小电压振荡。式(4.59)中的阈值是由 M_1 的漏-源偏置电压决定的,所以

$$V_{DS1} = V_{IN} - V_{GS2} \quad (4.60)$$

忽略衬底效应,并假设 $M_1 \sim M_4$ 有相同的过载电压并都工作在放大区,有

$$V_{DS1} = V_t + V_{ov} \quad (4.61)$$

这样, M_1 的漏-源偏置电压是一个比 M_1 工作在放大区所需电压高的阈值。为了减小 V_{DS1} , M_2 栅极到地的电压通过电平转换可以减小一个阈值电压,如图 4.11a 所示。在实际中用源极跟随器完成电平转换,如图 4.11b 所示。⁶ 作为源极跟随器的

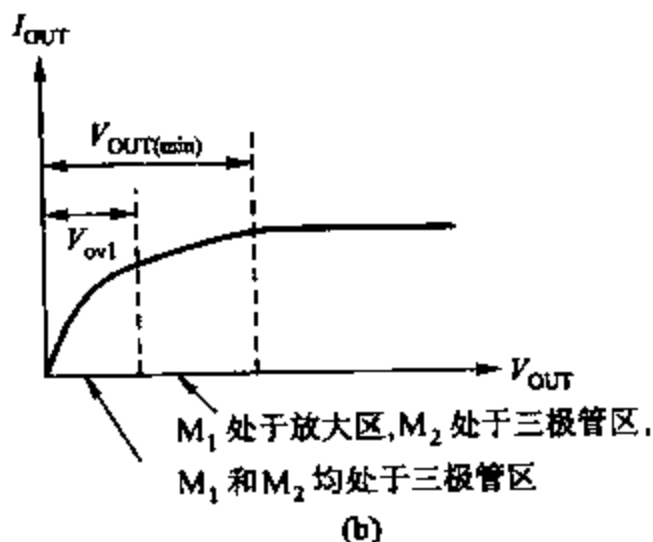
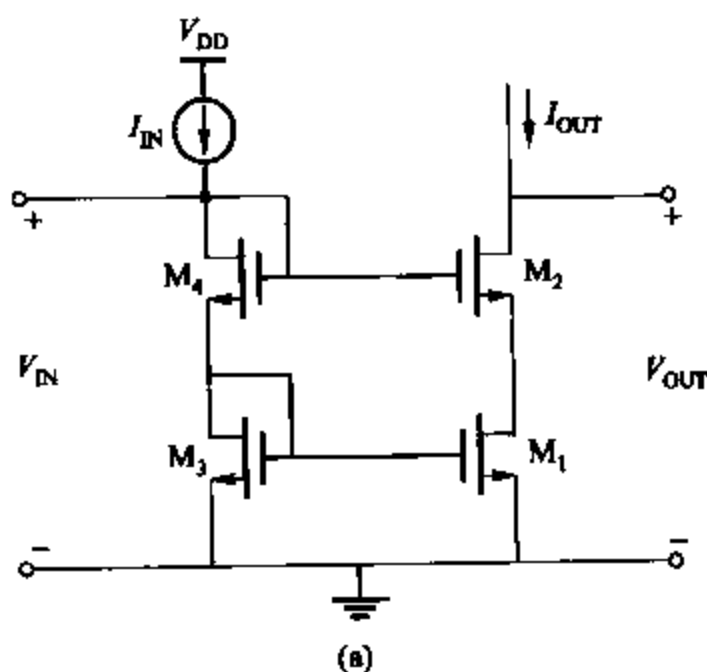


图 4.9 (a)串接 MOS 管形式镜像电流源;(b) $I-V$ 传输特性曲线

M_5 是由简单镜像电流源 M_3 和 M_6 的输出偏置的。因为 M_5 的栅源电压比阈值高一个过载电压值, 所以, 在所有晶体管的阈值和过载电压值都相等的情况下, M_1 的漏源电压为零。

要让 M_1 偏置到放大区和三极管区交界处, 需有

$$V_{DS1} = V_{ov} \quad (4.62)$$

因此, 如果将 W/L 缩小四倍以满足式(4.62), M_4 上的过载电压将加倍。由此, 式(4.59)中的阈值项消失了, 即

$$V_{OUT(min)} \approx 2V_{ov} \quad (4.63)$$

因为最小输出电压不含有阈值项, 处于放大区的 M_1 和 M_2 的输出电压范围有了很大的改进。这样, 图 4.11 中的镜像电流源在作为有源负载被用于放大器中时, 对输出电压的约束比图 4.9 中的镜像电流源小。正因如此, 图 4.11 中的镜像电流源被称为高振荡的串接形式镜像电流源。这种用电平转移法减小 $V_{OUT(min)}$ 的方法也可用于双极型电路中。

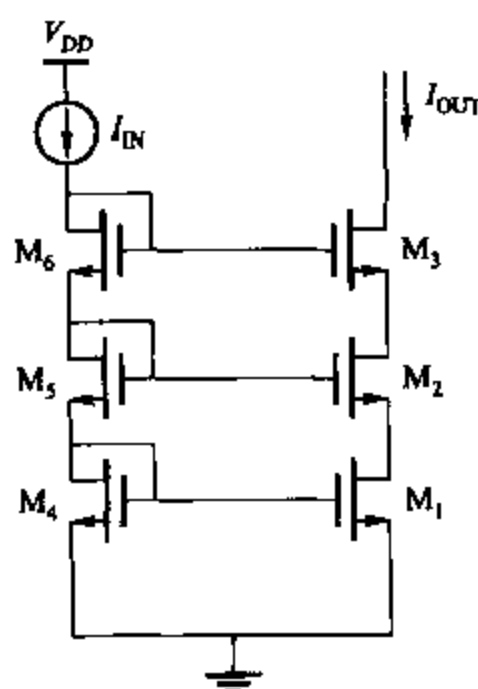


图 4.10 一个双串接形式的镜像电流源

当 M_1 和 M_2 都工作在放大区时高摆幅的串接形式镜像电流源的输出阻抗与式(4.50)所示的输出阻抗一样。但是, 输入电压与系统增益误差比没有进行电平转移的串接形式镜像电流源差。输入电压仍然由式(4.56)给出, 但当 W/L 缩小四倍时, M_4 中的栅-源电压的过载项加倍。从而

$$V_{IN} = 2V_t + 3V_{ov} \quad (4.64)$$

由于 M_1 和 M_3 的漏-源电压不对称, 其系统增益误差为

$$\epsilon = \frac{V_{DS1} - V_{DS3}}{V_A} \approx \frac{V_{ov1} - (V_t + V_{ov1})}{V_A} = -\frac{V_t}{V_A} \quad (4.65)$$

式(4.65)中的负号表示 $I_{OUT} < I_{IN}$ 。例如, 如果 $I_{IN} = 100 \mu A$, $V_t = 1 V$ 且 $V_A = 10 V$, $\epsilon \approx -0.1$, 则 $I_{OUT} \approx 90 \mu A$ 。

在实际应用中, $(W/L)_4 < (1/4)(W/L)$ 经常由于以下两个原因被选用。首先, MOS 在三极管区到放大区间能起到间接传递的作用。这样, M_1 的漏-源电压在 V_{ov1} 基础上增大几百微伏就能使得输出电阻按式(4.50)变动。其次, 尽管衬底效应在分析中没有被考虑到, 但它会减少 M_1 的漏-源电压, 这个电压是由 KVL 回路得到的:

$$V_{DS1} = V_{GS3} + V_{GS4} - V_{GS5} - V_{GS2} \quad (4.66)$$

式(4.66)中的每个栅-源电压都包含一个阈值项。 M_5 的源-衬底电压比 M_4 的大, 则 $V_{GS5} > V_{GS4}$ 。同理 M_2 的源-衬底电压比 M_3 的大, 则 $V_{GS2} > V_{GS3}$ 。高精度模型的仿真往往要求找到最合适的 $(W/L)_4$ 。

图 4.11 中的镜像电流源的一项不足是通过输入电流与一个新的分支镜像以完成电平转移。将输入支路合并能消除两个镜像电流源不匹配的可能, 并且还能减少能量的浪费。在单独的输入支路中, 组件必须提供一个等于要求的 M_1 和 M_2 的栅极电压之差的压降。为

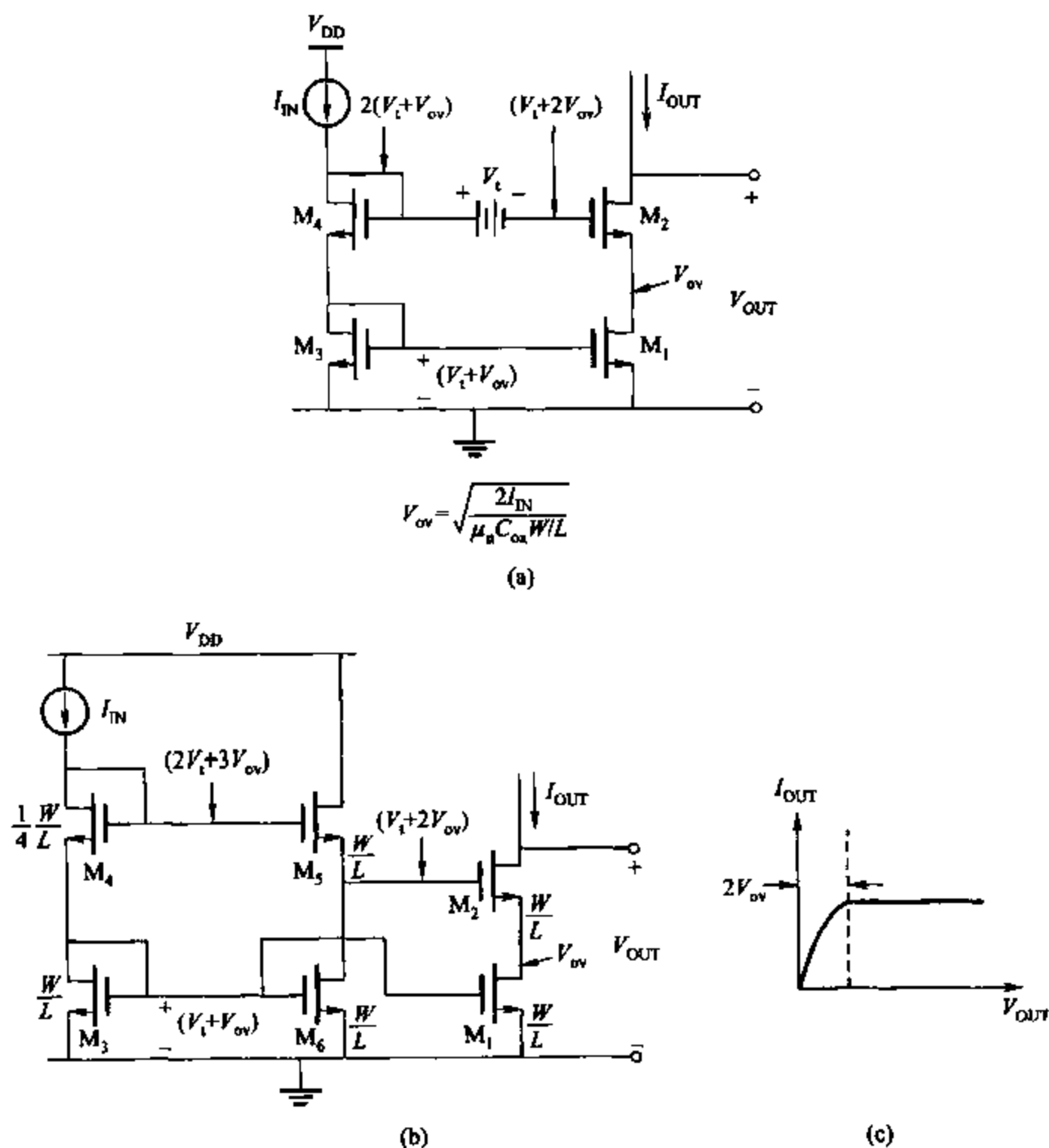


图 4.11 (a) 为得到最大电压摆幅为改进偏置的 MOS 管串接镜像电流源; (b) 实际应用; (c) $I-V$ 特性曲线

了将 M_1 偏置到放大区的边界上, M_1 和 M_2 的栅极与地的电压分别为 $V_t + V_{ov}$ 和 $V_t + 2V_{ov}$ 。这样, 两个 MOS 管栅极电压的差值为 V_{ov} 。通过将 MOS 管的漏-源电压差有意控制在三极管区, 这种压差可以被改进, 如图 4.12a 所示。⁷ 由于 M_6 接成二极管形式, 只要输入电流源和阈值都是正的, 它就工作在放大区。由于 M_6 的栅-源电压与 M_5 的栅-漏电压相等, 则会在 M_5 的漏极和 M_6 的源极间形成一个沟道。换言之, M_6 迫使 M_5 工作在三极管区。

当选用图 4.12a 中的电路组成镜像电流源时, 将调整组件尺寸使 M_5 的漏-源电压为 V_{ov} 。 M_6 工作在放大区, 则

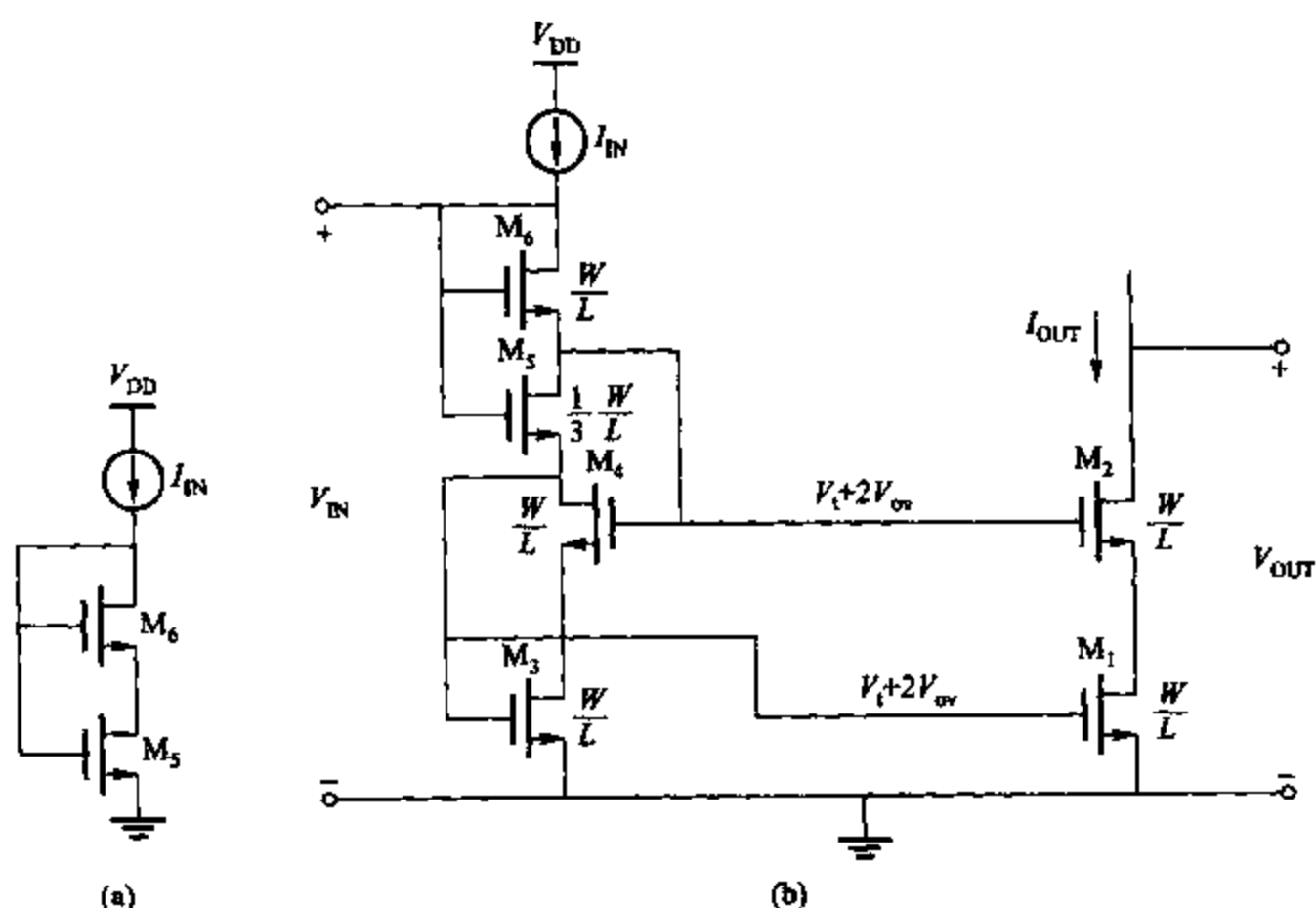


图 4.12 (a)迫使 M_5 工作在 triode 区的电路;(b)使用电路(a)的 Sotchi 级联镜像电流源

$$I_{IN} = \frac{k'}{2} \left(\frac{W}{L} \right)_6 (V_{GS6} - V_t)^2 \quad (4.67)$$

M_5 工作在 triode 区,则

$$I_{IN} = \frac{k'}{2} \left(\frac{W}{L} \right)_5 [2(V_{GS5} - V_t)V_{DS5} - (V_{DS5})^2] \quad (4.68)$$

目标是设置

$$V_{DS5} = V_{ov} \quad (4.69)$$

当

$$V_{GS6} = V_t + V_{ov} \quad (4.70)$$

由式(4.69)和(4.70)得

$$V_{GS5} = V_{GS6} + V_{DS5} = V_t + 2V_{ov} \quad (4.71)$$

将式(4.68)~(4.71)代入式(4.67)得

$$\frac{k'}{2} \left(\frac{W}{L} \right)_6 (V_{ov})^2 = \frac{k'}{2} \left(\frac{W}{L} \right)_5 [2(2V_{ov})V_{ov} - (V_{ov})^2] \quad (4.72)$$

式(4.72)可化简为

$$\left(\frac{W}{L} \right)_5 = \frac{1}{3} \left(\frac{W}{L} \right)_6 \quad (4.73)$$

将图 4.12a 用于如图 4.12b 所示的镜像电流源中,⁷ 这种电流源后来被称作 Sotchi 串接镜像电流源。首先,忽略 M_4 , 并且假设 M_5 被简单接成二极管形式。这样, M_1 栅极与地的电压和 M_2 栅极与地的电压的差值由 M_5 的漏-源电压决定。 M_5 的尺寸可由式(4.73)决

定,其他 MOS 管的尺寸相同,这样, M_3 的漏-源电压是 V_{ov} ,而 M_1 被偏置在放大区的边沿上。输出电阻、最小输出电压、输入电压和系统增益误差分别由式(4.50)、(4.63)、(4.64)和(4.65)决定。

下面考虑 M_4 的作用。加入 M_4 的目的是要设置 M_3 的漏-源电压与 M_1 的一致。除了 M_4 ,其他 MOS 管的漏-源电压与阈值电压不同,它是由产生非零系统增益误差引起的。对于 M_4 有

$$V_{DS3} = V_{G2} - V_{GS4} \quad (4.74)$$

其中

$$V_{G2} = V_{GS3} + V_{DS5} \quad (4.75)$$

忽略沟道长度调制效应,

$$V_{G2} = (V_t + V_{ov}) + V_{ov} = V_t + 2V_{ov} \quad (4.76)$$

忽略衬底效应,并且假设 M_4 工作在放大区,

$$V_{GS4} = V_t + V_{ov} \quad (4.77)$$

将式(4.76)和式(4.77)代入式(4.74)得

$$V_{DS3} = V_{ov} \quad (4.78)$$

如果在这些条件下 M_2 也工作在放大区,则 $V_{DS3} = V_{DS1}$ 。结果,系统增益误差为

$$\epsilon = 0 \quad (4.79)$$

因此, M_4 的作用是使设置 M_3 的漏-源电压与 M_1 的一致,从而减小系统增益误差。

因为 M_4 工作在放大区,所以可以得到 $V_{DS4} > V_{ov}$,因为

$$V_{DS4} = V_{GS3} - V_{DS3} = (V_t + V_{ov}) - V_{ov} = V_t \quad (4.80)$$

由式(4.80)可以看出,当 $V_t > V_{ov}$ 时, M_4 工作在放大区。虽然通常这个条件会满足,但较低的阈值和较高的过载会导致 M_4 工作在三极管区。如果这样, M_4 的栅-源电压将由其漏-源电压决定,这将会导致系统增益误差增大。因为温度的升高会导致阈值下降,过载升高,在期望的最大工作温度下检查 M_4 所处的工作区,这在实际应用中是很重要的。

高摆幅串接镜像电流源的最大限制是输入电压较大,这是刚刚阐述过的。在图 4.11 中,输入电压是 M_3 和 M_4 的栅-源电压之和,在不考虑衬底效应的前提下,输入电压可由式(4.64)给出。在图 4.12 中,输入电压是

$$\begin{aligned} V_{IN} &= V_{GS3} + V_{DS5} + V_{GS6} \\ &= V_t + V_{ov} + V_{ov} + V_t + V_{ov} \\ &= 2V_t + 3V_{ov} \end{aligned} \quad (4.81)$$

式(4.81)表明图 4.12 所示的高摆幅串接镜像电流源的输入电压与式(4.64)所示的图 4.11 中的输入电压一样。大的输入电压会限制电压源的最小值,因为晶体管各级为工作在正确的工作区,其输入电流源会有一些非零的压降。因为阈值电压大约为 1 V,输入源电压大于 3 V 时,图 4.11 和 4.12 中的串接镜像电流源可以正常工作。如果输入源电压低于 2 V,则需要降低阈值电压或者改变电路组成。降低所有晶体管的阈值电压,将给作为开关的晶体

管的关闭带来困难。要解决这个问题,可以考虑在镜像电流源中使用低阈值的器件并且使用高阈值的器件作为开关,但这种解决方法增加了电路的复杂性,提高了成本。因此,使用电路工艺方法降低输入电压对于降低成本有非常重要的作用。

为了降低输入电压,输入支路可被分成两个支路,如图 4.13 所示。如果 M_1 和 M_2 被偏置在放大区,输出电阻仍由式(4.63)决定。而且,式(4.50)所要求的最小输出电压仍由式(4.63)决定。如果 M_4 工作在放大区,则 M_3 的漏-源电压与 M_1 的相等,系统增益误差仍然为零(如式(4.79))。

图 4.13 中的镜像电流源有两个输入支路,输入电压可以分别计算如下:

$$V_{IN1} = V_{DS5} + V_{GS6} = V_t + 2V_{ov} \quad (4.82)$$

$$V_{IN2} = V_{GS3} = V_t + V_{ov} \quad (4.83)$$

V_{IN1} 和 V_{IN2} 都比图 4.12b 中的输入电压(如式(4.64))小大约一个阈值,允许电流源在输入电压低于 2 V 时正常工作,这里我们假设阈值是 1 V。

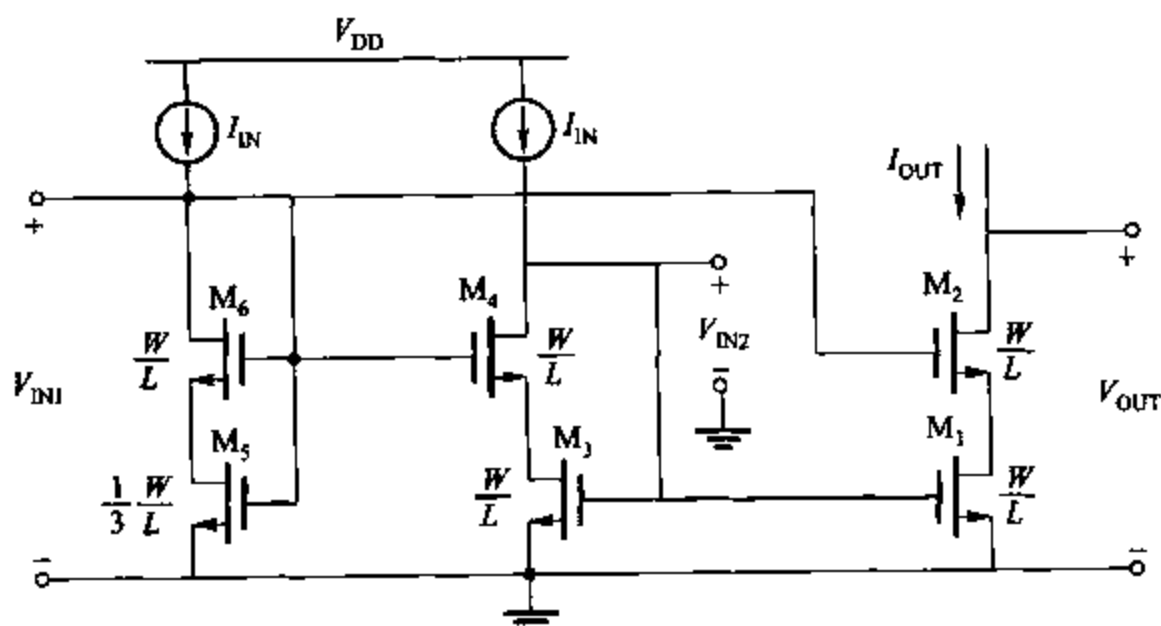


图 4.13 两条输入支路的 MOS 管高摆幅镜像电流源

图 4.13 中, M_5 的漏-源电压只是用来偏置 M_6 的源极。这样, M_5 和 M_6 可被看成一个源极接地的二极管连接形式的晶体管,将这个晶体管称为 M_7 。 M_7 的尺寸应该比 $M_1 \sim M_4$ 小四倍,以保持图 4.13 中的偏置条件。在实际应用中, M_7 的尺寸被进一步缩小以便将 M_1 偏置在放大区的边沿上,这样还能克服由于 M_2 和 M_7 的尺寸不匹配而引起的衬底效应。

4.2.6 威尔逊镜像电流源

4.2.6.1 双极型晶体管结构

双极型晶体管结构的级联镜像电流源的主要局限性是由有限的 β_F 引入的系统增益误差过大,如式(4.49)所示。为突破这种局限性,可使用如图 4.14a 所示的威尔逊镜像电流

源。⁸ 这个电路通过 Q_1 实现负反馈,使 Q_3 有源从而降低基极电流误差,提高输出电阻。详见第八章。

从定性的角度来看,输入电流和 I_{C3} 的差值流入了 Q_2 的基极。基极电流乘以 $(\beta_F + 1)$, 流入二极管连接形式的晶体管 Q_1 , Q_1 的电流与流入 Q_3 的电流大小相同。反馈回路用来调节 I_{C3} 使之与输入电流相等,从而降低有限的 β_F 引起的系统增益误差。简单地说,当输出电压增大时, Q_2 的集电极电流也增加,从而也增加了 Q_1 的集电极电流。结果, Q_3 的集电极电流增大,从而也就提高了 Q_2 的基极电流。由负反馈引起的 Q_2 基极电流下降,降低了 Q_2 集电极电流的原变化量,并且增大了输出电阻。

在所有晶体管都工作在放大区的时候,计算威尔逊镜像电流源的输出电阻,分析图 4.14b 中的小信号模型,图中测试电流源 i_t 被应用于输出端。晶体管 Q_1 、 Q_3 组成了一个简单的镜像电流源。由于 Q_1 连接成二极管形式, Q_1 基极与地之间的小信号电阻为 $(1/g_{m1}) // r_{\pi1} // r_{\pi3} // r_{o1}$ 。假设一个未知电流 i_1 流入这个电阻,当 $g_{m1} r_{\pi1} \gg 1$, $g_{m1} r_{\pi3} \gg 1$ 且 $g_{m1} r_{o1} \gg 1$ 时,这个电阻大约等于 $1/g_{m1}$ 。晶体管 Q_3 可以被看作是一个与 r_{o3} 并联的值为 $g_{m3} v_{\pi3}$ 的电压控制电流源模型。因为 $v_{\pi3} = v_{\pi1} \approx i_1/g_{m1}$, Q_3 的电压控制电流源模型可以被一个值为 $(g_{m3}/g_{m1})(i_1) = 1(i_1)$ 的电流控制电流源代替,如图 4.14b 所示。这个模型直接表明了一个简单的镜像电流源的特性:输入电流 i_1 被一个电流控制的电流源镜像到输出端。

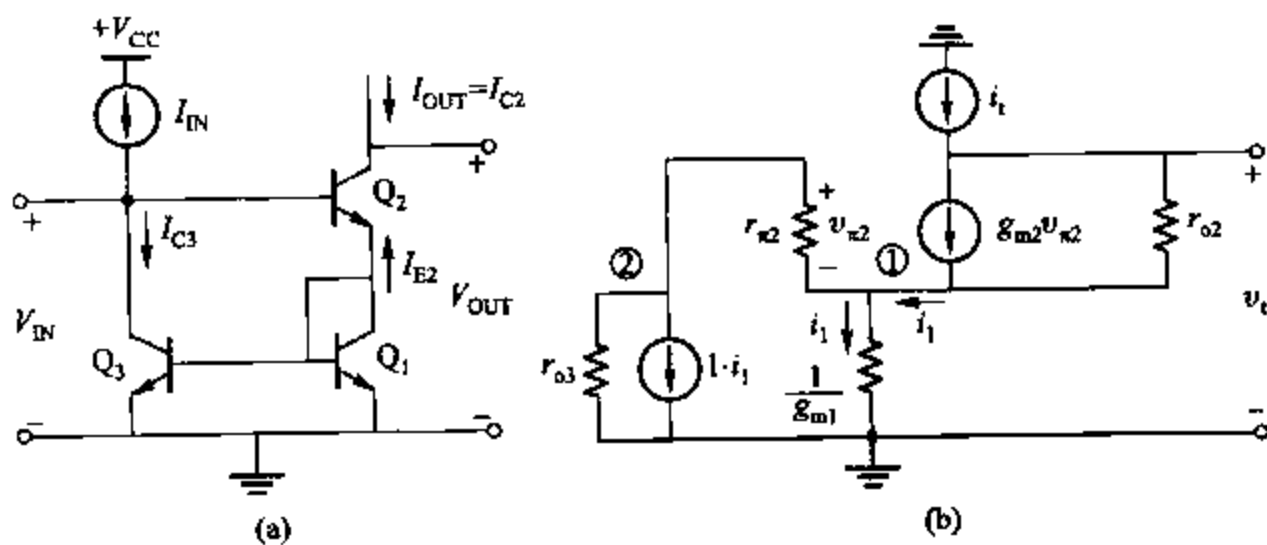


图 4.14 (a) 双极型晶体管结构的威尔逊镜像电流源; (b) 小信号模型

利用这个模型,等效电压 v_t 为

$$v_t = \frac{i_1}{g_{m1}} + (i_1 - g_{m2} v_{\pi2}) r_{o2} \quad (4.84)$$

为找出 i_1 和 $v_{\pi2}$ 的关系,注意 r_{o3} 上的电压是 $(i_1/g_{m1} + v_{\pi2})$,在图 4.14b 中的结点②处使用 KCL 得

$$\frac{v_{\pi2}}{r_{\pi2}} + i_1 + \frac{\frac{i_1}{g_{m1}} + v_{\pi2}}{r_{o3}} = 0 \quad (4.85)$$

将式(4.85)重新整理得

$$v_{\pi 2} = -i_1 r_{\pi 2} \left[\frac{1 + \frac{1}{g_{m1} r_{\alpha 3}}}{1 + \frac{r_{\pi 2}}{r_{\alpha 3}}} \right] \quad (4.86)$$

为找出 i_1 和 i_t 的关系,在图 4.14b 中的结点①处使用 KCL 得

$$i_t = i_1 - \frac{v_{\pi 2}}{r_{\pi 2}} \quad (4.87)$$

将式(4.86)代入式(4.87)并整理得

$$i_1 = \frac{i_t}{1 + \left[\frac{1 + \frac{1}{g_{m1} r_{\alpha 3}}}{1 + \frac{r_{\pi 2}}{r_{\alpha 3}}} \right]} \quad (4.88)$$

将式(4.88)代入式(4.86)并且整理得

$$v_{\pi 2} = -i_t r_{\pi 2} \left[\frac{1 + \frac{1}{g_{m1} r_{\alpha 3}}}{2 + \frac{r_{\pi 2}}{r_{\alpha 3}} + \frac{1}{g_{m1} r_{\alpha 3}}} \right] \quad (4.89)$$

将式(4.88)和式(4.89)代入式(4.84)并整理得

$$R_o = \frac{v_t}{i_t} = \frac{1}{g_{m1} \left[1 + \frac{1 + \frac{1}{g_{m1} r_{\alpha 3}}}{1 + \frac{r_{\pi 2}}{r_{\alpha 3}}} \right]} + r_{\alpha 2} + \frac{g_{m2} r_{\pi 2} r_{\alpha 2} \left(1 + \frac{1}{g_{m1} r_{\alpha 3}} \right)}{2 + \frac{r_{\pi 2}}{r_{\alpha 3}} + \frac{1}{g_{m1} r_{\alpha 3}}} \quad (4.90)$$

如果 $r_{\alpha 3} \rightarrow \infty$, 则流入 Q_3 集电极的小信号电流与 i_1 相等, 式(4.90)化简为

$$R_o = \frac{1}{g_{m1}(2)} + r_{\alpha 2} + \frac{g_{m2} r_{\pi 2} r_{\alpha 2}}{2} \approx \frac{\beta_0 r_{\alpha 2}}{2} \quad (4.91)$$

这个结果与式(4.38)中串接镜像电流源的结果一样。在串接镜像电流源中, 流入 Q_2 基极的小信号电流通过 Q_3 镜像到 Q_1 , 所以流出 Q_2 基极和发射极的小信号电流基本相等。另一方面, 在威尔逊镜像电流源中, 流入 Q_2 发射极的小信号电流通过 Q_1 镜像到 Q_3 , 然后流回 Q_2 的基极。尽管原因和作用关系与串接镜像电流源相反, 但输出电阻没有变化, 因为 Q_2 基极和发射极的小信号电流仍然必须相等。然而, 因为输出电压的变化而流入的 Q_2 的小信号集电极电流分成两部分, 一半流入 $r_{\pi 2}$ 。

为了方便进行直流分析, 假设 $V_A \rightarrow \infty$ 并且所有的晶体管都相同。则输入电压为

$$V_{IN} = V_{CE3} = V_{BE1} + V_{BE2} = 2V_{BE(on)} \quad (4.92)$$

这与式(4.40)中串接镜像电流源的输入电压相等。同样, 输出支路中工作在前向放大区的两个晶体管的最小输出电压为

$$V_{OUT(min)} = V_{CE1} + V_{CE2(sat)} = V_{BE(on)} + V_{CE2(sat)} \quad (4.93)$$

式(4.93)中的结果与式(4.41)中串接镜像电流源的最小输出电压相等。

为了得到系统增益误差,对 Q_1 的集电极应用 KCL 可得

$$-I_{E2} = I_{C1} + I_{B1} + I_{B3} = I_{C1} \left(1 + \frac{1}{\beta_F}\right) + \frac{I_{C3}}{\beta_F} \quad (4.94)$$

由于假设 $V_A \rightarrow \infty$ 并且所有的管都相同,则有

$$I_{C3} = I_{C1} \quad (4.95)$$

将式(4.95)代入式(4.94)得到

$$-I_{E2} = I_{C1} \left(1 + \frac{2}{\beta_F}\right) \quad (4.96)$$

利用式(4.96)可得 Q_2 的集电极电流为

$$I_{C2} = -I_{E2} \left(\frac{\beta_F}{1 + \beta_F}\right) = I_{C1} \left(1 + \frac{2}{\beta_F}\right) \left(\frac{\beta_F}{1 + \beta_F}\right) \quad (4.97)$$

将式(4.97)整理可得

$$I_{C1} = I_{C2} \left[\frac{1}{\left(1 + \frac{2}{\beta_F}\right) \left(\frac{\beta_F}{1 + \beta_F}\right)} \right] \quad (4.98)$$

在 Q_2 的基极上,由 KCL 可得

$$I_{C3} = I_{IN} - \frac{I_{C2}}{\beta_F} \quad (4.99)$$

将式(4.98)和式(4.99)代入式(4.95),可得

$$I_{OUT} = I_{C2} = I_{IN} \left(1 - \frac{2}{\beta_F^2 + 2\beta_F + 2}\right) = \frac{I_{IN}}{1 + \frac{2}{\beta_F(\beta_F + 2)}} \quad (4.100)$$

如图 4.14a 所示结构,由有限的输出电阻引入的系统增益误差不为零,因为 Q_1 和 Q_3 由集电极-发射极电压决定,而这个电压与 Q_2 的基极-发射极电压不同。对有限的 V_A 和有限的 β_F ,有

$$\begin{aligned} I_{OUT} &= I_{IN} \left(1 - \frac{2}{\beta_F^2 + 2\beta_F + 2}\right) \left(1 + \frac{V_{CE1} - V_{CE3}}{V_A}\right) \\ &\approx I_{IN} \left(1 - \frac{2}{\beta_F^2 + 2\beta_F + 2}\right) \left(1 - \frac{V_{BE2}}{V_A}\right) \end{aligned} \quad (4.101)$$

这样,系统增益误差为

$$\epsilon \approx - \left(\frac{2}{\beta_F^2 + 2\beta_F + 2} + \frac{V_{BE2}}{V_A} \right) \quad (4.102)$$

比较式(4.102)和式(4.49)将会发现两个关键问题。首先,威尔逊镜像电流源中由有限的 β_F 产生的系统增益误差比串接镜像电流源的系统增益误差小得多。第二,威尔逊镜像电流源中由有限的输出电阻产生的系统增益误差(如图 4.14a 所示)比串接镜像电流源的系统增益误差(如图 4.9 所示)大。但是,这个限制不是根本问题,因为它可以克服,方法是:在 Q_3

的集电极和 Q_2 的基极之间加入一个二极管连接形式的晶体管以平衡 Q_1 和 Q_3 的集电极 - 发射极电压。

4.2.6.2 MOS 晶体管结构

威尔逊镜像电流源也被应用于 MOS 管工艺,如图 4.15 所示。忽略 M_4 ,当 $\beta_F \rightarrow \infty$ 时,电路的工作方式本质上与双极型晶体管结构相同。一种计算输出电阻的方法是令式(4.90)中 $r_{\pi 2} \rightarrow \infty$,则

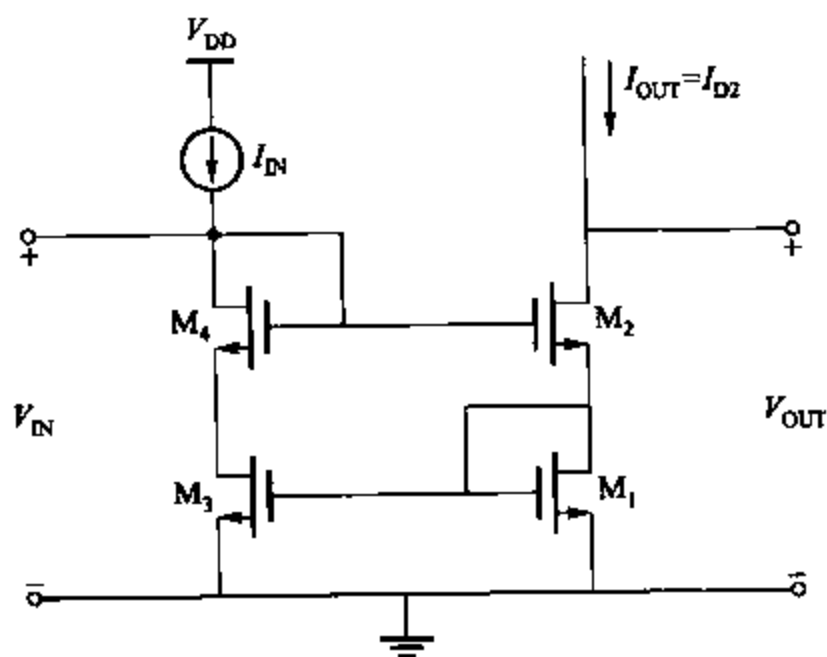


图 4.15 改进型 MOS 管威尔逊电流源,加入一个组件使 M_1 和 M_3 的漏极电压相等

$$R_o = \frac{1}{g_{m1}} + r_{o2} + g_{m2} r_{o2} \left(1 + \frac{1}{g_{m1} r_{o3}} \right) r_{o3} \approx (1 + g_{m2} r_{o3}) r_{o2} \quad (4.103)$$

由于式(4.103)中的计算是建立在双极型晶体管结构的威尔逊镜像电流源的小信号模型(如图 4.14b 所示)基础上的,它忽略了晶体管 M_2 的衬底效应。再次分析与 r_{o2} 并联的衬底效应,得

$$R_o \approx (2 + g_{m2} r_{o3}) r_{o2} \quad (4.104)$$

M_2 的衬底效应对式(4.104)影响微小,因为 M_1 被接成二极管形式,并且 M_2 的源极与地间的电压几乎是常数。

尽管 MOS 管 $\beta_F \rightarrow \infty$,但忽略 M_4 后系统增益误差并不为零,因为由于 M_2 的栅 - 源电压的存在使得 M_3 的漏 - 源电压与 M_1 不同。这样,忽略 M_4 ,则

$$\epsilon = \frac{V_{DS1} - V_{DS3}}{V_A} = -\frac{V_{GS2}}{V_A} \quad (4.105)$$

晶体管 M_4 被插入 M_3 的并联电路中,以平衡 M_3 和 M_1 的漏 - 源电压,这样则有

$$\epsilon \approx 0 \quad (4.106)$$

如果所有的晶体管都工作在放大区,则 M_4 的输出电阻仍由式(4.104)给出。同样, M_4 的插入没有改变式(4.104)给出的最小输出电压,也没有改变输入电压。忽略衬底效应的影

响,假设每个晶体管上的过载都相同,则最小输出电压为

$$V_{OUT(min)} = V_{GS1} + V_{ov2} = V_t + 2V_{ov} \quad (4.107)$$

在相同条件下,输入电压为

$$V_{IN} = V_{GS1} + V_{GS2} = 2V_t + 2V_{ov} \quad (4.108)$$

4.3 有源负载

4.3.1 概述

在第三章中介绍差分放大器种类时,电阻作为负载。例如,图 3.45 中的差分放大器。在这个电路中,差模电压增益为

$$A_{dm} = -g_m R_C \quad (4.109)$$

大的增益通常是能够达到的,因为它允许负反馈,从而使得有反馈的增益对于参数的变化不敏感,而这些参数在没有反馈的时候是能够决定增益大小的。这个内容将在第八章中介绍。在第九章中,将会讲到一定的增益应该在尽量少的级数内达到,这样可以尽可能地使关于稳定性的潜在问题最小化。因此,每一级增益的最大化就显得非常重要了。

将式(4.109)的分子、分母同时乘以 I 得

$$A_{dm} = -\frac{I(R_C)}{I/g_m} \quad (4.110)$$

对于双极型晶体管,用 I 代替不同差分对的每一个晶体管的集电极电流 I_C 。式(1.91)和式(4.110)可被写为

$$A_{dm} = -\frac{I_C R_C}{V_T} \quad (4.111)$$

为达到大的电压增益,式(4.111)表明 $I_C R_C$ 项必须尽量大,即需要一个大的电源电压。并且,如果电流较小就需要一个大阻值的电阻以减少能量的浪费。结果,所要求的阻值范围会很大。

类似的情况也发生在带阻性负载的 MOS 管放大器上。令 I 等于每个差分对晶体管中的漏极电流 I_D ,令阻性负载为 R_D 。由式(1.157)和式(1.180),式(4.110)可被写为

$$A_{dm} = -\frac{I_D R_D}{(V_{GS} - V_t)/2} = -\frac{2I_D R_D}{V_{ov}} \quad (4.112)$$

式(4.112)表明,对于一个过载, $I_D R_D$ 项应尽量大以增大增益。结果,为了取得大的增益就得有一个大的能量供给,并且经常需要较大的电阻以减少能量耗散。并且,由于过载通常比热电压大,比较式(4.111)与式(4.112)可见, MOS 管差分对的增益通常比与它相对应的带有相等阻性负载的双极型结构的放大器增益要低得多。通过观察可以发现,对于一个已知电流,双极型晶体管与 MOS 管相比,能够提供更大的跨导。

如果电源电压只比电阻上的压降稍大,当输入晶体管都工作在放大区时,共模输入电压

的范围应该加以严格限制,无论是对于双极型还是对于 MOS 管放大器。为了解决这个问题,并且在不需要大的电源电压或大的阻抗的情况下提供高增益,晶体管的电阻 r_o 可被用作负载。⁹ 既然电路中的负载组件是晶体管而不是电阻,则负载组件是有源的而不是无源的。

4.3.2 带有互补输出级的共射/共源放大器

图 4.16a 所示的是一个带有 pnp 型镜像电流源负载的共射放大器。与此相对应的,带有 p 沟道的 MOS 管镜像电流源负载的共源放大器如图 4.16b 所示。在两种情况下均有两个输出变量:输出电压 V_{OUT} 和输出电流 I_{OUT} 。这两个变量的关系被输入晶体管和负载晶体管共同控制。从输入晶体管 T_1 的角度来看,有

$$I_{out} = I_{c1} \text{ 或 } I_{out} = I_{d1} \quad (4.113)$$

且

$$V_{out} = V_{ce1} \text{ 或 } V_{out} = V_{ds1} \quad (4.114)$$

式(4.113)和式(4.114)表明 T_1 的 $I-V$ 特性可直接用来分析输出变量之间的关系。输入电压分别为 T_1 的基极-发射极电压(如图 4.16a 所示)和 T_1 的栅-源电压(如图 4.16b 所示),输入电压是用来精确确定一定条件下输出曲线族任意点的参数,如图 4.17a 所示。

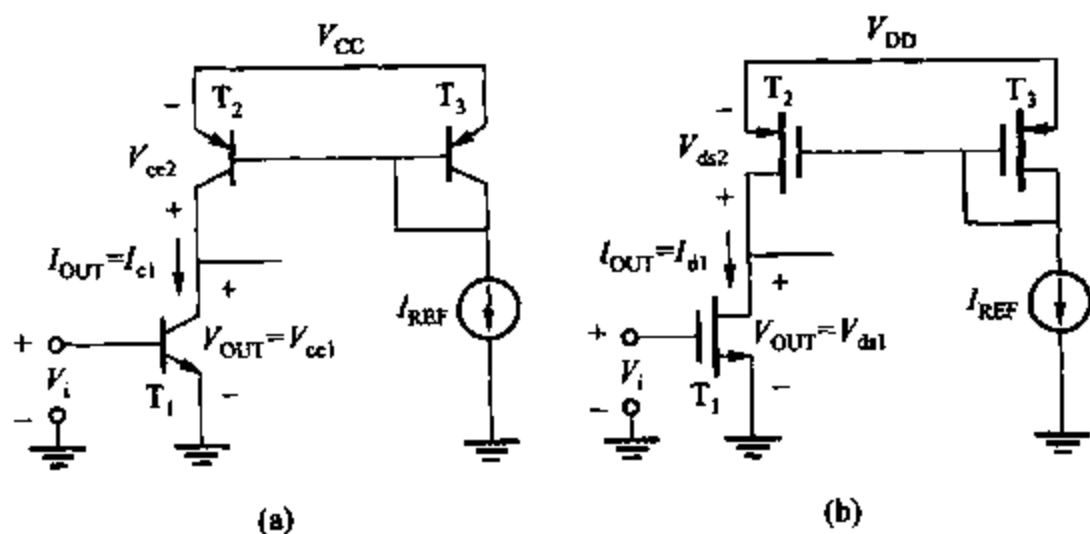


图 4.16 (a)带有源负载的共射放大器;(b)带有源负载的共源放大器

相反,负载晶体管 T_2 的基极-发射极电压或栅-源电压由二极管连接形式的晶体管 T_3 决定。因此,在输出 $I-V$ 特性曲线中只有一条对于负载晶体管有效,如图 4.17b 所示。从负载晶体管的角度得

$$I_{out} = -I_{c2} \text{ 或 } I_{out} = -I_{d2} \quad (4.115)$$

且

$$V_{out} = V_{cc} + V_{ce2} \text{ 或 } V_{out} = V_{DD} + V_{ds2} \quad (4.116)$$

式(4.115)表明,负载晶体管的输出特性可以由输入晶体管的输出特性在同一象限沿水平轴的镜像得到。式(4.116)表明负载曲线应该平行上移一个输入电压的值。

下面来讨论电路的直流传输特性曲线。首先,假设 $V_i = 0$,则输入晶体管截止,而负载

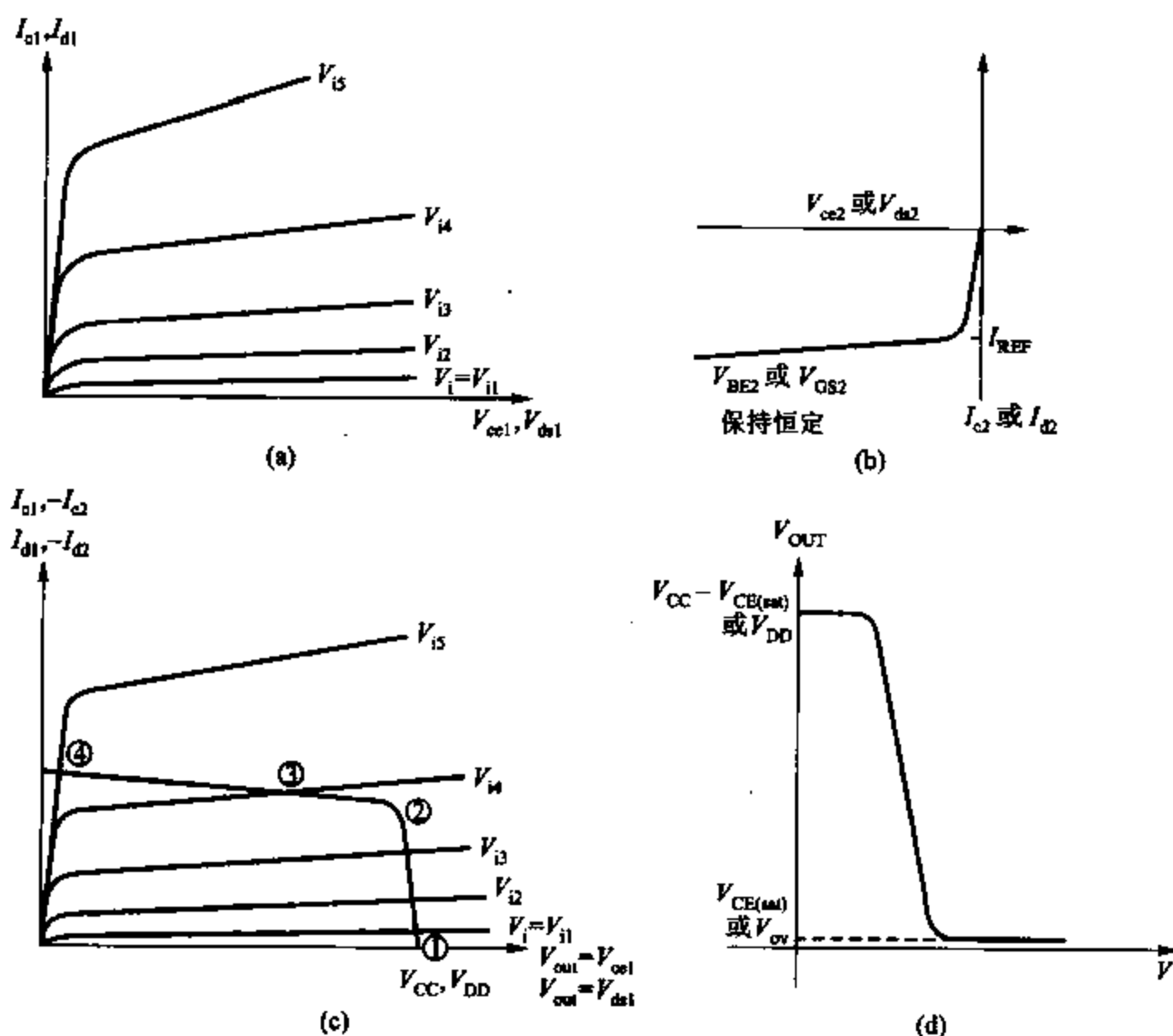


图 4.17 (a)输入晶体管的 $I-V$ 特性曲线;(b)有源负载的 $I-V$ 特性曲线;
 (c)添加了负载特性的 $I-V$ 特性曲线;(d)带有镜像电流源负载的共射
 或共源放大器的直流传输特性曲线

晶体管在双极型管形式时位于饱和区,在 MOS 管形式时位于线性区,如图 4.17c 中的①点所示。当 V_i 开始增大,输入晶体管逐渐产生导通电流,而负载仍然保持在饱和区或线性区,直到到达点②。这时负载晶体管进入放大区, V_i 稍微增大一点就会导致工作点移到点③,再到点④,此时输入晶体管在双极型管形式时位于饱和区,在 MOS 管形式时位于线性区。当工作点由②变到④时 V_i 变化很小,因为输出 $I-V$ 特性曲线在放大区的斜率很小,对两种形式的晶体管都是这样的。传输特性曲线大致如图 4.17d 所示(V_{out} 作为 V_i 的函数)。

分析的核心在于输出特性曲线的斜率不是一个常数,这点很重要就是因为这个斜率就是放大器的增益。既然放大器的增益决定于输入电压,则一般来说放大器不是线性的,放大器的输出会出现失真。对于较低的 V_i ,输出电压很高而增益却很小,这是因为负载晶体管没有工作在放大区。简单而言,对于大的 V_i ,输出电压很低,并且增益也很低,这是因为输入晶体管没有工作在放大区。在规定增益时,为了减小失真,放大器的 V_i 应在适当的范围

内,在这一范围内,所有的晶体管都工作在放大区。使所有晶体管工作在放大区的输出电压范围应该尽可能大,可以通过调节电源电压来使这个范围最大。图 4.16 中,有源负载保持很高的输出电阻增量,而负载上的压降比镜像电流源的 $V_{OUT(min)}$ 大,这个压降在双极型条件下为 $|V_{CE2(set)}|$,在 MOS 管条件下为 $|V_{ov2}|$ 。这样,减小镜像电流源的 $V_{OUT(min)}$,从而扩大输出范围,在这个范围内放大器提供高的、几乎是常数的增益。作为比较,一个理想的无源负载需要一个高的压降提供一个高的增益,见式(4.111)和式(4.112)。结果,能使增益很高且几乎是常数的输出的范围比有源负载要小得多。

任意输出电压时的增益都能在图 4.17d 中找到。一般说来,图 4.17 中的每一条曲线都应写出对应的方程。尽管这个过程是学习非线性电路所必需的过程,但是当晶体管的个数多于两个的时候分析起来非常复杂。况且,在完成这样一个大信号分析后,结果通常非常复杂,以至于难以理解核心参数所起的作用,这就增加了设计所要求的电路的难度。既然最终的目的是能够分析和设计大量晶体管所组成的电路,可以把精力集中进行小信号分析,因为小信号分析比大信号分析执行起来和理解起来都要简单得多。但是,小信号分析不带有非线性分析,因为它假定所有的晶体管参数全是常数。

我们对于小信号分析最关心的是当器件都工作在放大区时的电压增益和输出电阻。小信号等效模型如图 4.18 所示。它适用于双极型晶体管,因为 $\beta_0 \rightarrow \infty$,当 $r_{\pi 1} \rightarrow \infty$ 且 $r_{\pi 2} \rightarrow \infty$ 时对于 MOS 管也是适用的。由于假设图 4.16 中的 I_{REF} 是常数,则其负载晶体管的大信号基极-发射极或栅-源电压是常数。因此,负载晶体管的小信号基极-发射极或栅-源电压,即 v_2 为零。结果,小信号电压控制电流源 $g_{m2} v_2 = 0$ 。为了得到放大器的输出电阻,将输入设为零。即 $v_1 = 0$ 并且 $g_{m1} v_1 = 0$,则输出电阻为

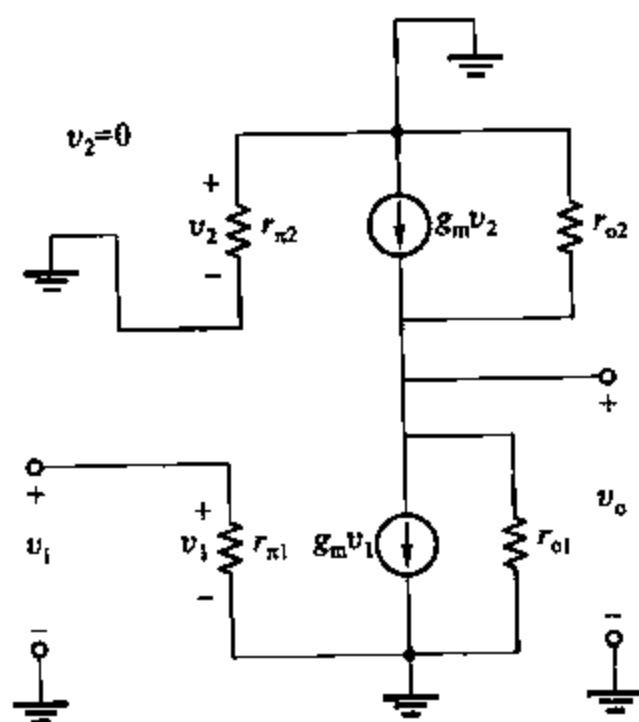


图 4.18 有源共射放大器小信号等效电路

$$R_o = r_{o1} // r_{o2} \quad (4.117)$$

式(4.117)结合式(1.112)和式(1.194)表明,对于双极型晶体管和 MOS 管,输出电阻均与电压成反比。

因为 $v_2 = 0$, $g_{m1} v_1$ 流入 $r_{o1} // r_{o2}$, 且

$$A_v = -g_{m1}(r_{o1} // r_{o2}) \quad (4.118)$$

将式(1.91)和式(1.112)代入式(4.118)得到双极型条件下的电压增益为

$$A_v = -\frac{1}{\frac{V_T}{V_{A1}} + \frac{V_T}{V_{A2}}} \quad (4.119)$$

式(4.119)表明在双极型条件下增益是独立于电流的,因为跨导与电流成正比,而输出电阻与电流成反比。这个电压增益的典型值在1 000~2 000范围内。这样,有源负载的双极型电路能够提供非常高的电压增益。

与此相对比,式(1.180)表明在 MOS 管形式下,如假定其工作在平方律状态下,则跨导与电流的平方根成正比。这样,式(4.118)中的增益与电流的平方根成反比。当沟道长度小于1 μm ,则漏极电流基本上是与栅-源电压线性相关的,如式(1.224)。因此,当沟道长度很小时,跨导几乎是个常数,而增益则与电流成反比。而且,MOS 管形式的电压增益典型值在10~100之间,比双极型晶体管条件下的增益要小得多。

4.3.3 带有耗尽型负载的共射/共源放大器

如果只是使用了耗尽型的 n 沟道或 p 沟道型晶体管,MOS 管形式的有源负载增益能够被确定。当晶体管栅极短接到源极,且工作在放大区时,耗尽型晶体管作负载组件是很有用的,因为它表现得像一个电流源。

一个 n 沟道耗尽型负载 MOS 管的 $I-V$ 特性曲线如图 4.19 所示。忽略衬底效应,当工作在放大区时,组件表现出很高的输出电阻(与组件 r_o 相等)。当考虑衬底效应时,组件的电阻大概下降至 $1/g_{mb}$ 。增益的完整变化过程,包括其直流传输特性,都如图 4.20 所示。图 4.21 为两个晶体管都工作在放大区时的小信号等效模型。

由等效电路得出增益为

$$\frac{v_o}{v_i} = -g_{m1}(r_{o1} // r_{o2} // \frac{1}{g_{mb2}}) \approx -\frac{g_{m1}}{g_{mb2}} \quad (4.120)$$

对于一个带有耗尽型负载的共源放大器,利用式(1.180)和式(1.200)对式(4.120)进行整理得

$$\frac{v_o}{v_i} \approx -\frac{g_{m1}}{\frac{g_{mb2}}{g_{m2}}} = -\frac{1}{\chi} \sqrt{\frac{(W/L)_1}{(W/L)_2}} \quad (4.121)$$

由式(1.196)和式(1.141),得

$$\frac{1}{\chi} = 2\sqrt{2\phi_f} C_{ox} \sqrt{\frac{1 + V_{SB}/(2\phi_f)}{2q\epsilon N_A}} \quad (4.122)$$

由于 χ 依赖于 $V_o = V_{SB}$,电压增益的增加量随输出电压的不同而不同,图 4.20b 中放大区

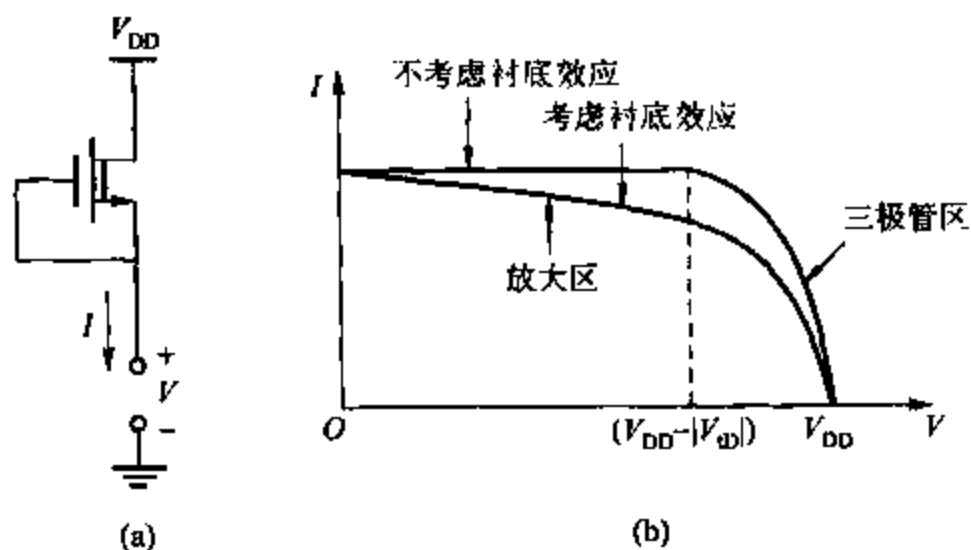
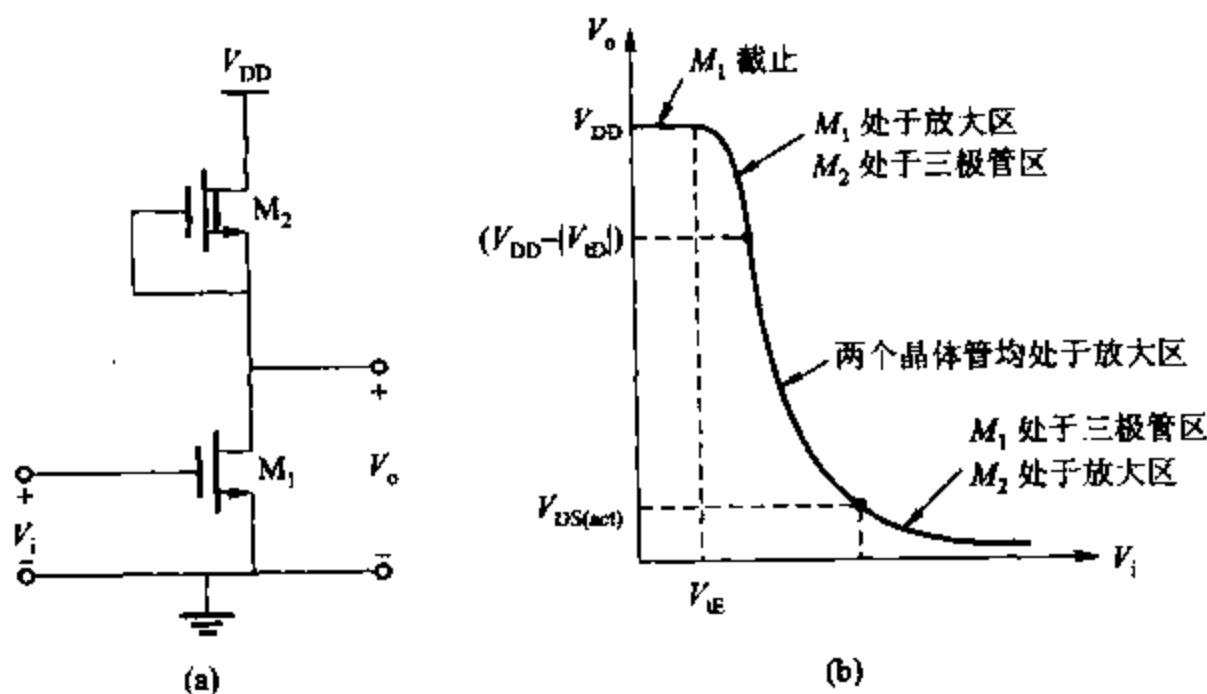
图 4.19 (a) n 沟道耗尽型负载晶体管; (b) $I-V$ 特性曲线

图 4.20 (a) 带有耗尽型晶体管负载的共源放大器; (b) 直流传输特性

给出了斜率的变化情况。

式(4.120)适用于带有耗尽型 MOS 管负载的共射或共源电路。如果电路是由 p 阱 CMOS 工艺实现的, 则 M_2 可被建立在一个独立的阱中, 与自己的源极相连。因为这种连接方式使得负载晶体管源极-衬底电压为零, 从而消除了衬底效应。令式(4.120)中 $g_{mb2} = 0$, 则

$$\frac{v_o}{v_i} = -g_{m1}(r_{o1} // r_{o2}) \quad (4.123)$$

尽管式(4.123)中确定的增益比式(4.120)中确定的高得多, 这种连接方式降低了放大器的带宽, 因为它在放大器的输出结点上增加了额外的电容(从 M_2 的阱到集成电路的衬底)。

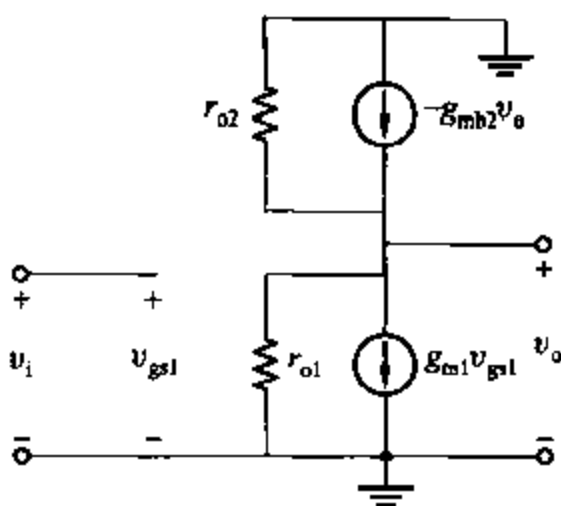


图 4.21 带有耗尽型负载的共源放大器的小信号等效电路，
包括负载的衬底效应以及负载和共源器件的沟道长度调制效应

4.3.4 带有二极管连接负载的共射/共源放大器

在这一部分里，将测试采用二极管连接负载的 MOS 管形式的共射/共源放大器，如图 4.22 所示。由于负载是二极管连接形式，则负载阻值不会大于其跨导的倒数。结果，电路的增益很低，它经常被用在需要低增益的宽带放大器中。

如果输入电压低于阈值电压，晶体管 M_1 截止，则没有电流流入电路。当输入电压超过阈值时，晶体管 M_1 导通，电路起到放大作用。这里假设两个晶体管都工作在放大区。由式 (1.157)， M_1 和 M_2 的漏极电流分别为

$$I_1 = \frac{k'}{2} \left(\frac{W}{L} \right)_1 (V_{gs1} - V_{th})^2 \quad (4.124)$$

且

$$I_2 = \frac{k'}{2} \left(\frac{W}{L} \right)_2 (V_{gs2} - V_{th})^2 \quad (4.125)$$

在图 4.22 中，由 KVL 得

$$V_o = V_{DD} - V_{gs2} \quad (4.126)$$

从式 (4.125) 中解出 V_{gs2} 并代入式 (4.126) 中得

$$V_o = V_{DD} - V_{th} - \sqrt{\frac{2I_2}{k'(W/L)_2}} \quad (4.127)$$

如果 $I_2 = I_1$ ，则式 (4.127) 可被重新写作

$$V_o = V_{DD} - V_{th} - \sqrt{\frac{2I_1}{k'(W/L)_2}} \quad (4.128)$$

将式 (4.124) 代入式 (4.128)，并且 $V_{gs1} = V_i$ ，则

$$V_o = V_{DD} - V_{th} - \sqrt{\frac{(W/L)_2}{k'(W/L)_1}} (V_i - V_{th}) \quad (4.129)$$

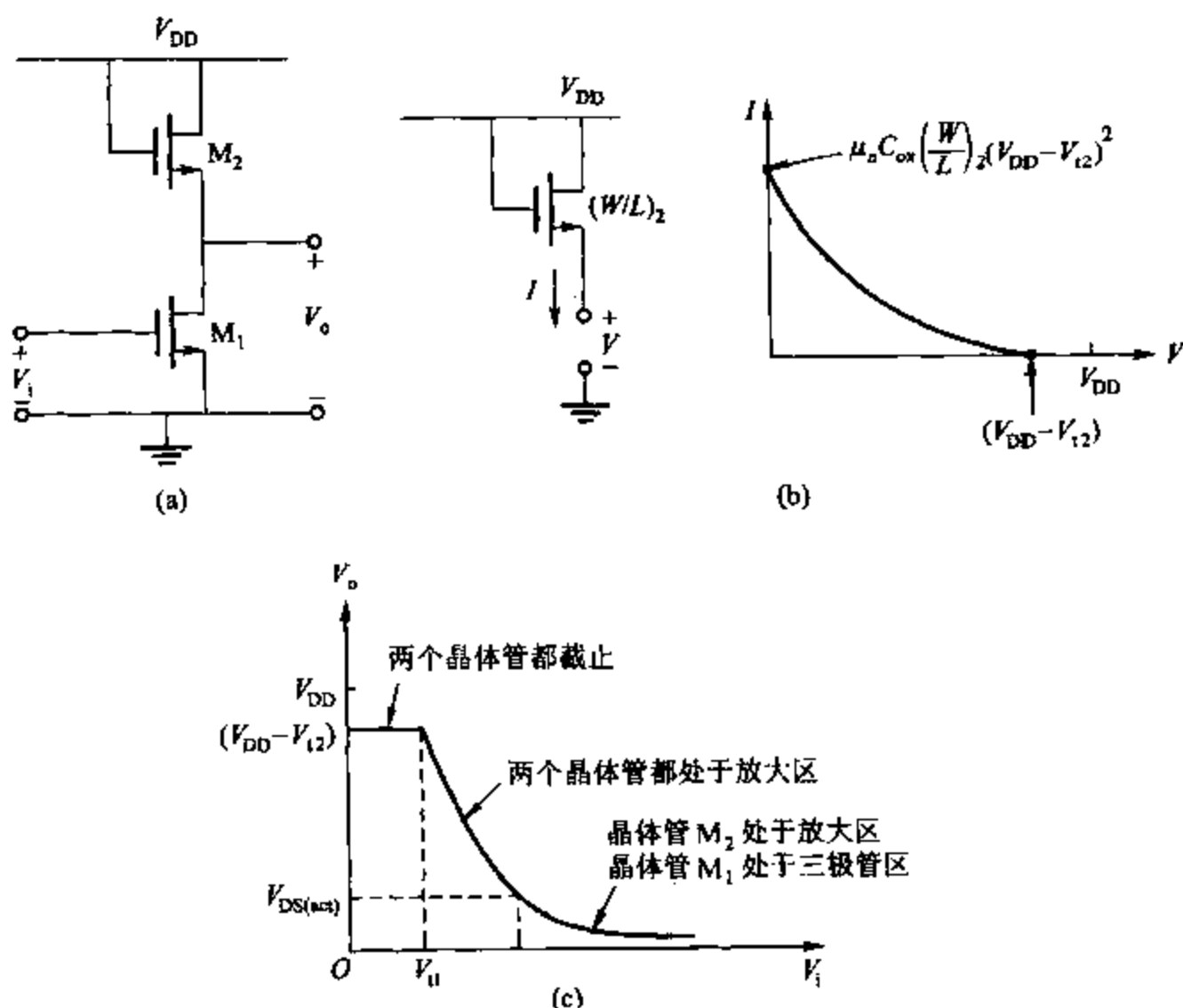


图 4.22 (a)带有增强型负载的共源放大器;
(b)负载晶体管的 $I-V$ 特性曲线;(c)电路的传输特性曲线

式(4.129)表明传输特性曲线的斜率等于宽长比的平方根,这里假设阈值都是常数。既然传输特性曲线的斜率是放大器的增益,则如果阈值是常数,输入在一个很大的范围内变化时,增益是常数且放大器是线性的。这种放大器是一种宽带、低增益且高线性的放大器。

当两个晶体管都工作在放大区且沟道长度调制效应和衬底效应都被忽略不计时,式(4.129)是有效的。在实际应用中,两个晶体管都工作在放大区的要求很大程度限制其在增强型负载反向器的应用。只有在负载的漏-源电压至少为一个阈值电压时,阈值电压才能保证负载器位保持工作在放大区。如果输出电压高于 $V_{DD} - V_{t2}$,则负载电阻进入截止区,其间没有电流流过。这样,在输入低于这个正输入的条件下,放大器不可能输出比阈值电压高的电压。同样,在实际应用中,沟道宽度调制效应和衬底效应会抑制增益,在下面的小信号分析中将会说明这一点。

在使用图 4.23 中的小信号等效电路加以分析时,小信号电压增益能够被确定,图中两个晶体管的衬底效应和输出电阻都考虑在内。在输出结点上使用 KCL 得

$$g_{m1} v_i + \frac{v_o}{r_{o1}} + \frac{v_o}{r_{o2}} + g_{m2} v_o + g_{mb2} v_o = 0 \quad (4.130)$$

将式(4.130)整理得

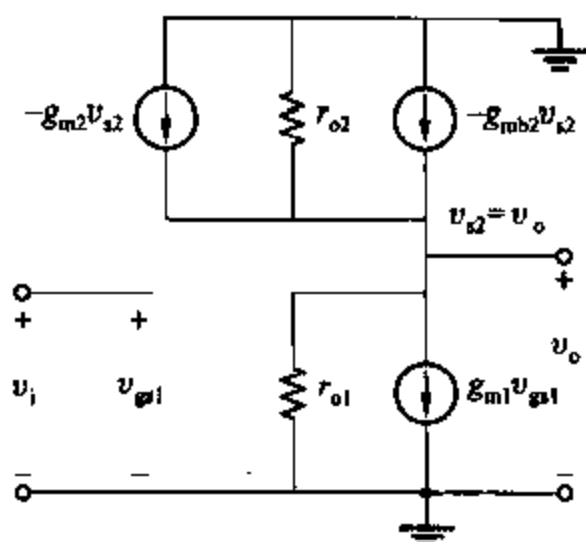


图 4.23 共源放大器的小信号等效电路增强模型,包括了输出阻抗和衬底效应

$$\begin{aligned}\frac{v_o}{v_i} &= -g_{m1} \left(\frac{1}{g_{m2}} \parallel \frac{1}{g_{mb2}} \parallel r_{o1} \parallel r_{o2} \right) \\ &= -\frac{g_{m1}}{g_{m2}} \left[\frac{1}{1 + \frac{g_{mb2}}{g_{m2}} + \frac{1}{g_{m2}r_{o1}} + \frac{1}{g_{m2}r_{o2}}} \right]\end{aligned}\quad (4.131)$$

如果 $g_{m2}/g_{mb2} \gg 1$, $g_{m2}r_{o1} \gg 1$, 并且 $g_{m2}r_{o2} \gg 1$,

$$\frac{v_o}{v_i} \approx -\frac{g_{m1}}{g_{m2}} = -\sqrt{\frac{(W/L)_1}{(W/L)_2}} \quad (4.132)$$

与式(4.129)类似。在实际应用中,就器件几何尺寸而言,这种关系将最大电压增益的值限制在 10~20 之间。

与此相对应的双极型电路如图 4.22 所示,它是一个带有二极管连接形式的负载的共射放大器。它的增益值大约等于跨导比,其值可能为单位值。当输入电压高于 $V_{be(on)}$ 时流入电路的电流值会很大,因为双极型晶体管的集电极电流是基极-发射极电压的指数函数。为了限制电流而保持为 1 的增益,各个晶体管的发射极应串联等值的电阻。或者,将输入晶体管用差分对代替,这样电流就会被尾电流源限制。在这种情况下,发射极负反馈可以用于差分对来增大所有晶体管工作在放大区的输入范围,如图 3.49 所示。相反,源极负反馈很少被用到 MOS 管形式的差分对中,因为它们的跨导和线性范围都被器件宽长尺寸所控制。

4.3.5 带有镜像电流源负载的差分对

4.3.5.1 大信号分析

如图 4.24a 中的电路是有源负载的概念在差分对中的直接应用。首先,假设所有的 n 沟道晶体管都是一样的,所有的 p 沟道晶体管都是一样的。如图 4.24b 所示,差分对的半边电路是一个带有有源负载的共源放大器。当所有的晶体管都被偏置在放大区时,差模电压增益很大。如图所示的电路有一个缺点,即共模静态输出电压对 M_3 、 M_4 、 M_7 和 M_8 的漏极

电流的变化非常敏感。结果,有些晶体管就会工作在或接近三极管区,从而减少了差分增益和使差分增益较高的输出范围。

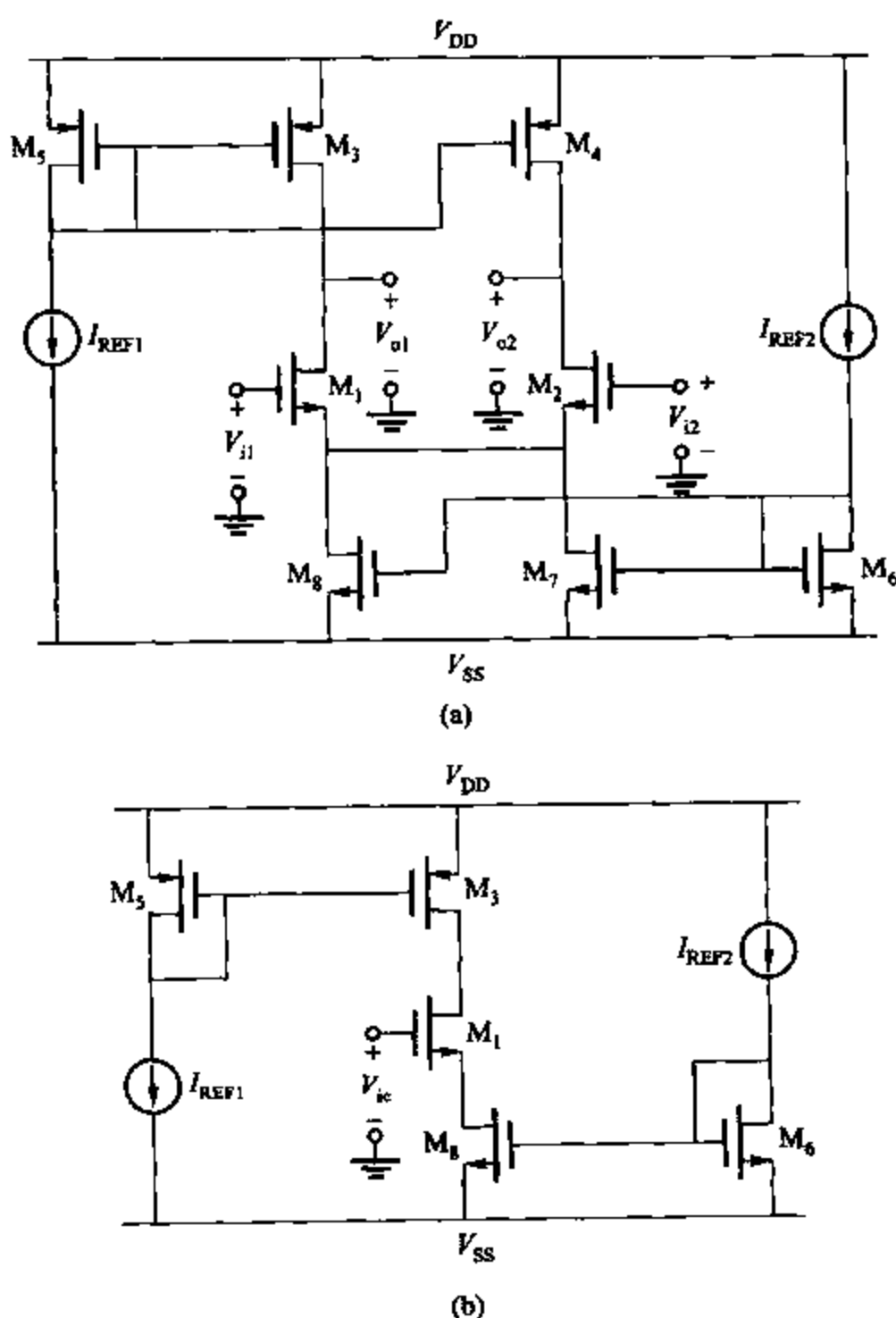


图 4.24 (a)有源负载的差分对;(b)带有源负载的差模半电路差分对

这一事实的图解见图 4.24b 中的直流差模半电路。在差模半电路中, M_1 、 M_2 和 M_3 组成了级联型镜像电流源,该电流源与 M_4 和 M_5 组成的基本镜像电流源相连。如果所有的晶体管都工作在放大区, M_3 推出的电流大概等于 I_{REF1} , M_4 拉出的电流大概等于 I_{REF2} 。KCL 要求 M_3 的电流等于 M_4 的电流。如果 $I_{REF2} = I_{REF1}$, 所有晶体管都工作在放大区时 KCL 也能被满足。但是,实际中 I_{REF2} 不是完全等于 I_{REF1} , 则镜像电流源包含非零失配,从而调整共模输出以满足 KCL。每个镜像电流源的输出电阻都很高,则为了协调某一电流或晶体管的小失配,共模输出电压都要作很大调整,这样,一个或多个晶体管都会很容易移入或接近三极管区。例如,当 M_3 工作在放大区时推出的电流远大于 M_4 工作在放大区时拉入的电流。

则共模输出电压必须增大以减小 M_3 的电流。如果共模输出电压增加值在 V_{ov3} 到 V_{DD} 范围内, M_3 工作在三极管区。进一步来说, 即使所有的晶体管都继续被偏置在放大区, 共模输出电压相对其理想值有任何变化都会使保证差分增益很高的输出范围缩小。

既然 M_1 和 M_2 充当了 M_7 和 M_8 的共源共栅放大器, 共模输入电压的变化对共模输出的影响很小, 除非输入足够小以致 M_7 和 M_8 被迫工作在三极管区。这样, 图 4.24a 中的输入反馈电路并非总能解决共模偏置问题。在实际中, 这个问题经常通过适用于两个相互独立的共模反馈回路来加以解决, 这种方法可以调节 M_3 与 M_4 的电流和等于 M_7 与 M_8 的电流和或者使用一个给定的共模输出电压代替。这项内容将在第十二章加以介绍。

另一个解决共模反馈需要的方法如图 4.25 所示。为简单起见, 图 4.25a 中的双极型电路中假设了 $\beta_F \rightarrow \infty$ 。图 4.25b 中的电路是与图 4.25a 相对应的 MOS 管形式的电路, 因为 npn 管和 pnp 管都分别被 n 沟道和 p 沟道的 MOS 管所代替。在理想条件下, 对于双极型和 MOS 管形式的电路, 作为有源负载的镜像电流源都能使其输出晶体管 T_4 等于其输入晶体管 T_3 的电流。由 KCL 可知, 作为有源负载的两个晶体管的电流和必须等于 I_{TAIL} , 则 $I_{TAIL}/2$ 分别流入两个有源负载。因此, 这种电路用尾电流源设置有源负载电流的方式解决了共模偏置问题。这种电路分别提供一个独立的输出, 比标准的输出一路信号的电阻性负载差分更能抵抗共模输入信号的变化。虽然所有的电路都可以采用大信号方式分析, 但为了简化起见, 下面还是来集中讨论小信号分析。

4.3.5.2 小信号分析

下面分析如图 4.25a 所示的低频小信号双极型电路的特性, 因为这些结论在 $\beta_F \rightarrow \infty$ 且 $r_\pi \rightarrow \infty$ 的条件下也同样适用于 MOS 管形式的电路。电路的关键参数包括小信号跨导和输出电阻。(以上两种情形下给出的小信号电压增益是不含负载的。)既然在有源负载中只有一个晶体管采用二极管连接方式, 电路是不对称的, 半电路的方法不再适用。因此, 将直接分析这个电路的小信号模型。假设所有的晶体管都工作在放大区, 并且 $r_\mu \rightarrow \infty$, $r_b = 0$ 。令尾电流源 I_{TAIL} 的电阻 r_{tail} 出现在输出电阻中。所得的小信号电路如图 4.26a 所示。

既然 T_3 和 T_4 组成了镜像电流源, 希望镜像输出电流大致等于镜像输入电流。因此, 有

$$g_{m4} v_3 = i_3 (1 - \epsilon_m) \quad (4.133)$$

其中, ϵ_m 是从小信号参数中计算出来的镜像电流源的系统增益误差。用 r_3 代替 T_3 的基极和栅极与电源之间的所有电阻, 则 r_3 是与 $1/g_{m3}$ 、 r_{e3} 、 $r_{\pi4}$ 和 r_{o3} 并联的电阻。为了方便化简, 假设 $\beta_0 \gg 1$ 且 $g_m r_o \gg 1$, 则并联组合电阻大致等于 $1/g_{m3}$ 。 $r_{\pi4}$ 上的压降为

$$v_3 = i_3 r_3 \approx \frac{i_3}{g_{m3}} \quad (4.134)$$

假设差分对中的两个晶体管完全匹配并工作在相等的直流电流下, 对作为镜像电流源负载的两个晶体管也作如此假设。这样, $g_{m(dp)} = g_{m1} = g_{m2}$, $g_{m(mir)} = g_{m3} = g_{m4}$, $r_{\pi(dp)} = r_{\pi1} = r_{\pi2}$, $r_{\pi(mir)} = r_{\pi3} = r_{\pi4}$, $r_{o(dp)} = r_{o1} = r_{o2}$ 且 $r_{o(mir)} = r_{o3} = r_{o4}$ 。由式(4.134), 得到受控电流源 $g_{m4} v_3$

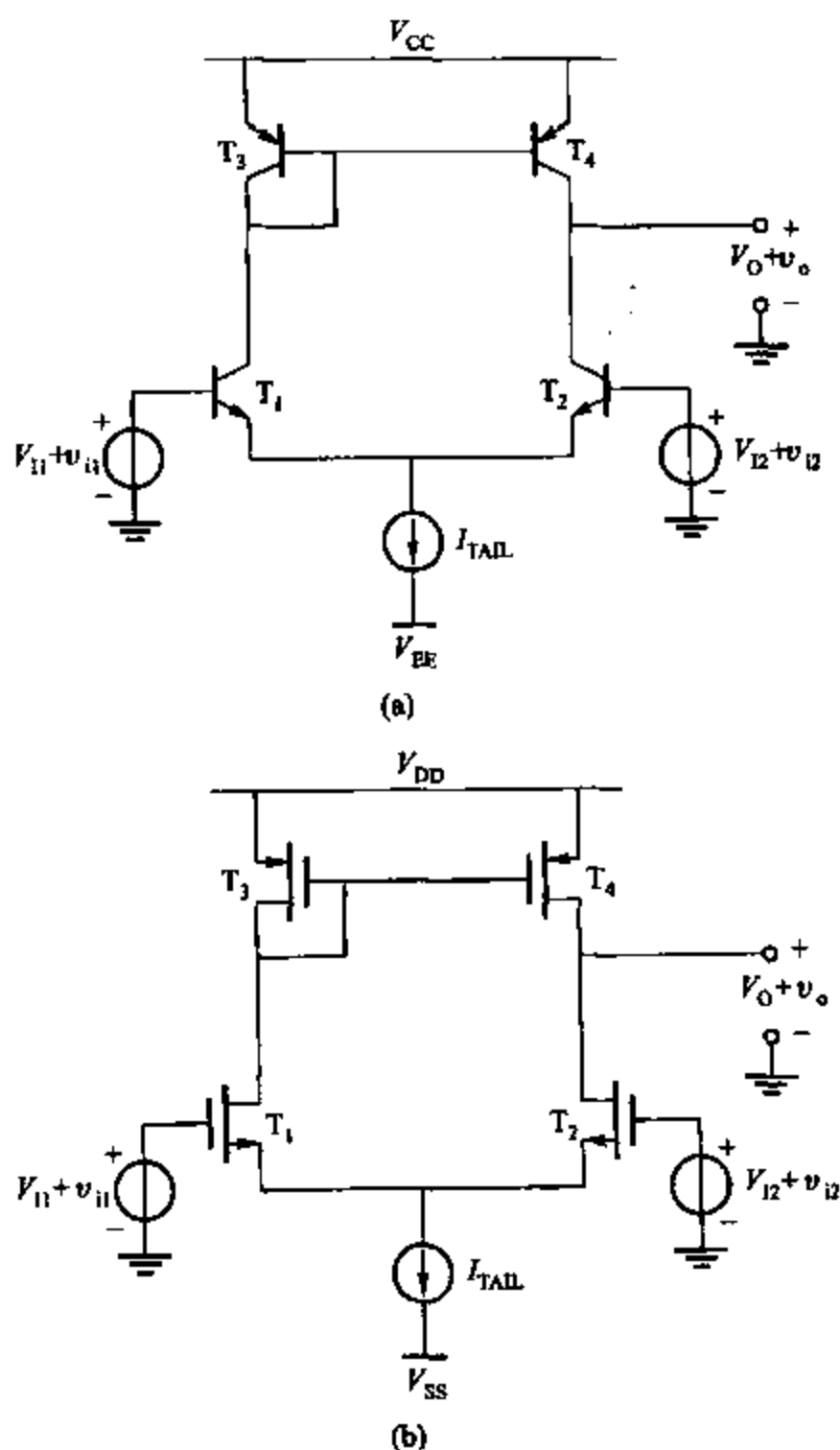


图 4.25 (a) 带有镜像电流源负载的双发射极对;
 (b) 带有镜像电流源负载的双源极对(相对应的 MOS 管形式)

为

$$g_{m4} v_3 \approx g_{m(max)} v_3 \approx g_{m(max)} \frac{i_3}{g_{m(max)}} = i_3 \quad (4.135)$$

式(4.133)和式(4.135)表明 $\epsilon_m \approx 0$, 且有源负载像所希望的那样是镜像电流源。由式(4.133), 小信号等效电路可画作图 4.26b, 其输出直接接地而构成跨导。注意 r_{o4} 被忽略, 因为它两端都被连接到小信号地上。

在结点①处由 KCL 得

$$(v_{i1} - v_1 + v_{i2} - v_1) \left(\frac{1}{r_{\pi(dp)}} + g_{m(dp)} \right) + \frac{v_3 - v_1}{r_{o(dp)}} - \frac{v_1}{r_{o(dp)} // r_{tail}} = 0 \quad (4.136)$$

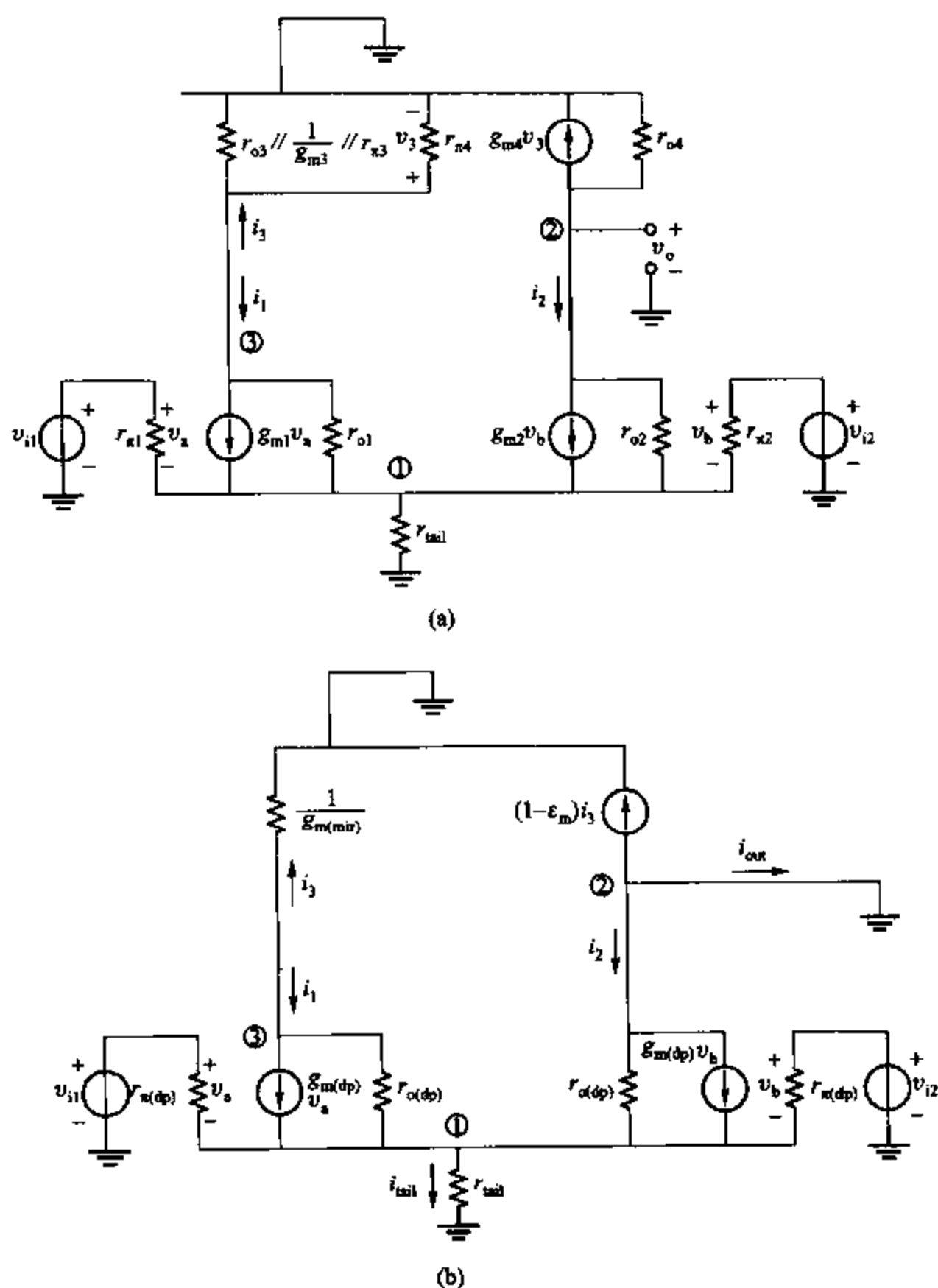


图 4.26 (a)带有镜像电流源负载的差分对的小信号等效电路;(b)简化后的镜像电流源负载的差分对的小信号等效电路

其中, v_1 和 v_3 分别是结点①和③的对地电压。为了做精确的小信号分析,需要写出结点②和③的 KCL 方程,这些方程减去式(4.136)可以得到结果。但这样做很复杂,而且将得到一个很难解释的等式。为了简化分析,假设开始时 $r_{tail} \rightarrow \infty$ 且 $r_{o(dp)} \rightarrow \infty$,因为这些晶体管基本上都是由它们的基极-发射极电压或栅-源电压控制。由式(4.136)得

$$v_1 = \frac{v_{i1} + v_{i2}}{2} = v_{ic} \quad (4.137)$$

其中 v_{ic} 是共模输入的组成部分。令 $v_{id} = v_{i1} - v_{i2}$ 表示差模输入, 此时 $v_{i1} = v_{ic} + v_{id}/2$ 且 $v_{i2} = v_{ic} - v_{id}/2$, 小信号集电极或漏极电流为

$$i_1 = g_{m(dp)}(v_{i1} - v_1) = \frac{g_{m(dp)} v_{id}}{2} \quad (4.138)$$

且

$$i_2 = g_{m(dp)}(v_{i2} - v_1) = -\frac{g_{m(dp)} v_{id}}{2} \quad (4.139)$$

在阻性负载和单端输出情况下, 输出只有 i_2 。因此, 无源负载下差模(differential-mode, dm)输入跨导为

$$G_m[dm] = \left. \frac{i_{out}}{v_{id}} \right|_{v_{out} \approx 0} = -\frac{i_2}{v_{id}} = \frac{g_{m(dp)}}{2} \quad (4.140)$$

另一方面, 在图 4.25 所示的有源负载的情况下, 由于镜像电流源的作用, 除了 i_2 以外还有 i_3 的大部分流出, 如式(4.135)所示。因此图 4.26b 的输出电流为

$$i_{out} = -(1 - \epsilon_m) i_3 - i_2 \quad (4.141)$$

假设初始条件下镜像电流源是理想的所以 $\epsilon_m = 0$ 。然后因为 $i_3 = -i_1$, 将式(4.138)和式(4.139)代入式(4.141)得

$$i_{out} = g_{m(dp)} v_{id} \quad (4.142)$$

因此, 在有源负载情况下,

$$G_m[dm] = \left. \frac{i_{out}}{v_{id}} \right|_{v_{out} \approx 0} = g_{m(dp)} \quad (4.143)$$

式(4.143)适用于图 4.25 中的晶体管和 MOS 管放大电路。比较式(4.140)和式(4.143)可以看出, 与无源负载情况相比, 镜像电流源负载将差分跨导增大了一倍。这个结果是由镜像电流源增加了第二条输出信号路径得到的。(第一条路径是通过差分对。)尽管本章没有分析频率响应, 但是值得注意的是两条信号路径通常有不同的频率响应, 这对高速应用是非常重要的。

能够得出式(4.142)和式(4.143)的关键设想是镜像电流源是理想的, 所以 $\epsilon_m = 0$, $r_{tail} \rightarrow \infty$, $r_{o(dp)} \rightarrow \infty$ 。在这些假设条件下, 输出电流是独立于共模输入的。在实际中, 没有任何一个假设是完全成立的, 输出电流与共模输入是相关的。但是, 这种相关性很小, 因为有源负载极大地增强了输出电流对共模输入变化影响的抵制能力, 如 4.3.5.3 节讲到的那样。

带有源负载的差分对的另外一个重要参数是输出负载。输出负载可通过图 4.27 所示电路来计算, 图中测试电压 v_t 被用在输出端而输入短接小信号的地。结果电流 i_t 由四个部分组成。 r_{o4} 中的电流为

$$i_{t1} = \frac{v_t}{r_{o4}} \quad (4.144)$$

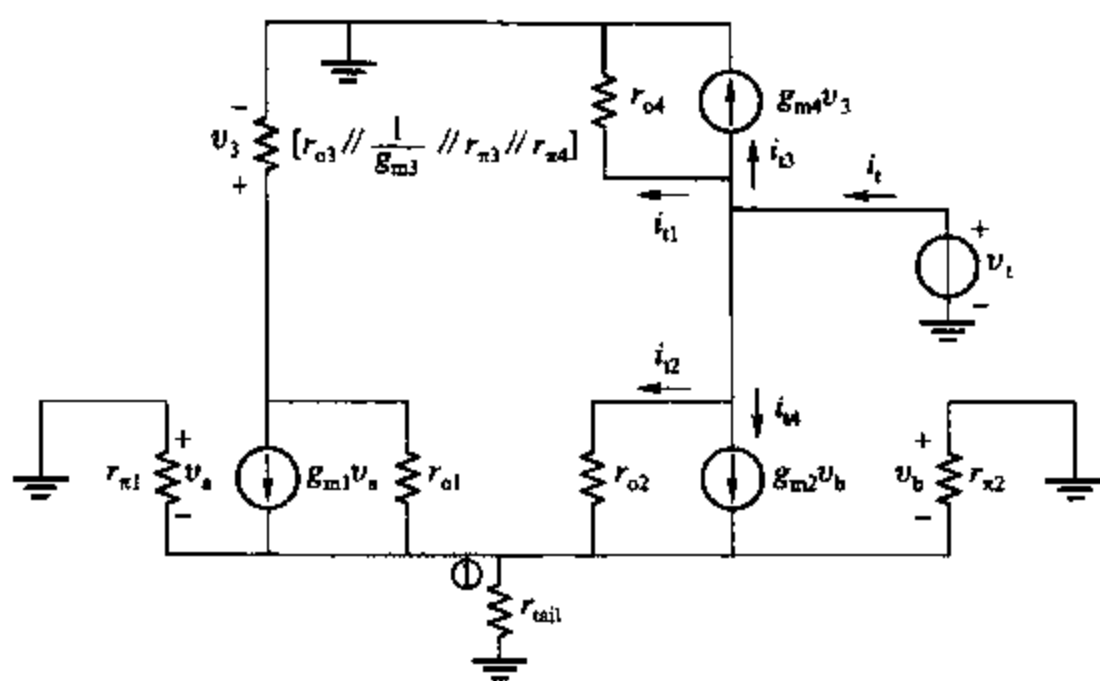


图 4.27 计算带有镜像电流源负载的差分对的输出电阻的电路

进入 T_2 的发射极或源极的电阻为 r_{tail} , 它与从 T_1 的发射极或源极看进去的电阻 (约为 $1/g_{m1}$) 并联。那么, 由式(3.99), 对于带有负反馈的晶体管, 从 T_2 集电极或漏极看进去的输出有效电阻为

$$R_o \approx r_{o2} \left(1 + g_{m2} \frac{1}{g_{m1}} \right) = 2r_{o2} \quad (4.145)$$

因此

$$i_{i2} + i_{i4} \approx \frac{v_t}{2r_{o2}} \quad (4.146)$$

如果 $r_{tail} \gg 1/g_{m1}$, 则此电流流入 T_1 的发射极或源极, 并且镜像到增益大约为单位值的输出端, 从而

$$i_{i3} \approx i_{i2} + i_{i4} \approx \frac{v_t}{2r_{o2}} \quad (4.147)$$

则

$$i_t = i_{i1} + i_{i2} + i_{i3} + i_{i4} \approx v_t (1/r_{o4} + 1/r_{o2}) \quad (4.148)$$

由于 $r_{o2} = r_{o(dp)}$ 且 $r_{o4} = r_{o(mir)}$, 则

$$R_o = \frac{v_t}{i_t} \bigg|_{v_{i1}=0, v_{i2}=0} \approx \frac{1}{\frac{1}{r_{o(dp)}} + \frac{1}{r_{o(mir)}}} = r_{o(dp)} // r_{o(mir)} \quad (4.149)$$

式(4.149)的结果适用于图 4.25 中所示的双极型和 MOS 形式的放大器。在多级双极型放大器中, 因为输出电阻很高, 负载电路的低频增益将会被下一级的输入电阻所降低。相反, 在多级 MOS 放大器中低频负载一般不成问题, 因为如果从 MOS 晶体管的栅极输入, 下一级就有极大的输入电阻。

最后, 尽管双源极对有无限大的输入阻抗, 但双发射极对的输入阻抗是有限的, 因为 β_0

是有限的。如果忽略 T_2 和 T_4 的 r_o 的作用, 双发射极对的有源负载的差分输入电阻可简单表示为 $2r_{\pi(dp)}$, 与电阻性负载情形相同。在实际中, 有高电压增益的对称电路通过 T_2 的输出电阻产生到结点①的反馈回路。这种反馈使得输入电阻与 $2r_{\pi(dp)}$ 稍有不同。

总之, 有源负载差分对能够完成差分到单端输出的转换, 即将差分电压转换成接地参考电压。如果需要产生高增益, 电路的高输出阻抗要求下一级必须有高的输入阻抗, 这种情况下的信号双端口等效电路如图 4.28 所示。

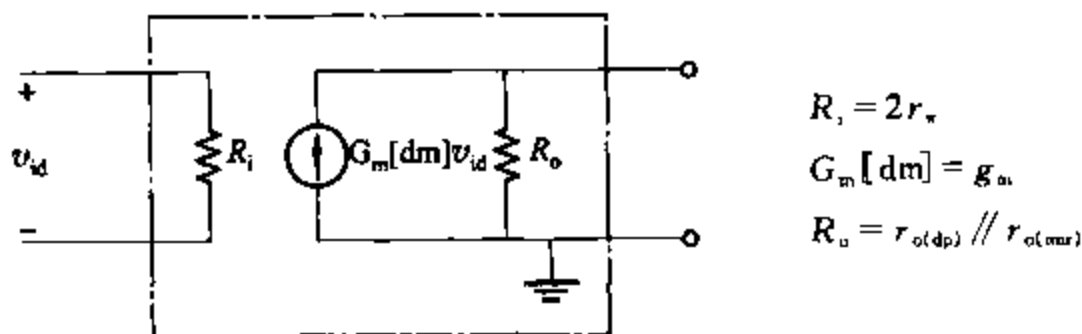


图 4.28 带有镜像电流源差分对的小信号模型的双端口形式, 未考虑非对称输入电阻的影响

4.3.5.3 共模抑制比

为提供高的电压增益图 4.25 中的电路提供了从差分输入信号到地的输出信号的转换。这种转换在所有差分输入、单端输出的放大器中都是需要的。

最简单的差分到单端输出的转换器的负载是电阻性的差分对, 其中输出端由一端引出, 如图 4.29a 所示。在这种情况下, $A_{dm} > 0$, $A_{cm} < 0$, 且输出为

$$v_o = -\frac{v_{id}}{2} + v_{oc} = -\frac{A_{dm} v_{id}}{2} + A_{cm} v_{ic} \quad (4.150)$$

$$= -\frac{A_{dm}}{2} \left(v_{id} - \frac{2A_{cm}}{A_{dm}} v_{ic} \right) = -\frac{A_{dm}}{2} \left[v_{id} + 2 \left| \frac{A_{cm}}{A_{dm}} \right| v_{ic} \right] \quad (4.151)$$

$$= -\frac{A_{dm}}{2} \left(v_{id} + \frac{2v_{ic}}{CMRR} \right) \quad (4.152)$$

因此, 输入的共模信号将会引起输出电压的变化。共模抑制比 (CMRR) 为

$$CMRR = \left| \frac{A_{dm}}{A_{cm}} \right| = \left| \frac{G_m[dm]R_o}{G_m[cm]R_o} \right| = \left| \frac{G_m[dm]}{G_m[cm]} \right| \quad (4.153)$$

其中, 共模 (cm) 跨导为

$$G_m[cm] = \left. \frac{i_{out}}{v_{ic}} \right|_{v_{out}=0} \quad (4.154)$$

既然图 4.29a 中的电路是对称的, 则在计算 $G_m[cm]$ 时可以使用共模半电路的方法。共模半电路是带有负反馈的共射/共源放大器。由式 (3.93) 和式 (3.104) 得

$$G_m[cm] = -\frac{i_2}{v_{ic}} \approx -\frac{g_{m(dp)}}{1 + g_{m(dp)}(2r_{tail})} \quad (4.155)$$

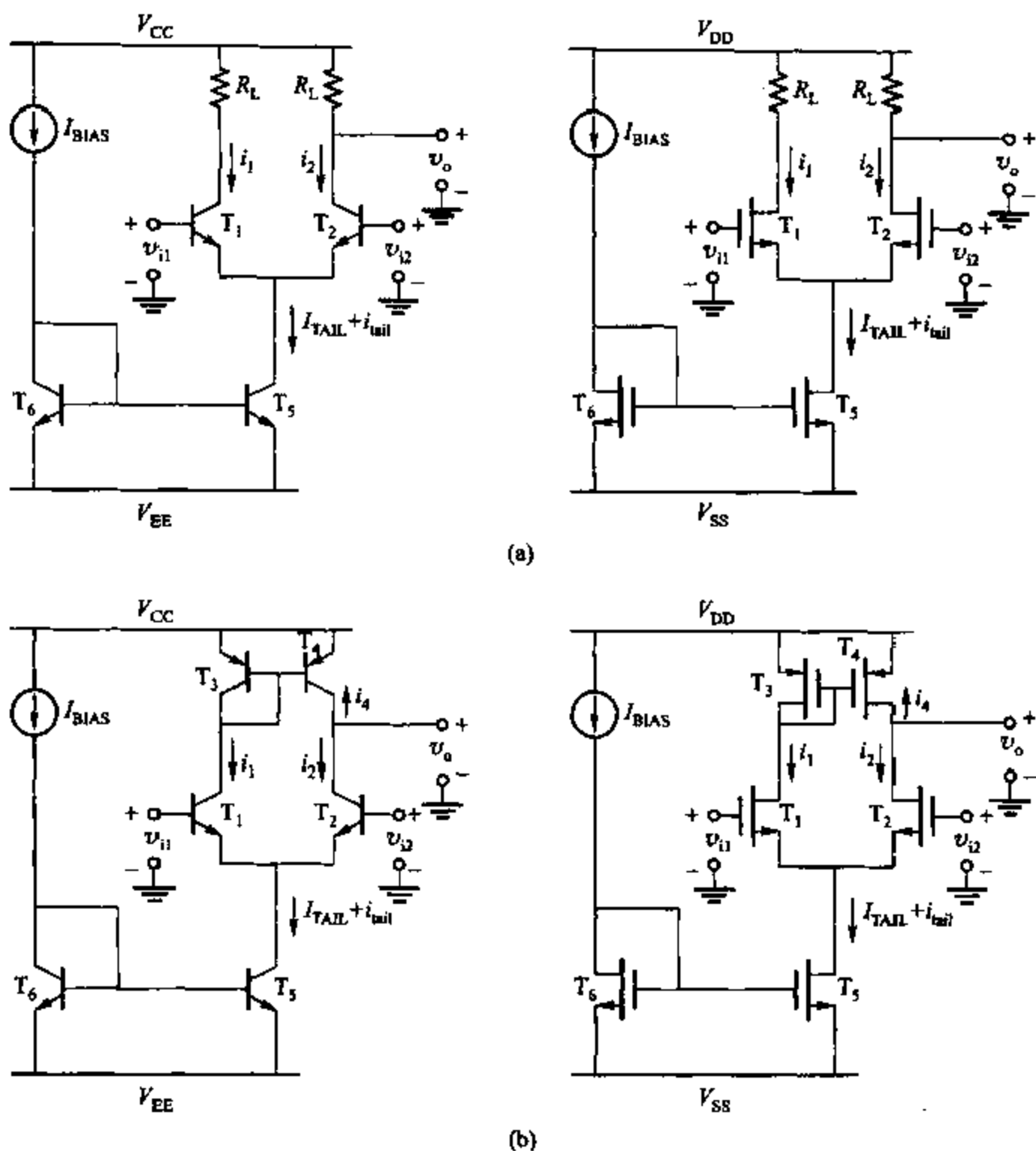


图 4.29 差分到单端输出转换

(a)使用电阻性的差分对;(b)使用有源负载差分对

其中, $g_{m(dp)} = g_{m1} = g_{m2}$ 且 r_{tail} 是镜像尾电流源 T_5 的输出电阻。式(4.155)中的负号是因为当输出电流从输出端口流入小信号地时, 输出电流是正数, 这在差分的情况下也是成立的, 如图 4.26b 所示。式(4.155)适用于忽略基极电流的双极型形式和忽略衬底效应的 MOS 形式, 此外, 两种情形中 r_{o1} 和 r_{o2} 忽略不计。将式(4.140)和式(4.155)代入式(4.153)得

$$CMRR = \frac{1 + 2g_{m(dp)} r_{tail}}{2} \approx g_{m(dp)} r_{tail} = g_{m1} r_{o5} \quad (4.156)$$

式(4.156)表明共模抑制比是式(3.193)中的一半, 因为图(4.29)只是从差分对中的一路引出了输出信号而不是两路, 差模抑制比也减小两倍。式(4.156)适用于图 4.29a 中的双极型放大器和 MOS 放大器。因为双极型晶体管中的 $g_m r_o$ 比 MOS 晶体管大得多, 则带有电阻

性负载的双极型晶体管的差分对的 CMRR 比相对应的 MOS 晶体管的高得多。

另一方面,图 4.29b 所示的有源负载级的共模抑制比比图 4.29a 所示的相应电路要高。假设图 4.29b 的输出与小信号地相连,则共模跨导可以计算出来。小信号模型与图 4.26b 中 $v_{i1} = v_{i2} = v_{ic}$ 的情形相同。为了简化分析过程,首先令 $\beta_0 \rightarrow \infty$ 且 $r_{\pi} \rightarrow \infty$ 。在带有电阻性负载的情况下,改变共模输入将引起尾电流 i_{tail} 的变化,因为 T_3 的输出电阻是有限的。如果我们假设差分对中所有晶体管的电流都是由基极-发射极和栅-源电压控制的,则 T_1 、 T_2 中的电流变化为

$$i_1 = i_2 = \frac{i_{tail}}{2} \quad (4.157)$$

如果 $\epsilon_m = 0$,则镜像电流源的增益是为单位增益。将式(4.157)代入式(4.141),且 $i_3 = -i_1$,则有

$$i_{out} = -i_3 - i_2 = i_1 - i_2 = 0 \quad (4.158)$$

结果是

$$G_m[cm] = \frac{i_{out}}{v_{ic}} \bigg|_{v_{out}=0} = 0 \quad (4.159)$$

因此

$$CMRR \rightarrow \infty \quad (4.160)$$

式(4.160)中的共模抑制比为无穷,因为在以上假设都成立,且 r_{tail} 为有限的时候, T_4 中电流的改变抵消了 T_2 中的电流的变化。

推出式(4.160)的关键假设是 $r_{o(dp)} \rightarrow \infty$,得 $i_1 = i_2$,并且镜像电流源是理想的,得 $\epsilon_m = 0$ 。在实际中,差分对中所有晶体管的电流不是都由基极-发射极和栅-源电压控制的。结果,因为 T_1 、 T_2 的 $r_{o(dp)}$ 是有限的,则 i_1 和 i_2 不完全相等。此外,镜像电流源的增益并不是为单位增益,这就意味着因为 T_3 和 T_4 的 $r_{o(mir)}$ 是有限的,所以实际中 ϵ_m 并非精确为零。在使用双极型晶体管时,有限的 β_0 会对镜像电流源的系统增益误差产生影响。因为这些原因,共模抑制比在实际中是有限的。尽管如此,与电阻性负载相比,有源负载的使用极大地改进了共模抑制比,下面将解释这个问题。

假设

$$i_1 = i_2(1 - \epsilon_d) \quad (4.161)$$

其中,可以认为 ϵ_d 是差分对的增益误差。将式(4.161)代入式(4.141),且 $i_3 = -i_1$,得

$$i_{out} = i_1(1 - \epsilon_m) - i_2 = i_2[(1 - \epsilon_d)(1 - \epsilon_m) - 1] \quad (4.162)$$

将式(4.162)整理得

$$i_{out} = -i_2(\epsilon_d + \epsilon_m - \epsilon_d \epsilon_m) \quad (4.163)$$

如果 $\epsilon_d \ll 1$ 且 $\epsilon_m \ll 1$,则 $\epsilon_d \epsilon_m$ 这一乘积项的二阶误差较小,可以被忽略。因此

$$i_{out} \approx -i_2(\epsilon_d + \epsilon_m) \quad (4.164)$$

将式(4.164)代入式(4.154)得

$$G_m[\text{cm}] \approx - \left(\frac{i_2}{v_{ic}} \right) (\epsilon_d + \epsilon_m) \quad (4.165)$$

式(4.165)适用于图 4.29b 所示的有源负载电路;但是,第一项大致与无源负载情形相同。因此,将式(4.155)代入式(4.165)得

$$G_m[\text{cm}] \approx - \left(\frac{g_{m(dp)}}{1 + g_{m(dp)}(2r_{tail})} \right) (\epsilon_d + \epsilon_m) \quad (4.166)$$

将式(4.166)和式(4.143)代入式(4.153)得

$$CMRR = \left| \frac{G_m[\text{dm}]}{G_m[\text{cm}]} \right| \approx \frac{1 + 2g_{m(dp)}r_{tail}}{(\epsilon_d + \epsilon_m)} \quad (4.167)$$

比较式(4.167)和式(4.156)表明有源负载将共模抑制比改善为原来的 $2/(\epsilon_d + \epsilon_m)$ 。以上表达中的 2 来源于差分跨导的增加,而分母则来源于共模跨导的减少。

为了得到 ϵ_d , 将 $v_{i1} = v_{i2} = v_{ic}$ 代入图 4.26b 中得

$$i_1 = g_{m(dp)}(v_{ic} - v_1) + \frac{v_3 - v_1}{r_{o(dp)}} \quad (4.168)$$

并且

$$i_2 = g_{m(dp)}(v_{ic} - v_1) - \frac{v_1}{r_{o(dp)}} \quad (4.169)$$

将式(4.134)和 $i_3 = -i_1$ 代入式(4.168)得

$$i_1 \approx g_{m(dp)}(v_{ic} - v_1) - \frac{v_1}{r_{o(dp)}} - \frac{i_1}{g_{m(mir)}r_{o(dp)}} \quad (4.170)$$

将式(4.170)变换得

$$\left(\frac{1 + g_{m(mir)}r_{o(dp)}}{g_{m(mir)}r_{o(dp)}} \right) i_1 \approx g_{m(dp)}(v_{ic} - v_1) - \frac{v_1}{r_{o(dp)}} \quad (4.171)$$

将式(4.169)代入式(4.171)得

$$i_1 \approx \left(\frac{g_{m(mir)}r_{o(dp)}}{1 + g_{m(mir)}r_{o(dp)}} \right) i_2 \quad (4.172)$$

将式(4.161)代入式(4.172)得

$$\epsilon_d \approx \frac{1}{1 + g_{m(mir)}r_{o(dp)}} \quad (4.173)$$

为了得到 ϵ_m , 将 $v_{i1} = v_{i2} = v_{ic}$ 代入图 4.26b。在式(4.134)中假设 $r_3 \approx 1/g_{m3}$ 。在考虑这个假设条件的情况下得

$$r_3 = \frac{1}{g_{m3}} // r_{\pi3} // r_{\pi4} // r_{o3} \quad (4.174)$$

下面仍然假设差分对的两个晶体管匹配良好,并且直流电流相等,且两个晶体管均为有源负载。则式(4.174)可写为

$$r_3 = \frac{r_{\pi(mir)}r_{o(mir)}}{r_{\pi(mir)} + 2r_{o(mir)} + g_{m(mir)}r_{\pi(mir)}r_{o(mir)}} \quad (4.175)$$

将式(4.175)代入式(4.135)得

$$g_{m4} v_3 = g_{m4} i_3 r_3 = \frac{g_{m(\text{mir})} r_{\pi(\text{mir})} r_{o(\text{mir})} i_3}{r_{\pi(\text{mir})} + 2r_{o(\text{mir})} + g_{m(\text{mir})} r_{\pi(\text{mir})} r_{o(\text{mir})}} \quad (4.176)$$

将式(4.133)代入式(4.176)得

$$\epsilon_m = \frac{r_{\pi(\text{mir})} + 2r_{o(\text{mir})}}{r_{\pi(\text{mir})} + 2r_{o(\text{mir})} + g_{m(\text{mir})} r_{\pi(\text{mir})} r_{o(\text{mir})}} \quad (4.177)$$

对于双极型晶体管, r_{π} 通常比 r_o 小, 因此

$$\epsilon_m[\text{bip}] = \frac{2 + \frac{r_{\pi(\text{mir})}}{r_{o(\text{mir})}}}{2 + \frac{r_{\pi(\text{mir})}}{r_{o(\text{mir})}} + g_{m(\text{mir})} r_{\pi(\text{mir})}} \approx \frac{1}{1 + \frac{g_{m(\text{mir})} r_{\pi(\text{mir})}}{2}} = \frac{1}{1 + \frac{\beta_0}{2}} \quad (4.178)$$

由于 MOS 晶体管的 $r_{\pi} \rightarrow \infty$,

$$\epsilon_m[\text{MOS}] = \frac{1}{1 + g_{m(\text{mir})} r_{o(\text{mir})}} \quad (4.179)$$

对于图 4.29b 所示的双极型电路, 将式(4.173)和式(4.178)代入式(4.167)得

$$\text{CMRR} \approx \frac{1 + 2g_{m(\text{dp})} r_{\text{tail}}}{\left[\frac{1}{1 + g_{m(\text{mir})} r_{o(\text{dp})}} + \frac{1}{1 + \frac{g_{m(\text{mir})} r_{\pi(\text{mir})}}{2}} \right]} \quad (4.180)$$

如果 $(g_{m(\text{mir})} r_{o(\text{dp})}) \gg 1$ 且 $(g_{m(\text{mir})} r_{\pi(\text{mir})}/2) \gg 1$, 式(4.180)可被简化为

$$\begin{aligned} \text{CMRR} &\approx (1 + 2g_{m(\text{dp})} r_{\text{tail}}) g_{m(\text{mir})} \left(r_{o(\text{dp})} // \frac{r_{\pi(\text{mir})}}{2} \right) \\ &\approx (2g_{m(\text{dp})} r_{\text{tail}}) g_{m(\text{mir})} \left(r_{o(\text{dp})} // \frac{r_{\pi(\text{mir})}}{2} \right) \end{aligned} \quad (4.181)$$

将式(4.181)与式(4.156)对比发现图 4.29b 所示的有源负载双极型电路与图 4.29a 所示的无源负载电路相比, 共模抑制比增加了 $2g_{m(\text{mir})} [r_{o(\text{dp})} // (r_{\pi(\text{mir})}/2)]$ 倍。

另一方面来看, 对于图 4.29b 中的 MOS 电路, 将式(4.173)和式(4.179)代入式(4.167)得

$$\text{CMRR} \approx \frac{1 + 2g_{m(\text{dp})} r_{\text{tail}}}{\left(\frac{1}{1 + g_{m(\text{mir})} r_{o(\text{dp})}} + \frac{1}{1 + g_{m(\text{mir})} r_{o(\text{mir})}} \right)} \quad (4.182)$$

如果 $(g_{m(\text{mir})} r_{o(\text{dp})}) \gg 1$ 且 $(g_{m(\text{mir})} r_{o(\text{mir})}) \gg 1$, 式(4.180)可被简化为

$$\begin{aligned} \text{CMRR} &\approx (1 + 2g_{m(\text{dp})} r_{\text{tail}}) g_{m(\text{mir})} (r_{o(\text{dp})} // r_{o(\text{mir})}) \\ &\approx (2g_{m(\text{dp})} r_{\text{tail}}) g_{m(\text{mir})} (r_{o(\text{dp})} // r_{o(\text{mir})}) \end{aligned} \quad (4.183)$$

将式(4.183)与式(4.156)相比, 发现图 4.29b 所示的有源负载 MOS 电路与图 4.29a 所示的相应的无源负载电路相比, 共模抑制比增大了 $2g_{m(\text{mir})} (r_{o(\text{dp})} // r_{o(\text{mir})})$ 倍。

通过以上计算, 假设完全匹配, 则有 $g_{m1} = g_{m2}$, $g_{m3} = g_{m4}$, $r_{o1} = r_{o2}$ 且 $r_{o3} = r_{o4}$ 。在实际应用中, 非零匹配不可能发生。带有镜像电流源负载的失配 MOS 差分对的差模跨导为

$$G_m[dm] \approx g_{m1-2} \left[\frac{1 - \left(\frac{\Delta g_{m1-2}}{2g_{m1-2}} \right)^2}{1 + \left(\frac{\Delta g_{m3-4}}{2g_{m3-4}} \right)^2} \right] \quad (4.184)$$

其中 $\Delta g_{m1-2} = g_{m1} - g_{m2}$, $g_{m1-2} = (g_{m1} + g_{m2})/2$, $\Delta g_{m3-4} = g_{m3} - g_{m4}$ 且 $g_{m3-4} = (g_{m3} + g_{m4})/2$ 。见习题 4.18。式(4.184)中的近似值在每个晶体管均满足 $g_m r_o \gg 1$ 且尾电流源满足 $(g_{m1} + g_{m2})r_{tail} \gg 1$ 时有效。式(4.184)表明 g_{m1} 和 g_{m2} 的不匹配对于 $G_m[dm]$ 影响很小。这个结果是在如下条件下得出的:假设 $r_{o1} \rightarrow \infty$ 且 $r_{o2} \rightarrow \infty$, 当 $g_{m1} = g_{m2}$ 时, 尾电流源上的小信号电压 v_{tail} 在仅有差分输入的情况下为零。例如, 当相对于 g_{m2} 增加 g_{m1} 时, 如果 v_{gs1} 为常数, 则小信号漏极电流 i_1 将会增加。然而, 这种影响也会增加 v_{tail} , 从而对于常数 v_{gs1} 减小 v_{gs1} 。这两种影响综合起来使得 i_1 对 $g_{m1} - g_{m2}$ 很敏感。另一方面, g_{m3} , g_{m4} 的失配直接改变了 i_1 对镜像电流源的影响, 从而影响输出电流。因此, 式(4.184)表明 $G_m[dm]$ 对 g_{m3} , g_{m4} 的失配很敏感。

带有镜像电流源负载的 MOS 差分对失配时, 其共模跨导为

$$G_m[cm] \approx -\frac{1}{2r_{tail}}(\epsilon_d + \epsilon_m) \quad (4.185)$$

其中, ϵ_d 为仅有共模输入时的共源对增益误差(见式 4.161); ϵ_m 为镜像电流源的增益误差(见式 4.133)。习题 4.19 中,

$$\epsilon_d \approx \frac{1}{g_{m3}r_{o(dp)}} - \frac{\Delta g_{m1-2}}{g_{m1-2}} \left(1 + \frac{2r_{tail}}{r_{o(dp)}} \right) - \frac{2r_{tail}}{r_{o(dp)}} \frac{\Delta r_{o(dp)}}{r_{o(dp)}} \quad (4.186)$$

式(4.186)中的每一项都是相应的源增益误差, 其交叉项被忽略了。当 $g_{m3}r_{o(dp)} \gg 1$ 时, 式(4.186)中的第一项与式(4.173)相同。通过观察, T_1 的漏极与 T_2 不同, 在计算 $G_m[dm]$ 的过程中它没有与小信号地连接。式(4.186)中的第二项是由 g_{m1} 和 g_{m2} 的失配引起的。式(4.186)中的第三项仅仅是由 r_{o1} 和 r_{o2} 的失配引起的。这种失配对于 $G_m[cm]$ 的影响很大, 因为镜像电流源在理想情况下几乎抵消了 g_m 对于 $G_m[cm]$ 的影响, 使得式(4.166)中 $G_m[cm] \approx 0$ 。相反, $G_m[dm]$ 对 r_{o1} 和 r_{o2} 的失配不敏感, 这是因为由输入 g_m 对 $G_m[dm]$ 的影响在输出端不能被取消。由习题 4.19, 得

$$\epsilon_m = \frac{1}{1 + g_{m3}r_{o3}} + \frac{(g_{m3} - g_{m4})r_{o3}}{1 + g_{m3}r_{o3}} \approx \frac{1}{g_{m3}r_{o3}} + \frac{\Delta g_{m3-4}}{g_{m3-4}} \quad (4.187)$$

式(4.187)中的每一项都是相应的源增益误差, 其交叉项被忽略了。当 $g_{m3}r_{o3} \gg 1$ 时, 式(4.187)中的第一项与式(4.179)是一致的, 通过观察可以发现, 这是由于镜像电流源的小信号输入电阻不是精确为 $1/g_{m3}$, 而是 $1/g_{m3} // r_{o3}$ 。式(4.187)中的第二项是仅仅由 g_{m3} 和 g_{m4} 的失配引起的。失配情况下的共模抑制比 CMRR 由式(4.184)中的 $G_m[dm]$ 和式(4.185)中的 $G_m[cm]$ 的比值, 其中 ϵ_d , ϵ_m 的值分别由式(4.186)和式(4.187)得到。既然在没有失配时共模抑制比很小(镜像电流源负载作用的结果), 失配通常通过增大 $|G_m[cm]|$ 来减小 CMRR。

4.4 电压和电流基准源

4.4.1 低电流偏置

4.4.1.1 双极型 Widlar 电流源

在理想运算放大器中,两根输入导线中的电流为零。但是在双极型晶体管输入的实际运算放大器中输入电流不为零,因为 β_F 是有限的。既然运算放大器的输入通常与差分对相连,运算放大器的尾电流通常必须非常小才能保证输入电流很小。尾电流源的典型值是 $5\ \mu\text{A}$ 。这种幅度的偏置电流在其他各种应用中时常需要用到,尤其是在非常需要减小电压损耗的场合。如图 4.30 所示的简单镜像电流源对于这样的小电流来说通常不是最理想的。例如,如图 4.30a 所示的简单的双极型镜像电流源,假设实际中晶体管间最大发射极面积比为 10 比 1,则为了输出 $5\ \mu\text{A}$ 电流应输入 $50\ \mu\text{A}$ 电流。如果图 4.30a 中的电源电压为 $5\ \text{V}$, $V_{BE(on)} = 0.7\ \text{V}$,则需要 $R = 86\ \text{k}\Omega$ 。这么大的阻值成本很高。要得到如此低的电流,在电阻可调的情况下,可以通过调节镜像电流源使两个晶体管工作在不同的基极-发射极电压而得到。在如图 4.31a 所示的 Widlar 电流源(微电流源)中,在晶体管 Q_2 发射极串联一个电阻 R_2 ,如果 $R_2 \neq 0$,则 Q_1 、 Q_2 工作在不同的基极-发射极电压下。^{10,11} 这个电路应该叫做电流源而不是镜像电流源,因为图 4.31a 与图 4.30a 中的简单镜像电流源相比,输出电流更独立于输入电流和电源电压,这将在 4.4.2 节加以阐述。下面我们将计算 Widlar 电流源的输出电流。

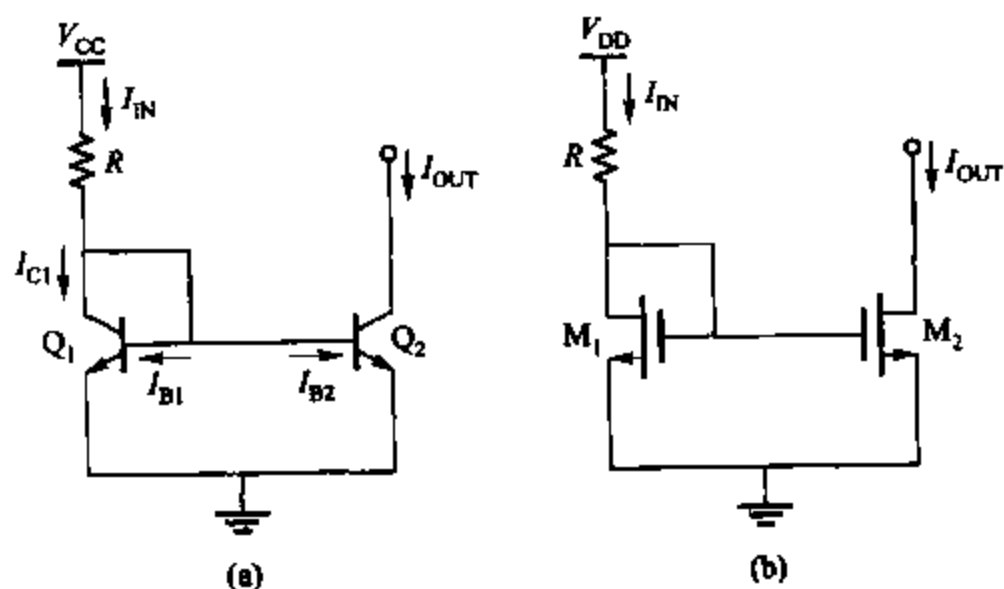


图 4.30 简单的由电源电压和电阻设置输入电流的双管镜像电流源
(a)使用双极型晶体管;(b)使用 MOS 晶体管

如果 $I_{IN} > 0$, Q_1 工作在正向放大区,因为它是二极管连接形式的。假设 Q_2 也在

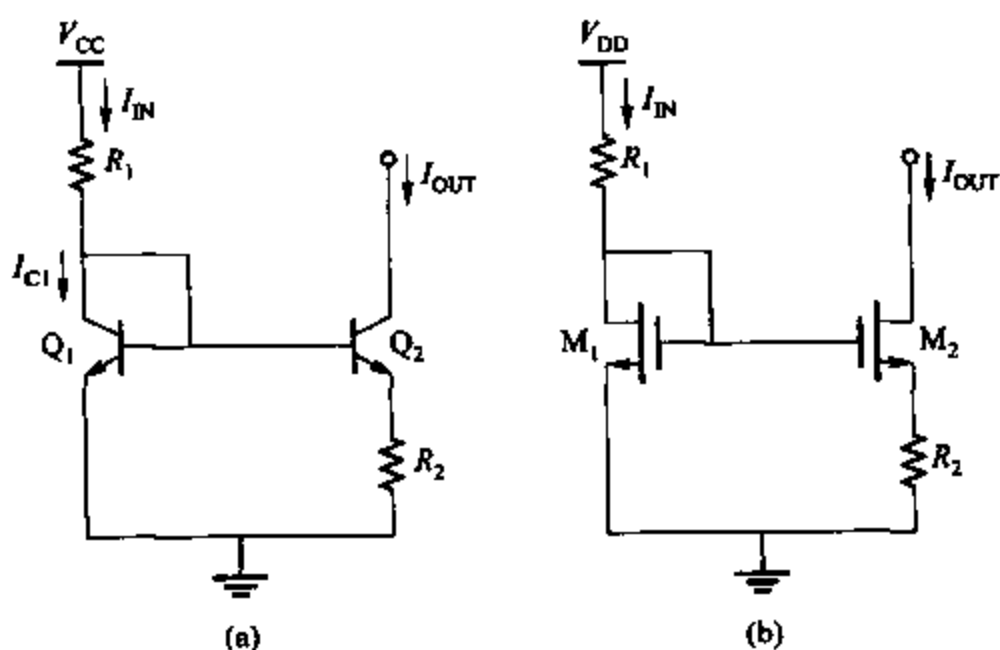


图 4.31 微电流源
(a)双极型的;(b)MOS 管形式

正向放大区。在基极-发射极回路由 KVL 得

$$V_{BE1} - V_{BE2} - \frac{\beta_F + 1}{\beta_F} I_{OUT} R_2 = 0 \quad (4.188)$$

如果假设式(4.188)中 $V_{BE1} = V_{BE2} = V_{BE(on)} = 0.7 \text{ V}$, 则 $I_{OUT} = 0$ 。尽管 I_{OUT} 在实际中很小, 但在通常的偏置条件下它比零大, 这就意味着关于 $V_{BE(on)}$ 的标准假设在这里是无效的。相反, 在计算 I_{IN} 时标准假设通常是有效的, 因为如果 $V_{CC} \gg V_{BE1}$, V_{BE1} 的变化对 I_{IN} 影响很小。如果用一个基极-发射极电压减去另一个, 则它们之间微小的差别也会显得很重要。如果 $V_A \rightarrow \infty$, 利用式(1.35)将式(4.188)可以重新写为

$$V_T \ln \frac{I_{C1}}{I_{S1}} - V_T \ln \frac{I_{OUT}}{I_{S2}} - \frac{\beta_F + 1}{\beta_F} I_{OUT} R_2 = 0 \quad (4.189)$$

如果 $\beta_F \rightarrow \infty$, 式(4.189)简化为

$$V_T \ln \frac{I_{IN}}{I_{S1}} - V_T \ln \frac{I_{OUT}}{I_{S2}} - I_{OUT} R_2 = 0 \quad (4.190)$$

对于相同的晶体管, I_{S1}, I_{S2} 相等, 则式(4.190)变为

$$V_T \ln \frac{I_{IN}}{I_{OUT}} = I_{OUT} R_2 \quad (4.191)$$

与典型问题的分析方法一样, 这个超越方程可以通过试探法找出 I_{OUT} , 前提是 R_2, I_{IN} 为已知。因为对数函数将压缩自变量的变化规律, 所以应把注意力集中在线性表达式(4.191)中, 这样可以缩短试探的过程。在设计问题中, 要求的 I_{IN}, I_{OUT} 通常是已知的, 则由式(4.191)可以算出理想 R_2 的值。

示例

在图 4.31a 所示的电路中, 调节 R_2 阻值使 $I_{OUT} = 5 \mu\text{A}$ 。假设 $V_{CC} = 5 \text{ V}$, $R_1 = 4.3 \text{ k}\Omega$,

$V_{BE(on)} = 0.7 \text{ V}$ 且 $\beta_F \rightarrow \infty$ 。

$$I_{IN} = \frac{5 \text{ V} - 0.7 \text{ V}}{4.3 \text{ k}\Omega} = 1 \text{ mA}$$

$$V_T \ln \frac{I_{IN}}{I_{OUT}} = 26 \text{ mV} \ln \left(\frac{1 \text{ mA}}{5 \mu\text{A}} \right) = 137 \text{ mV}$$

由式(4.191)得

$$I_{OUT} R_2 = 137 \text{ mV}$$

且

$$R_2 = \frac{137 \text{ mV}}{5 \mu\text{A}} = 27.4 \text{ k}\Omega$$

电路的总电阻为 $31.7 \text{ k}\Omega$ 。

示例

在图 4.31a 所示的电路中,假设 $I_{IN} = 1 \text{ mA}$, $R_2 = 5 \text{ k}\Omega$ 且 $\beta_F \rightarrow \infty$ 。求解 I_{OUT} 。由(4.191)得

$$V_T \ln \frac{1 \text{ mA}}{I_{OUT}} - 5 \text{ k}\Omega (I_{OUT}) = 0$$

试探

$$I_{OUT} = 15 \mu\text{A}$$

$$108 \text{ mV} - 75 \text{ mV} \neq 0$$

线性项 $I_{OUT} R_2$ 太小,所以应该试试 $I_{OUT} > 15 \mu\text{A}$ 。试探

$$I_{OUT} = 20 \mu\text{A}$$

$$101.7 \text{ mV} - 100 \text{ mV} \approx 0$$

因而,输出电流应该接近 $20 \mu\text{A}$ 。注意到,从第一次试探到第二次试探,线性项增加了 25 mV ,而对数项则仅仅增加了 6 mV ,这是因为对数函数压缩自变量的变化。

4.4.1.2 MOS 管 Widlar 电流源

微电流源的组成也可采用 MOS 管工艺实现,如图 4.31b 所示。

如果 $I_{IN} > 0$, M_1 工作在放大区,因为它采用的是二极管连接方式。假设 M_2 也工作在正向放大区。在栅-源回路由 KVL 得

$$V_{GS1} - V_{GS2} - I_{OUT} R_2 = 0 \quad (4.192)$$

如果忽略衬底效应,栅-源电压中的阈值项消失,则式(4.192)简化为

$$I_{OUT} R_2 + V_{ov2} - V_{ov1} = 0 \quad (4.193)$$

如果晶体管工作在强反型状态并且 $V_A \rightarrow \infty$,

$$I_{OUT} R_2 + \sqrt{\frac{2I_{OUT}}{k'(W/L)_2}} - V_{ov1} = 0 \quad (4.194)$$

由此二次方程可以解出 $\sqrt{I_{OUT}}$ 。

$$\sqrt{I_{OUT}} = \frac{-\sqrt{\frac{2}{k'(W/L)_2}} \pm \sqrt{\frac{2}{k'(W/L)_2} + 4R_2 V_{ov1}}}{2R_2} \quad (4.195)$$

其中 $V_{ov1} = \sqrt{2I_{IN}/[k'(W/L)_1]}$ 。由式(1.157)得

$$\sqrt{I_{OUT}} = \sqrt{\frac{k'(W/L)_2}{2}} (V_{GS2} - V_t) \quad (4.196)$$

式(4.196)只有在 M_2 工作在放大区时,即 $V_{GS2} > V_t$ 有效。结果,由于 $\sqrt{I_{OUT}} > 0$, 式(4.195)分子的第二项前不可能取负号。所以

$$\sqrt{I_{OUT}} = \frac{-\sqrt{\frac{2}{k'(W/L)_2}} + \sqrt{\frac{2}{k'(W/L)_2} + 4R_2 V_{ov1}}}{2R_2} \quad (4.197)$$

式(4.197)表示 MOS 晶体管形式的 Widlar 电流源输出电流的一种近似求解方法,不像双极型条件下的需要用试探法求解 I_{OUT} 。

示例

如图 4.13b 所示,已知 $I_{IN} = 100 \mu A$, $R_2 = 4 k\Omega$, $k' = 200 \mu A/V^2$ 且 $(W/L)_1 = (W/L)_2 = 25$, 求 I_{OUT} 。假设温度为 $27^\circ C$, 式(1.247)中 $n = 1.5$ 。则 $R_2 = 0.004 M\Omega$, $V_{ov1} = \sqrt{200/(200 \times 25)} V = 0.2 V$,

$$\sqrt{I_{OUT}} = \frac{-\sqrt{\frac{2}{200(25)}} + \sqrt{\frac{2}{200(25)} + 4(0.004)(0.2)}}{2(0.004)} \sqrt{\mu A} = 5 \sqrt{\mu A}$$

则 $I_{OUT} = 25 \mu A$, 且

$$V_{ov2} = V_{ov1} - I_{OUT} R_2 = 0.2 - 25 \times 0.004 = 0.1 V > 2nV_T \approx 78 mV$$

因此,两个晶体管都工作在强反型区,与假设一致。

4.4.1.3 双极型峰值电流源

4.4.1.1 节中介绍的微电流源可通过适当阻值的电阻取得微安级的电流。偏置集成电路中的电流经常要求毫微安级。为了用适当阻值的电阻达到如此低的电流,使用如图4.32所示的电路。^{12,13,14} 忽略基极电流得

$$V_{BE1} - I_{IN} R = V_{BE2} \quad (4.198)$$

如果 $V_A \rightarrow \infty$, 利用式(1.35), 式(4.198)可写作

$$V_T \ln \frac{I_{IN}}{I_{S1}} - V_T \ln \frac{I_{OUT}}{I_{S2}} = I_{IN} R \quad (4.199)$$

如果 Q_1, Q_2 相等, 式(4.199)可被写作

$$I_{OUT} = I_{IN} \exp\left(-\frac{I_{IN} R}{V_T}\right) \quad (4.200)$$

用式(4.200)分析所给电路很有效。对于 Q_1, Q_2 相等的设计, 式(4.199)可被写作

$$R = \frac{V_T}{I_{IN}} \ln \frac{I_{IN}}{I_{OUT}} \quad (4.201)$$

例如, 如果 $I_{IN} = 10 \mu\text{A}$ 且 $I_{OUT} = 100 \text{ nA}$, 则由式(4.201)可以算得 $R \approx 12 \text{ k}\Omega$ 。

I_{OUT} 随 I_{IN} 变化的曲线如图 4.33 所示。当输入电流很小时, 晶体管上的压降很小, 且 $V_{BE1} \approx V_{BE2}$, 则 $I_{OUT} \approx I_{IN}$ 。当输入电流上升时, V_{BE1} 与输入电流的对数成比例增长, 而晶体管上的压降随输入电流的变化而线性变化。结果, 输入电流的增加最终导致 Q_2 的基极-发射极电压降低。当 V_{BE2} 最大时输出电流达到最大, 峰值电流源的名称由此而来, 峰值的位置和幅度均由 R 决定。

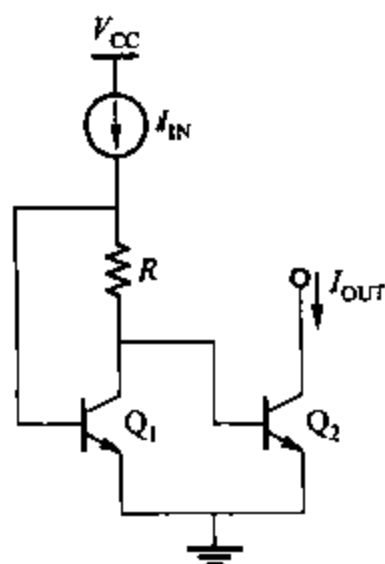


图 4.32 双极型峰值电流源

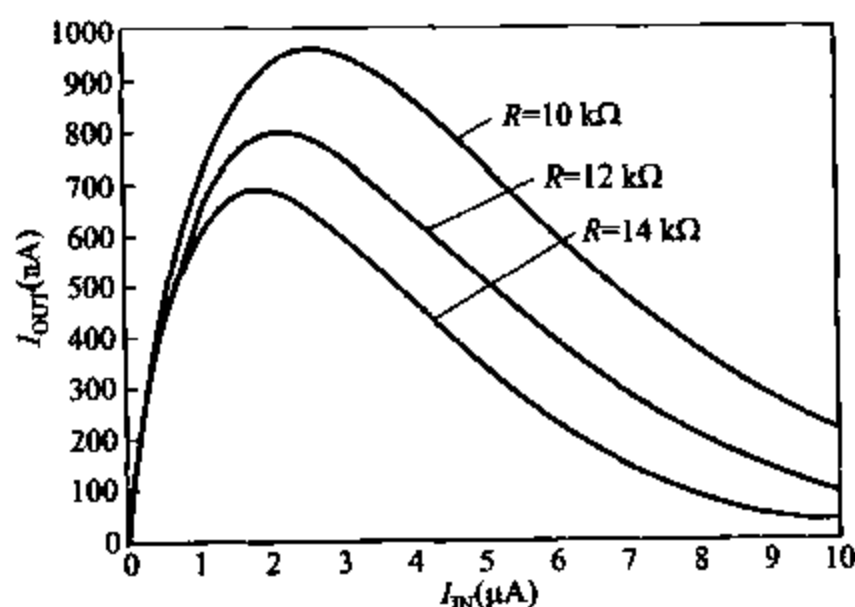


图 4.33 $T = 27 \text{ }^{\circ}\text{C}$ 时双极型峰值电流源的传输特性

4.4.1.4 MOS 管峰值电流源

这种峰值电流的组成也能采用 MOS 管工艺来实现, 如图 4.34 所示。如果 I_{IN} 是很小的正数, 则 R 上的压降很小, 且 M_1 工作在放大区。假设 M_2 也工作在放大区。在栅-源回路使用 KVL 得

$$V_{GS1} - I_{IN}R - V_{GS2} = 0 \quad (4.202)$$

由于 M_1 和 M_2 的源极连在一起, 则阈值项取消, 式(4.202)简化成

$$V_{ov2} = V_{ov1} - I_{IN}R \quad (4.203)$$

由式(1.157),

$$I_{OUT} = \frac{k'(W/L)_2}{2} (V_{ov2})^2 = \frac{k'(W/L)_2}{2} (V_{ov1} - I_{IN}R)^2 \quad (4.204)$$

其中 $V_{ov1} = \sqrt{2I_{IN}/[k'(W/L)_1]}$ 。式(4.204)假设晶体管工作在强反型区。实际中,输入电流源太小使得 M_1 的过载小于 $2nV_T$,其中 n 由式(1.247)定义, V_T 为热电压。由式(4.203)知, M_2 的过载甚至比 M_1 还小。因此,两个晶体管都工作在弱反型区,则漏极电流是栅-源电压的指数函数(见式(1.252))。如果 $V_{DS1} > 3V_T$,对 M_1 应用式(1.252),并带入式(4.202)得

$$V_{GS2} - V_T \approx nV_T \ln\left(\frac{I_{IN}}{(W/L)_1 I_1}\right) - I_{IN}R \quad (4.205)$$

如果晶体管相同,且 $V_{DS1} > 3V_T$,将式(4.205)代入式(1.252)得

$$I_{OUT} \approx \frac{W}{L} I_1 \exp\left(\frac{V_{GS2} - V_T}{nV_T}\right) \approx I_{IN} \exp\left(-\frac{I_{IN}R}{nV_T}\right) \quad (4.206)$$

图 4.34 MOS 管峰值电流源

其中 I_1 由式(1.251)决定,而 M_2 的漏极电流是在 $V_{GS2} = V_T$, $W/L = 1$ 且 $V_{DS} \gg V_T$ 的情况下得到的。比较式(4.206)和式(4.200)发现,MOS 管形式的峰值电流源的输出电流与双极型晶体管形式的相同,不同的只是前者中 $1.3 \leq n \leq 1.5$,而后者中 $n = 1$ 。

当 $n = 1.5$, $T = 27^\circ\text{C}$, $R = 10\text{ k}\Omega$, $k' = 200\text{ }\mu\text{A/V}^2$ 且 $(W/L)_2 = (W/L)_1 = 25$ 时式(4.206)和式(4.204)的曲线如图 4.35 所示,在两种情况下,当输入电流很小时,电阻上的压降很小,并且 $I_{OUT} \approx I_{IN}$ 。当输入电流增加时, V_{GS1} 的增长比电阻上的压降慢得多。结果,输入电流的增加可能会导致 M_2 的栅-源电压下降。当 V_{GS2} 最大时,输出电流也达到最大。在双极型条件下,峰值电流源的名称来源于其特性,峰值的位置和幅度都取决于 R 。因为两个晶体管上的负载通常都非常小,强反型等式(4.204)通常只是估算输出电流。

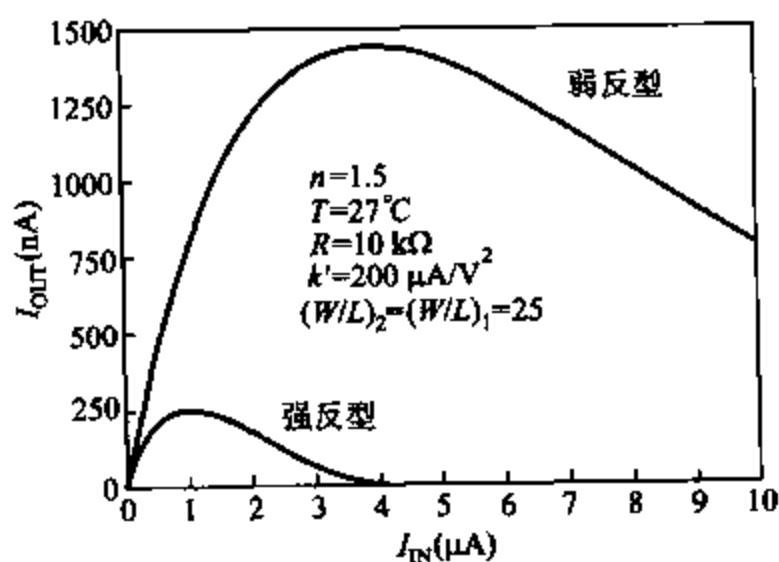


图 4.35 MOS 管峰值电流源的传输特性,假定两个晶体管都工作在弱反型区或强反型区

4.4.2 对电源不敏感的偏置

参看图 4.30a 中所示的简单镜像电流源,将其输入镜像电流源用电阻代替。忽略有限的 β_F 和 V_A 的影响,由式(4.5)得到输出电流为

$$I_{OUT} \approx I_{IN} = \frac{V_{CC} - V_{BE(on)}}{R} \quad (4.207)$$

如果 $V_{CC} \gg V_{BE(on)}$,这个电路的缺点,即输出电流与电源电压成比例。例如,如果 $V_{BE(on)} = 0.7\text{ V}$,且这个镜像电流源被用于一个与 $3 \sim 10\text{ V}$ 电压范围的电压源有函数关系的运算放大器,则偏置电流会超出范围 $1/4$,而电源的功耗会超出 $1/13$ 。

一种测试偏置电路这方面性能的方法是测试由电源电压的细微变化而引起的偏置电流的细微变化。描述输出电流随电源电压变化的最有用的参数是敏感度 S 。描述电路中变量 y 对于参数 x 的敏感度定义如下:

$$S_x^y = \lim_{\Delta x \rightarrow 0} \frac{\Delta y/y}{\Delta x/x} = \frac{x}{y} \frac{\partial y}{\partial x} \quad (4.208)$$

将式(4.208)应用于计算输出电流对于电源电压微小变化的敏感度得到

$$S_{V_{SUP}}^{I_{OUT}} = \frac{V_{SUP}}{I_{OUT}} \frac{\partial I_{OUT}}{\partial V_{SUP}} \quad (4.209)$$

输入电压 V_{SUP} 在双极型电路中叫做 V_{CC} ,在 MOS 管电路中叫做 V_{DD} 。如果图 4.30a 中 $V_{CC} \gg V_{BE(on)}$ 且图 4.30b 中 $V_{DD} \gg V_{GS1}$,则

$$S_{V_{SUP}}^{I_{OUT}} \approx 1 \quad (4.210)$$

式(4.210)表明图 4.30 中简单镜像电流源的输出电流很大程度上取决于输入电压。这样,这种电路就不能用于很重视敏感系数的场合。

4.4.2.1 Widlar 电流源

对于图 4.31a 中的双极型 Widlar 电流源,输出电流很确定地由式(4.191)决定。为了确定 I_{OUT} 对于输入电压源的敏感度,将该式对 V_{CC} 作微分得

$$V_T \frac{\partial}{\partial V_{CC}} \ln \frac{I_{IN}}{I_{OUT}} = R_2 \frac{\partial I_{OUT}}{\partial V_{CC}} \quad (4.211)$$

微分后得

$$V_T \left(\frac{I_{OUT}}{I_{IN}} \right) \left(\frac{1}{I_{OUT}} \frac{\partial I_{IN}}{\partial V_{CC}} - \frac{I_{IN}}{I_{OUT}^2} \frac{\partial I_{OUT}}{\partial V_{CC}} \right) = R_2 \frac{\partial I_{OUT}}{\partial V_{CC}} \quad (4.212)$$

解方程得 $\partial I_{OUT} / \partial V_{CC}$ 为

$$\frac{\partial I_{OUT}}{\partial V_{CC}} = \left[\frac{1}{1 + \frac{I_{OUT} R_2}{V_T}} \right] \frac{I_{OUT}}{I_{IN}} \frac{\partial I_{IN}}{\partial V_{CC}} \quad (4.213)$$

将式(4.213)代入式(4.209)得到

$$S_{V_{CC}}^{I_{OUT}} = \left[\frac{1}{1 + \frac{I_{OUT} R_2}{V_T}} \right] \frac{V_{CC}}{I_{IN}} \frac{\partial I_{IN}}{\partial V_{CC}} = \left[\frac{1}{1 + \frac{I_{OUT} R_2}{V_T}} \right] S_{V_{CC}}^{I_{IN}} \quad (4.214)$$

如果 $V_{CC} \gg V_{BE(on)}$, 则 $I_{IN} \approx V_{CC}/R_1$ 且 I_{IN} 对于 V_{CC} 的灵敏度是一定的, 就像图 4.30a 中的简单镜像电流源一样。例如, 在 4.4.1.1 节中, 如果 $I_{IN} = 1 \text{ mA}$, $I_{OUT} = 5 \text{ } \mu\text{A}$ 且 $R_2 = 27.4 \text{ k}\Omega$, 由式(4.214)得

$$S_{V_{CC}}^{I_{OUT}} = \frac{V_{CC}}{I_{OUT}} \frac{\partial I_{OUT}}{\partial V_{CC}} \approx \frac{1}{1 + \frac{137 \text{ mV}}{26 \text{ mV}}} \approx 0.16 \quad (4.215)$$

这样, 电源电压每变化 10 % 会导致 I_{OUT} 变化 1.6 %。

在如图 4.31b 所示的 MOS 管微电流源, 输出电流由式(4.197)决定。 I_{OUT} 对 V_{DD} 作微分得

$$\frac{1}{2\sqrt{I_{OUT}}} \frac{\partial I_{OUT}}{\partial V_{DD}} = \frac{1}{4R_2} \frac{1}{\sqrt{\frac{2}{k'(W/L)_2} + 4R_2 V_{ov1}}} 4R_2 \frac{\partial V_{ov1}}{\partial V_{DD}} \quad (4.216)$$

其中

$$\frac{\partial V_{ov1}}{\partial V_{DD}} = \sqrt{\frac{2}{k'(W/L)_1}} \frac{1}{2\sqrt{I_{IN}}} \frac{\partial I_{IN}}{\partial V_{DD}} = \frac{V_{ov1}}{2I_{IN}} \frac{\partial I_{IN}}{\partial V_{DD}} \quad (4.217)$$

将式(4.126)和式(4.127)代入式(4.209)得

$$S_{V_{DD}}^{I_{OUT}} = \frac{V_{ov1}}{\sqrt{V_{ov2}^2 + 4I_{OUT}R_2V_{ov1}}} S_{V_{DD}}^{I_{IN}} \quad (4.218)$$

既然 I_{OUT} 通常比 I_{IN} 小, V_{ov2} 通常很小且 $I_{OUT}R_2 \approx V_{ov1}$, 则式(4.218)可简化为

$$S_{V_{DD}}^{I_{OUT}} \approx \frac{V_{ov1}}{\sqrt{4V_{ov1}^2}} S_{V_{DD}}^{I_{IN}} = 0.5 S_{V_{DD}}^{I_{IN}} \quad (4.219)$$

如果 $V_{DD} \gg V_{GS1}$, 则 $I_{IN} \approx V_{DD}/R_1$ 且 I_{IN} 对于 V_{DD} 的灵敏度是一定的, 就像图 4.30a 中的简单镜像电流源一样。这样, 电源电压每变化 10 % 会导致 I_{OUT} 变化 5 %。

4.4.2.2 使用其他标准电压的镜像电流源

由双极型或 MOS 管形式的 Widlar 电流源提供的独立电源在很多类似电路中是不足以满足要求的。很多较低的灵敏度可以通过使电路的偏置电流随标准电压变化, 而不是随输入电压变化。偏置电路可以根据标准电压分类, 而偏置电流则是由标准电压建立的。最便利的标准电压是晶体管基极-发射极电压或阈值电压, 热电压或者是 pn 结反向击穿电压(二极管齐纳击穿)。这些标准电压可以用来减小对电源的灵敏度, 前三个标准电压的缺点是电压参考点与温度有关。基极-发射极电压和阈值电压都有负的温度系数, 其值大约为 $1 \sim 2 \text{ mV}/^\circ\text{C}$, 热电压有正的温度系数 ($k/q \approx 86 \text{ } \mu\text{V}/^\circ\text{C}$)。选择二极管齐纳击穿电压有一个缺点, 那就是需要一个至少 $7 \sim 10 \text{ V}$ 的电源电压, 因为标准集成电路在最高密度结点处(通常是 npn 管的发射结)生成的最小击穿电压大概为 6 V 。进一步来说, pn 结在反相击穿时生

成的大量干扰电压会进入参考偏置电路。雪崩击穿中的干扰将在第十一章中作进一步介绍。

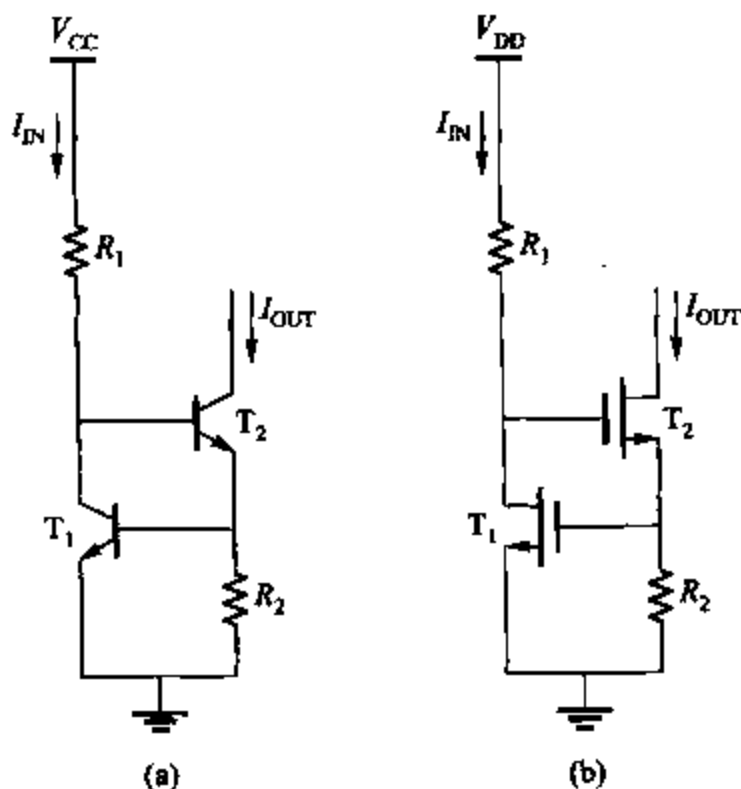


图 4.36 (a) 以 V_{BE} (基极 - 发射极电压) 为基准的电流源; (b) 以 V_T (阈值电压) 为基准的电流源

下面, 在基极 - 发射极或栅 - 源电压的基础上来讨论偏置电路。如图 4.36 所示为使用双极型工艺实现的最简单的偏置电路。这个电路与威尔逊镜像电流源类似, 只是将二极管连接形式的晶体管用电阻代替了。为了让输入电流流入 T_1 , 晶体管 T_2 必须有足够的电流流入 R_2 , 则 T_1 的基极 - 发射极电压为

$$V_{BE1} = V_T \ln \frac{I_{IN}}{I_{S1}} \quad (4.220)$$

如果忽略基极电流, I_{OUT} 与流经 R_2 的电流相同。既然 R_2 上的压降为 V_{BE1} , 输出电流与基极 - 发射极电压成比例。因此, 忽略基极电流, 可得

$$I_{OUT} = \frac{V_{BE1}}{R_2} = \frac{V_T}{R_2} \ln \frac{I_{IN}}{I_{S1}} \quad (4.221)$$

对式(4.221)取微分, 并代入式(4.209)得

$$S'_{V_{CC}}^{I_{OUT}} = \frac{V_T}{I_{OUT} R_2} S'_{V_{CC}}^{I_{IN}} = \frac{V_T}{V_{BE(on)}} S'_{V_{CC}}^{I_{IN}} \quad (4.222)$$

如果 $V_{CC} \gg 2V_{BE(on)}$, $I_{IN} \approx V_{CC}/R_1$ 且 I_{IN} 对于 V_{CC} 的敏感度大约为 1。当 $V_{BE(on)} = 0.7 \text{ V}$ 时, 有

$$S'_{V_{CC}}^{I_{OUT}} = \frac{0.026 \text{ V}}{0.7 \text{ V}} \approx 0.037 \quad (4.223)$$

因此, 在这种情况下, 当电源电压变化 10 % 时 I_{OUT} 改变 0.37 %。这个结果与双极型微电流源相比有了很大的改进。

与以基极 - 发射极为基准的电路相似的 MOS 管电路如图 4.36b 所示。此时

$$I_{\text{OUT}} = \frac{V_{\text{GSI}}}{R_2} = \frac{V_t + V_{\text{ovl}}}{R_2} = \frac{V_t + \sqrt{\frac{2I_{\text{IN}}}{k'(W/L)_1}}}{R_2} \quad (4.224)$$

这种情况下当 T_1 的过载与阈值电压相比很小时这种考虑是最有意义的。在实际中, 这种情况可以通过选择足够低的输入电流和足够大的 $(W/L)_1$ 来达到。因此, 这种电路叫做参考阈值偏置电路。将式(4.224)对 V_{DD} 作微分并带入式(4.209)得

$$S_{V_{\text{DD}}}^{I_{\text{OUT}}} = \frac{V_{\text{ovl}}}{2I_{\text{OUT}}R_2} S_{V_{\text{DD}}}^{I_{\text{IN}}} = \frac{V_{\text{ovl}}}{2V_{\text{GSI}}} S_{V_{\text{DD}}}^{I_{\text{IN}}} \quad (4.225)$$

例如, 如果 $V_t = 1 \text{ V}$, $V_{\text{ovl}} = 0.1 \text{ V}$ 且 $S_{V_{\text{DD}}}^{I_{\text{IN}}} \approx 1$

$$S_{V_{\text{DD}}}^{I_{\text{OUT}}} \approx \frac{0.1}{2(1.1)} \approx 0.045 \quad (4.226)$$

这种电路的输出并非完全独立, 因为 T_1 的基极-发射极电压或栅-源电压随电源电压会有轻微变化。这种轻微的变化使得 T_1 的集电极电流或漏极电流与电源电压大致成比例变化。对于通过连接电源端的电阻获取输入电流的偏置电路来说, 对电源的灵敏度经常会成为问题, 因为这种组成结构使得电路某些部分的电流随电源电压变化。

4.4.2.3 自偏置

使用自举偏置技术, 也称自偏置会显著降低电源电压的灵敏度。与其使用在输入端接一个电阻的方式改善输入电流, 不如让输入电流直接与镜像电流源的输出电流直接相关。这个概念通过图 4.37a 所示的方框图形式给予说明。假设这种连接的反馈回路有稳定的工作点, 则相对于电阻性的偏置, 流入电路的电流对电源电压的灵敏度要低得多。这里两个最关键的变量是输入电流 I_{IN} 和输出电流 I_{OUT} 。这两个变量之间的关系由普通电流源和镜像电流源共同控制。从普通电流源的角度来考虑, 输入电流在很大范围内变化时, 输出电流相对于它几乎是独立的, 如图 4.37b 所示。从镜像电流源的角度来考虑, 假设镜像电流源的增益为单位增益时, I_{IN} 和 I_{OUT} 相等。工作点必须同时满足两项约束条件, 因此它必然位于两条特性曲线的交点位置处。在图 4.37b 所示的曲线中有两个交点, 或称电压工作点。点 A 时所期望的工作点, 而点 B 则是不期望的工作点, 因为此点的 $I_{\text{OUT}} = I_{\text{IN}} = 0$ 。

如果图 4.37 中的输出电流由于某种原因而变大, 则镜像电流源的输入电流增大同样的量, 因为镜像电流源的增益被假设为单位增益。结果, 电流源通过一个由电流源增益控制的量来增大输出电流。因此, 回路对于输出电流原始的变化反应要靠进一步增大输出电流的原始变化来实现。换言之, 如图 4.37a 所示的电流源和镜像电流源连接方式形成了一个正反馈回路, 而回路的增益就是电流源的增益。在第九章中将会学到, 如果回路增益小于单位增益, 带有正反馈的电路是稳定的。在 A 点, 回路的增益非常小, 因为镜像电流源的输出对 A 点附近的输入电流很敏感。另一方面, 在 B 点, 特意使回路增益远大于单位增益, 所以两条特性曲线(如图 4.37b 所示)相交于远离原点的一点。结果, 通过简单的分析我们发现, 从原理上来说, B 点是不稳定的工作点, 电路总是趋向脱离这个状态。

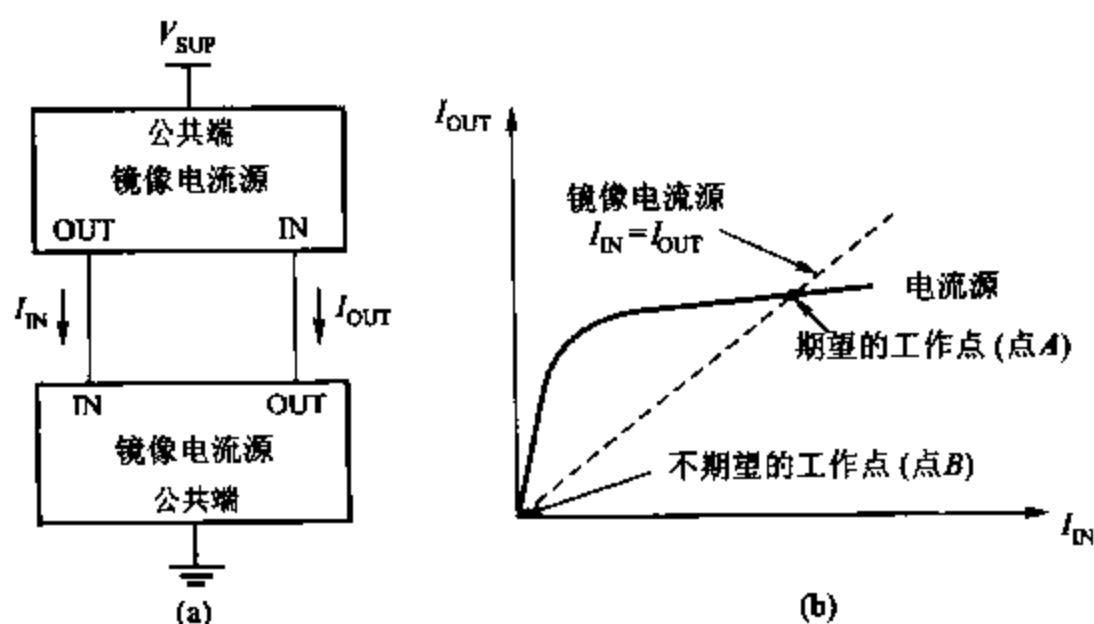


图 4.37 (a) 自偏置参考方框图; (b) 工作点的确定

但是,在实际中, B 点通常是很稳定的工作点,因为在这一点上晶体管的电流都很小,通常在 10^{-12} A 的数量级范围内。在如此低的电流条件下,无论是双极型还是 MOS 晶体管其漏电流和其他影响将减小电流增益。结论是,实际中,这种形式的电路通常不能脱离零电流状态。因此,除非采取防范措施,否则电路将总是工作在零电流状态。因为以上原因,自偏置电路经常工作在零电流输入的稳态状态下,即使电源电压不为零。这可以看作是一台汽油机即使储油箱满满的也无法运转,而需要用一个电动的或者机械的引擎来起动。简单来说,需要一个起动电路来防止自偏置电路保留在零电流状态。

这种工艺被用在 V_{BE} - 参考(以 V_{BE} 为参考)的电流源中,如图 4.38a 所示,与其相对应的 MOS 管阈值 - 参考电路如图 4.38b 所示。为简单起见,我们假设 $V_A \rightarrow \infty$ 。由 T_1, T_2 和 R 组成的电路要求 I_{OUT} 与 I_{IN} 几乎无关,见式(4.221)和式(4.224)。其次,由匹配晶体管 T_1 和 T_2 组成的镜像电流源要求 I_{OUT} 与 I_{IN} 相等。工作点必须同时满足两项约束条件,因此,它必然位于两条特性曲线的交点位置处,如图 4.37b 所示。除了晶体管有限输出电阻的影响外,偏置电流独立于电源电压。如果需要,电流源和镜像电流源的输出电阻可以通过在电路中使用共源共栅或威尔逊等结构而增加。其他电路的偏置电流分别由 T_4 和/或 T_3 (分别与 T_2 和 T_1 匹配)提供。

零电流状态可以通过加入起动电路来避免,从而保证在参考点处总有电流流入晶体管,图 4.37b 中 B 点所在反馈回路的增益不至低于 1。需要附加说明的是,起动电路必须不影响期望的工作点所要达到的基准值。如图 4.39a 所示为带有启动电路的以 V_{BE} 为基准的电流源。首先假设电路工作在不期望的零电流状态。如果这样, T_1 的基极 - 发射极电压为零。 T_2 的基极 - 发射极电压将是几十毫伏,这由电路中的漏电流决定。 D_1 左端的电压是四倍的二极管电压,所以 R_1 上的电压至少是三倍的二极管电压,而且电流将流经 R_1 到达 $T_1 - T_2$ 的组合电路。这将导致电流流入 T_4 和 T_3 ,从而避免了零电流状态。

基准偏置电路会使自己进入期望的稳定状态,要求启动电路不影响稳态电流的值。当

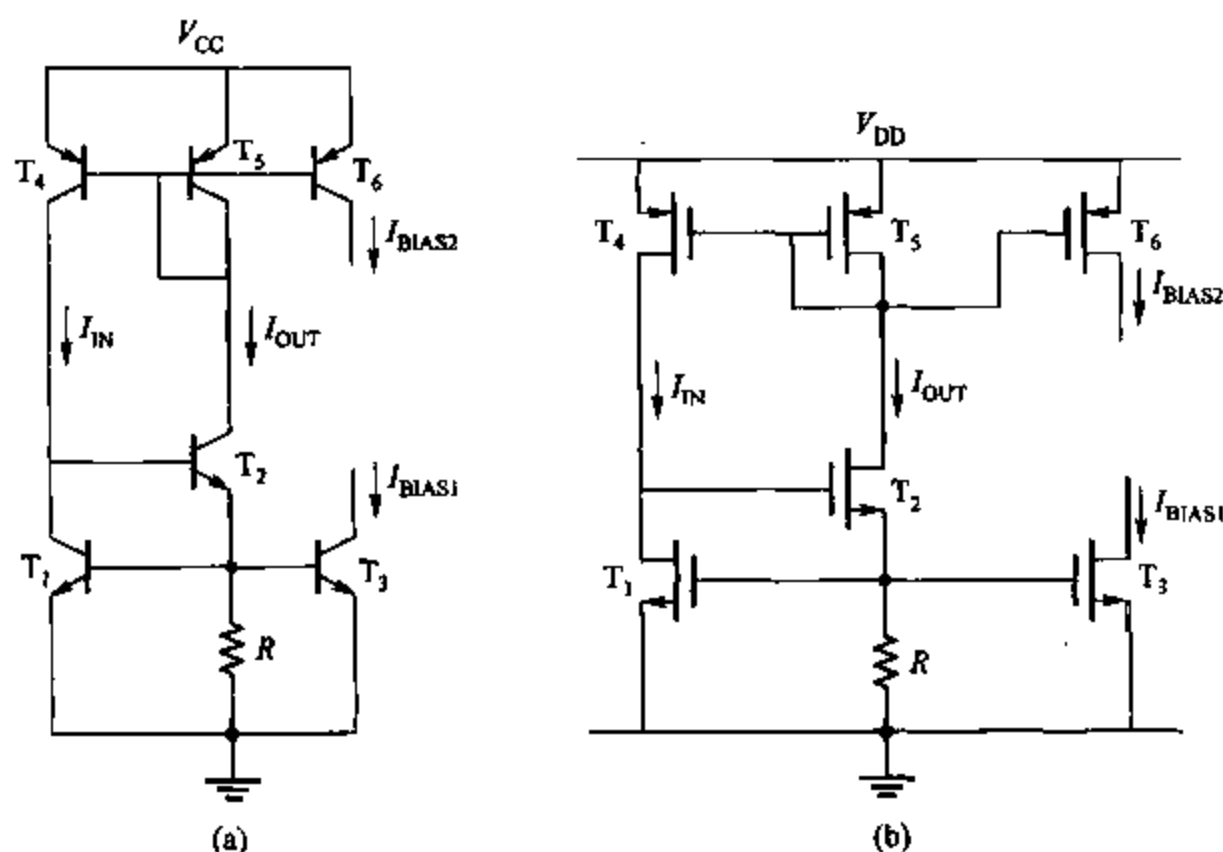


图 4.38 (a)以 V_{BE} 为基准的自偏置;(b)以 V_T 为基准的自偏置

稳态电流已经达到时,可以使 R_x 足够大,则 R_x 上的压降大到反转 D_1 的偏置。在稳定状态下, T_1 的集电极-发射极电压是两倍二极管电压,而 D_1 左端的电压是四倍的二极管电压。因此,如果让 $I_{IN} R_x$ 等于两个二极管电压,在稳态下 D_1 的压降将为零。结果,由 $R_x, D_1 - D_5$ 和 D_1 组成的起动电路实际上相当于与稳态工作电路分开。

浮置管脚在 MOS 管工艺中通常用不到。如图 4.39b 所示为 MOS 管工艺的带有自启动电路的阈值-基准电源电压。如果电流工作在不期望的零电流状态,则 T_1 的栅-源电压将比阈值小。结果, T_1 截止, T_8 工作在三极管区, T_9 的栅-源电压被上拉至 V_{DD} , 则 T_9 导通并将 T_4 和 T_5 的栅极电压下拉。这样就使得有电流流入 T_4 和 T_5 , 从而防止了零电流状态。

在稳定状态下, T_7 的栅-源电压上升至 $I_{OUT} R$, 这使得 T_7 导通而降低了 T_9 的栅-源电压。换言之, T_7 和 T_8 组成了一个当基准电路导通时输出下降的 CMOS 反向器。既然启动电路不能影响基准点在稳态下的正常工作状态, 则稳态时反向器的输出应低到足以使 T_9 截止。因此, 当反向器的输入从零上升到 $I_{OUT} R$ 时, T_9 的栅-源电压必须低于阈值电压。实际中, 这项要求是通过选择 T_7 的宽长尺寸比 T_8 大得多来实现的。

偏置电路另一项重要的性能指标是它们与温度的相关性。这种变化可由温度每变化一度其输出电流的相对变化量表现出来, 称为相对温度系数 TC_F :

$$TC_F = \frac{1}{I_{OUT}} \frac{\partial I_{OUT}}{\partial T} \quad (4.227)$$

对于图 4.38a 中的以 V_{BE} 为基准的偏置电路,

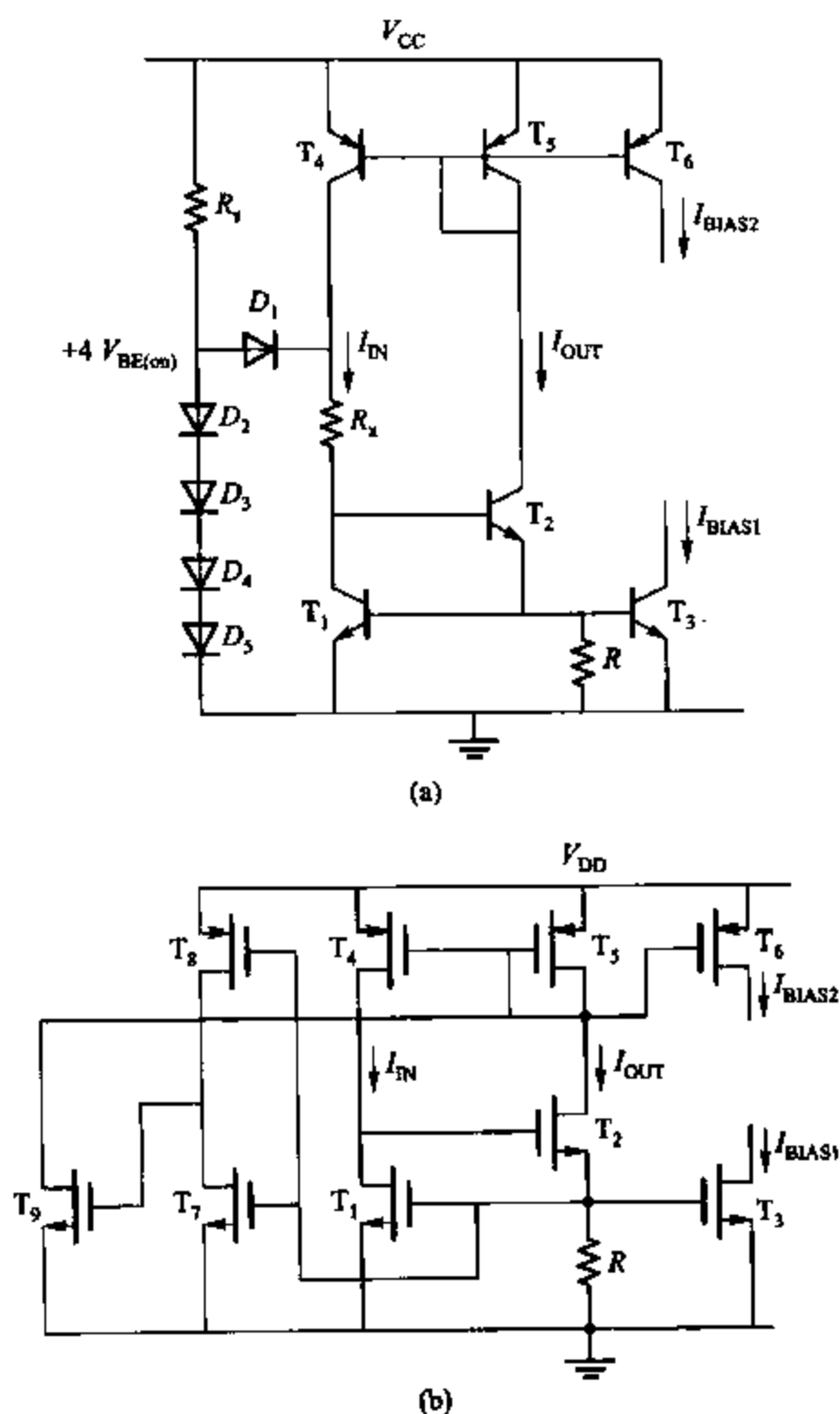


图 4.39 (a)带有启动电路的 V_{BE} 基准的自偏置电路;(b)带有启动电路的 V_T 基准的自偏置电路

$$I_{OUT} = \frac{V_{BE1}}{R} \quad (4.228)$$

$$\frac{\partial I_{OUT}}{\partial T} = \frac{1}{R} \frac{\partial V_{BE1}}{\partial T} - \frac{V_{BE1}}{R^2} \frac{\partial R}{\partial T} \quad (4.229)$$

$$= I_{OUT} \left(\frac{1}{V_{BE1}} \frac{\partial V_{BE1}}{\partial T} - \frac{1}{R} \frac{\partial R}{\partial T} \right) \quad (4.230)$$

因此

$$TC_F = \frac{1}{I_{OUT}} \frac{\partial I_{OUT}}{\partial T} = \frac{1}{V_{BE1}} \frac{\partial V_{BE1}}{\partial T} - \frac{1}{R} \frac{\partial R}{\partial T} \quad (4.231)$$

与输出电流相关的温度与电阻温度系数和发射结温度系数的差值有关。既然前一项是正

的,后一项是负的,则 TC_F 很大。

示例

设计一个如图 4.38a 所示的偏置基准,以产生 $100\ \mu\text{A}$ 的输出电流,求 TC_F 。假设 T_1 中 $I_S = 10^{-14}\ \text{A}$,并假设 $\partial V_{BE}/\partial T = -2\ \text{mV}/^\circ\text{C}$ 且 $(1/R)(\partial R/\partial T) = +1\ 500\ \text{ppm}/^\circ\text{C}$ 。

T_1 中的电流将等于 I_{OUT} ,所以

$$V_{BE1} = V_T \ln \frac{100\ \mu\text{A}}{10^{-14}\ \text{A}} = 598\ \text{mV}$$

由式(4.228)得

$$R = \frac{598\ \text{mV}}{0.1\ \text{mA}} = 5.98\ \text{k}\Omega$$

由式(4.231)有

$$TC_F \approx \frac{-2\ \text{mV}/^\circ\text{C}}{598\ \text{mV}} - 1.5 \times 10^{-3} \approx -3.3 \times 10^{-3} - 1.5 \times 10^{-3}$$

因此

$$TC_F \approx -4.8 \times 10^{-3}/^\circ\text{C} = -4\ 800\ \text{ppm}/^\circ\text{C}$$

ppm 是百万分之一的缩写,意味着 10^{-6} 。

对于图 4.38b 所示的阈值 - 基准电路,

$$I_{OUT} = \frac{V_{GS1}}{R} \approx \frac{V_t}{R} \quad (4.232)$$

对式(4.232)进行微分并代入式(4.227)得

$$TC_F = \frac{1}{I_{OUT}} \frac{\partial I_{OUT}}{\partial T} \approx \frac{1}{V_t} \frac{\partial V_t}{\partial T} - \frac{1}{R} \frac{\partial R}{\partial T} \quad (4.233)$$

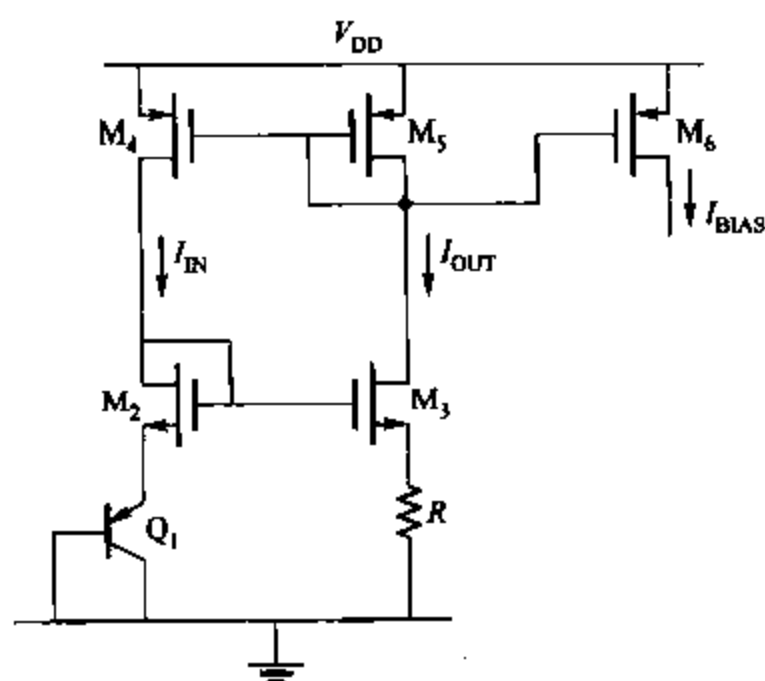
既然 MOS 管的阈值和双极型管的基极 - 发射极电压的变化率都为 $-2\ \text{mV}/^\circ\text{C}$,式(4.233)和式(4.231)表明与温度相关的阈值 - 基准电流源的关系(如图 4.38b)和与 V_{BE} 基准电流源的关系(如图 4.38a)一样。

以 V_{BE} 为基准的自偏置电路也用于 CMOS 工艺。例如图 4.40 所示,其中 pnp 晶体管是 p 衬底 CMOS 工艺内在的寄生元件。相应的 npn 晶体管可用于 n 衬底 CMOS 工艺。由 M_2, M_3, M_4 和 M_5 组成的反馈电路使得晶体管 Q_1 中的电流与电阻 R 中的一致。假设元件匹配, $V_{GS2} = V_{GS3}$,因此

$$I_{OUT} = \frac{V_{BE1}}{R} \quad (4.234)$$

基准电压的另一个选择是热电压 V_T 。工作在不同电流密度的两个结的电压差可以通过与 V_T 的比例关系表现出来。这种电压差必须转换成电流以提供偏置电流。如图 4.31a 所示的 Widlar 电流源,式(4.190)表明电阻 R_2 上的电压为

$$I_{OUT} R_2 = V_T \ln \frac{I_{IN}}{I_{OUT}} \frac{I_{S2}}{I_{S1}} \quad (4.235)$$

图 4.40 CMOS 工艺的以 V_{BE} 为基准自偏置电路例子

如果输入转变为输出电流的比例为常数,则 R_2 上的电压与 V_T 成比例。这个事实被应用在图 4.41 所示的自偏置电路中。这里 Q_3 和 Q_4 面积一样。因此假设 $\beta_F \rightarrow \infty$, $V_A \rightarrow \infty$, 则 Q_3 和 Q_4 组成的镜像电流源迫使 Q_1 的集电极电流与 Q_2 的相等。图 4.41 中 Q_2 有两个发射极,而 Q_1 只有一个发射极,因此 Q_2 发射极的面积是 Q_1 面积的两倍。这种选择使得正反馈回路在点 B 的增益(如图 4.37b)大于 1,所以点 B 是不稳定的工作点,稳定的非零工作点在点 A。在其他自偏置电路中,启动电路要保证有足够的电流流入电路,使之工作在点 A,如图 4.37b 所示。在这些条件下, $I_{S1} = I_{S2}$ 且 R_2 上的电压为

$$I_{OUT} R_2 = V_T \ln \frac{I_{IN}}{I_{OUT}} \frac{I_{S2}}{I_{S1}} = V_T \ln 2 \quad (4.236)$$

因此,输出电流为

$$I_{OUT} = \frac{V_T}{R_2} \ln 2 \quad (4.237)$$

输出电流 I_{OUT} 随温度的变化率计算如下。由式(4.237)得

$$\begin{aligned} \frac{\partial I_{OUT}}{\partial T} &= (\ln 2) \frac{R_2 \frac{\partial V_T}{\partial T} - V_T \frac{\partial R_2}{\partial T}}{R_2^2} \\ &= \frac{V_T}{R_2} (\ln 2) \left(\frac{1}{V_T} \frac{\partial V_T}{\partial T} - \frac{1}{R_2} \frac{\partial R_2}{\partial T} \right) \end{aligned} \quad (4.238)$$

将式(4.237)代入式(4.238)得

$$TC_F = \frac{1}{I_{OUT}} \frac{\partial I_{OUT}}{\partial T} = \frac{1}{V_T} \frac{\partial V_T}{\partial T} - \frac{1}{R_2} \frac{\partial R_2}{\partial T} \quad (4.239)$$

这种电路输出电流的温度系数比 V_{BE} 参考形式的小得多,因为 V_T 和 R_2 的很小的灵敏度都是正的,在式(4.239)中几乎可以忽略不计。例如,可以选择晶体管的面积为 2 比 1。在实

际中,对于晶体管的总面积和电阻 R_2 的面积的值总是尽量选择最小。

示例

设计一个基准源如图 4.41 所示的偏置电路,产生一个 $100\ \mu\text{A}$ 的输出电流。求 I_{OUT} 的 TC_F 。假设晶体管的温度系数为 $(1/R)(\partial R/\partial T) = +1\ 500\ \text{ppm}/^\circ\text{C}$ 。

由式(4.237)得

$$R_2 = \frac{V_T(\ln 2)}{I_{\text{OUT}}} = \frac{(26\ \text{mV})(\ln 2)}{100\ \mu\text{A}} \approx 180\ \Omega$$

由式(4.239)有

$$\begin{aligned} \frac{1}{I_{\text{OUT}}} \frac{\partial I_{\text{OUT}}}{\partial T} &= \frac{1}{V_T} \frac{\partial V_T}{\partial T} - 1\ 500 \times 10^{-6} \\ &= \frac{1}{V_T} \frac{V_T}{T} - 1\ 500 \times 10^{-6} = \frac{1}{T} - 1\ 500 \times 10^{-6} \end{aligned}$$

假设工作在室温下, $T = 300\ \text{K}$, 则

$$\frac{1}{I_{\text{OUT}}} \frac{\partial I_{\text{OUT}}}{\partial T} \approx 3\ 300 \times 10^{-6} - 1\ 500 \times 10^{-6} = 1\ 800\ \text{ppm}/^\circ\text{C}$$

以 V_T 为基准的偏置电路在 CMOS 工艺中应用的也非常普遍。一个简单的例子如图 4.42 所示,其中 Q_1 和 Q_2 晶体管是 p 衬底 CMOS 工艺内在的寄生元件。这里将晶体管发射极的面积对 n 微分,而且反馈回路迫使它们偏置电流相同。结果,两个基极-发射极电压必须由电阻 R 上的电压决定。输出电流为

$$I_{\text{OUT}} = \frac{V_T \ln(n)}{R} \quad (4.240)$$

在电路图 4.42 中, M_3 和 M_4 的栅-源电压的微小差异会导致输出电流发生很大变化,因为电阻 R 上的电压大概只有 $100\ \text{mV}$ 。 M_3 和 M_4 的栅-源电压的差异是由失配或沟道长度调制效应产生的,因为它们的漏-源电压不同。实际中这种电路的典型实现是通过对 M_3 和 M_4 使用大的宽长尺寸来减少偏移量,采用共源共栅或威尔逊电流源来减小沟道长度调制效应的影响。实际电路的典型例子如图 4.43 所示。总体来说,共源共栅形式经常被用于几乎所有的工艺来改善参考电路的性能。共源共栅形式应用的主要限制是它增加了让所有晶体管工作在放大区所需的最小电源电压。

4.4.3 对温度不敏感的偏置

如在 4.4.2 节示例所示,基极-集电极电压和热电压基准源电路有很高的输出电流温度系数。尽管温度灵敏度已经在热电压基准电路中被显著减少,但它的温度系数在很多应用场合还不是足够低。因此,需要尽可能找到实现低温度系数的偏置电路的方法。

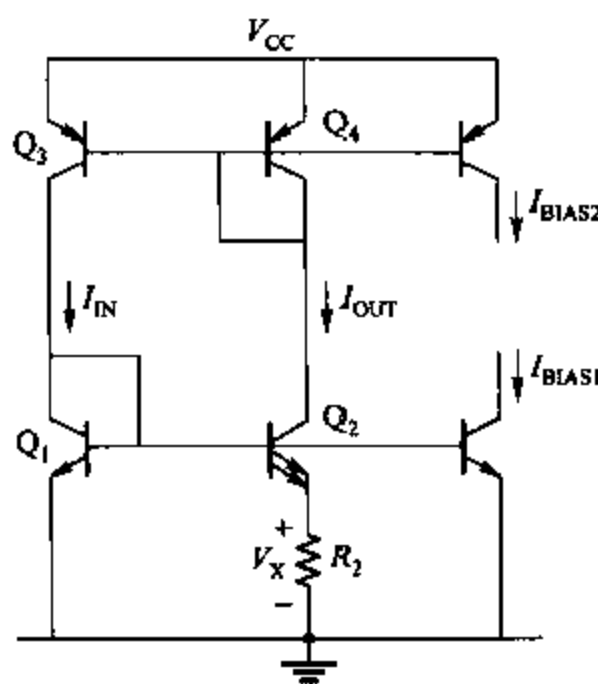
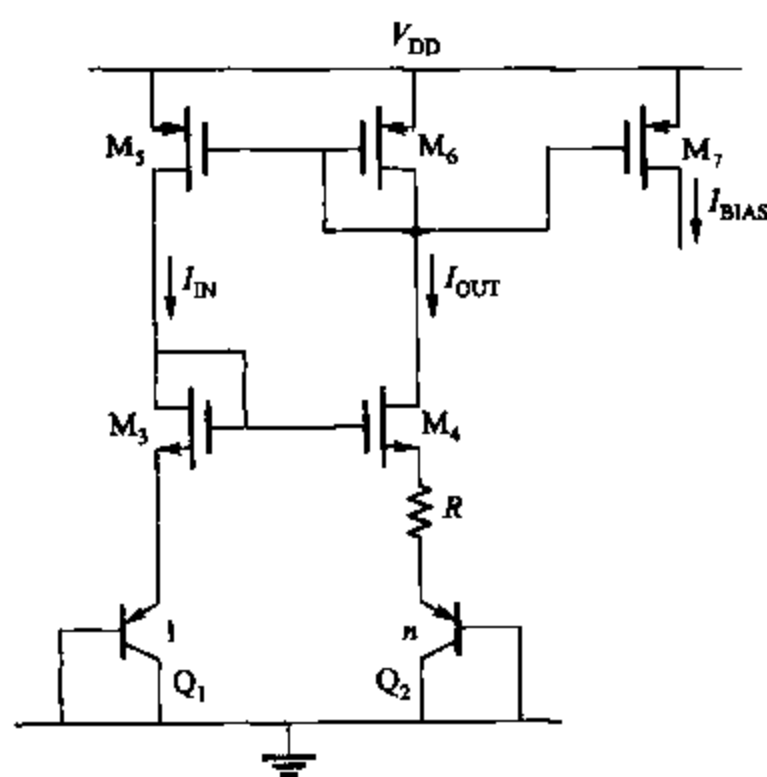
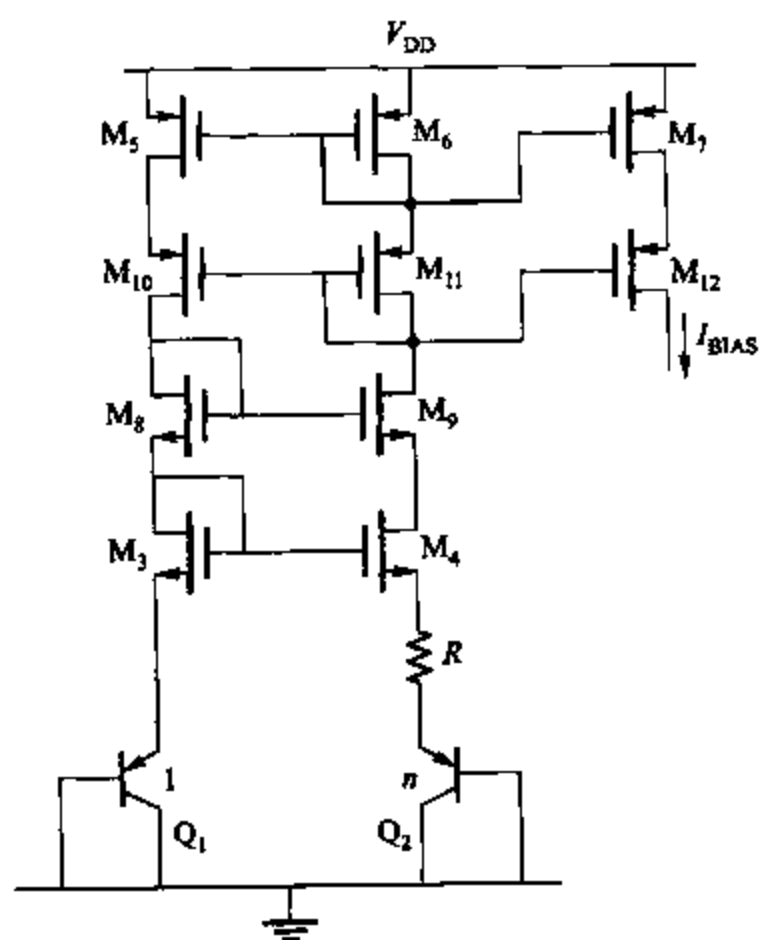


图 4.41 使用热力学电压的偏置电流源

图 4.42 CMOS 管 V_T -基准子偏置电路例子图 4.43 一个带有串接放大器以改善电源抑制和初始精度的 CMOS V_T 基准自偏压参考示例电路

4.4.3.1 基于双极型技术的带隙基准源偏置电路

因为分别以 $V_{BE(on)}$ 和 V_T 为基准的偏置源会有相反的 TC_F , 因此, 输出电流有可能以 $V_{BE(on)}$ 和 V_T 的某种复合电压作为基准源。如果这种复合的方式选择得当, 可以使输出温度系数为零。

截止目前, 讨论偏置源都是在关心怎么获得低温度系数的电流。在实际应用时, 经常要求提供低温度系数电压偏置或基准电压源。稳压器的基准电压是一个好例子。这两种类型的电路设计很相似, 但在电流源的例子中, 温度系数被故意地引入到基准电压中以补偿用来产生输出电流的电阻的温度系数。在下面的关于带隙基准源的描述中, 为简单起见假设对象是低温度系数的电压源。

首先考虑图 4.44 所示的设想电路。其输出电压等于 $V_{BE(on)}$ 加上 M (常数) 倍的电压 V_T 。为确定要求的 M 值, 必须确定 $V_{BE(on)}$ 的温度系数。忽略基极电流有

$$V_{BE(on)} = V_T \ln \frac{I_i}{I_S} \quad (4.241)$$

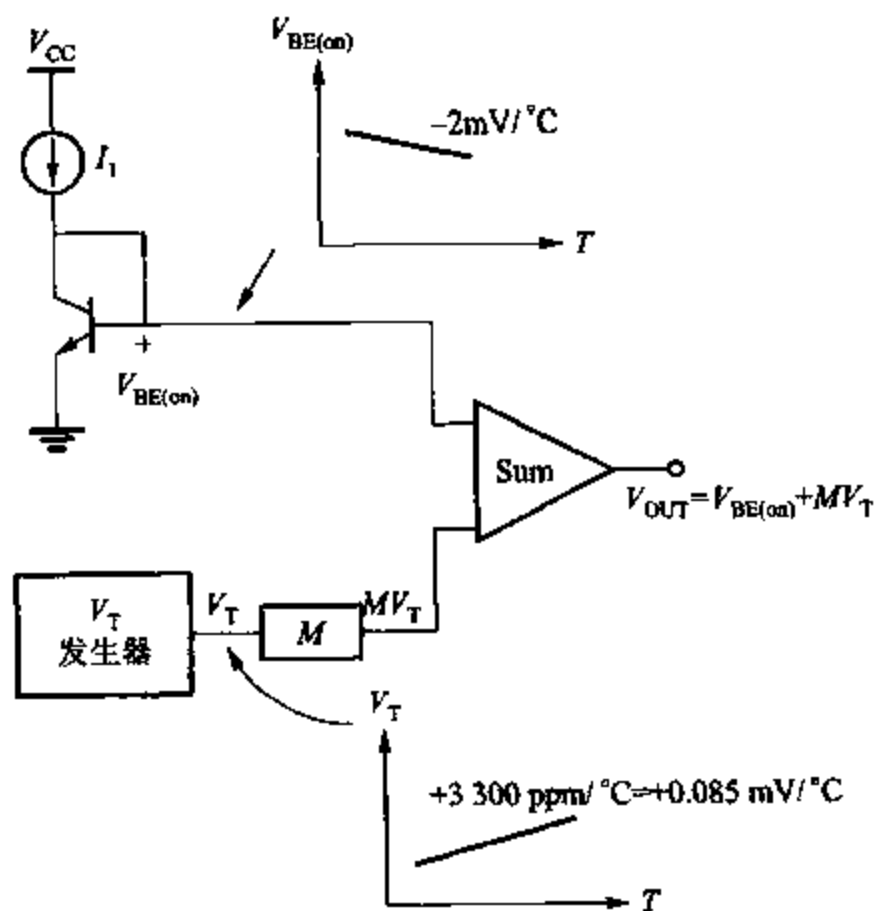


图 4.44 假设的带隙基准源电路

如第一章所述, 饱和电流 I_S 和器件的结构有关, 并满足

$$I_S = \frac{qAn_i^2 \bar{D}_n}{Q_B} = Bn_i^2 \bar{D}_n = B'n_i^2 T \bar{\mu}_n \quad (4.242)$$

其中, n_i 是内部少数载流子浓度, Q_B 是基极每单位面积的掺杂浓度, $\bar{\mu}_n$ 是基极平均电子迁移率, A 是发射结面积, T 代表温度。在这里, 常数 B 和 B' 是和温度无关的独立参数。利用

爱因斯坦关系式 $\mu_n = (q/kT)D_n$, 可以将 I_S 写成用 $\bar{\mu}_n$ 和 n_i^2 描述的表达式。式(4.242)中和温度有关的参量满足如下关系¹⁵:

$$\bar{\mu}_n = CT^{-n} \quad (4.243)$$

$$n_i^2 = DT^3 \exp\left(-\frac{V_{G0}}{V_T}\right) \quad (4.244)$$

其中 V_{G0} 是温度为 0K 时硅的带隙电压。这里的 C 和 D 都是和温度无关的参数, 它们的精确数值对分析并不重要。基极电子迁移率 $\bar{\mu}_n$ 表达式中的指数 n 和基底的掺杂浓度有关。结合式(4.241), 式(4.242), 式(4.243)和式(4.244)可以得到

$$V_{BE(on)} = V_T \ln\left(I_1 T^{-\gamma} E \exp \frac{V_{G0}}{V_T}\right) \quad (4.245)$$

其中 E 是另一个和温度无关的参数, 并且有

$$\gamma = 4 - n \quad (4.246)$$

在实际的带隙基准源电路中, 电流 I_1 不是常量, 而是随温度变化的。暂时假设这种随温度的变化是已知的并且可以写成以下的形式

$$I_1 = GT^\alpha \quad (4.247)$$

其中 G 是另一个和温度无关的常量。结合式(4.245)和式(4.247)可得

$$V_{BE(on)} = V_{G0} - V_T[(\gamma - \alpha)\ln T - \ln(EG)] \quad (4.248)$$

由图 4.44, 输出电压为

$$V_{OUT} = V_{BE(on)} + MV_T \quad (4.249)$$

将式(4.248)代入式(4.249)得

$$V_{OUT} = V_{G0} - V_T(\gamma - \alpha)\ln T + V_T[M + \ln(EG)] \quad (4.250)$$

上述表达式给出了输出电压随温度变化的电路参数 G, α, M 和器件参数 E, γ 的函数关系式。要使 V_{OUT} 和温度无关, 需求 V_{OUT} 对温度的导数以找到使温度系数 TC_F 为零的 G, γ 和 M 的值。对式(4.250)求导得

$$0 = \frac{dV_{OUT}}{dT} \bigg|_{T=T_0} = \frac{V_{T0}}{T_0}[M + \ln(EG)] - \frac{V_{T0}}{T_0}(\gamma - \alpha)\ln T_0 - \frac{V_{T0}}{T_0}(\gamma - \alpha) \quad (4.251)$$

其中, T_0 是当输出的温度系数 TC_F 为零时的温度, V_{T0} 是热电压 V_T 在 T_0 时刻的值。将方程(4.251)整理可得

$$[M + \ln(EG)] = (\gamma - \alpha)\ln T_0 + (\gamma - \alpha) \quad (4.252)$$

该等式给出了要达到零温度系数时的电路参数 M, α 和 G 的器件参数 E 和 γ 的表达式。原则上, 这些参数值都可以由式(4.252)直接计算得到。但现在, 将式(4.252)代入式(4.250), 可以得到更便于理解的结果:

$$V_{OUT} = V_{G0} + V_T(\gamma - \alpha)\left(1 + \ln \frac{T_0}{T}\right) \quad (4.253)$$

这样, 与温度有关的输出电压完全可以由一个参数 T_0 表述, 同时 T_0 是由常数 M, E 和 G 决定的。

由式(4.253),可得在温度系数 TC_F 为零的温度($T = T_0$)下输出电压为

$$V_{OUT} \Big|_{T=T_0} = V_{G0} + V_{T0}(\gamma - \alpha) \quad (4.254)$$

例如,为了满足在 27°C 时 TC_F 为零,假设 $\gamma = 3.2$, $\alpha = 1$,输出电压为

$$V_{OUT} \Big|_{T=T_0=25^\circ\text{C}} = V_{G0} + 2.2 V_{T0} \quad (4.255)$$

硅的带隙电压 $V_{G0} = 1.205\text{ V}$, 所以有

$$V_{OUT} \Big|_{T=T_0=25^\circ\text{C}} = 1.205\text{ V} + 2.2(0.026\text{ V}) = 1.262\text{ V} \quad (4.256)$$

所以,零温度系数时的输出电压和硅的带隙电压接近,这就是这个偏置电路的命名的来源。

将式(4.253)对温度求导,得

$$\begin{aligned} \frac{dV_{out}}{dT} &= \frac{1}{T} \left[V_T(\gamma - \alpha) \left(1 + \ln \frac{T_0}{T} \right) \right] - \frac{V_T}{V}(\gamma - \alpha) \\ &= (\gamma - \alpha) \frac{V_T}{V} \left(\ln \frac{T_0}{T} \right) \end{aligned} \quad (4.257)$$

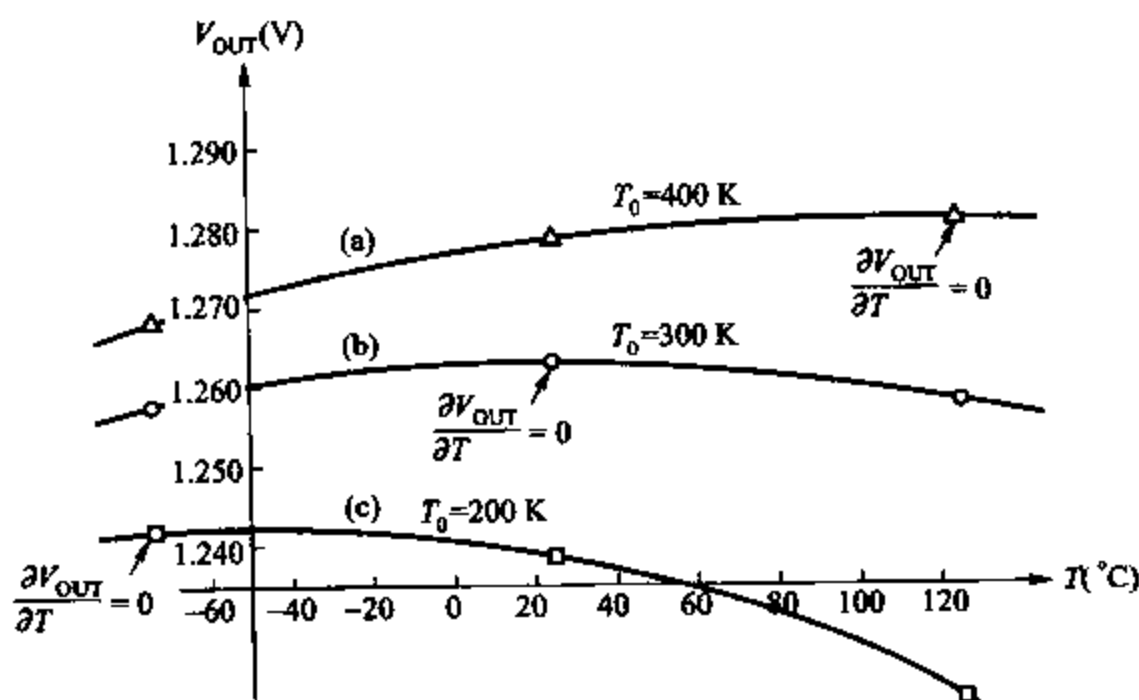


图 4.45 带隙基准源输出电压随温度变化曲线

等式(4.257)以温度的函数给出了输出的变化斜率。图 4.45 给出了在 $\alpha = 0$ 且 I_1 与温度无关的特殊条件下的一组有不同 T_0 值的典型的输出电压特性曲线。这些曲线的斜率在 $T = T_0$ 时都为零。因为当 $T < T_0$ 时式(4.257)中的对数项内自变量大于 1, 所以此时曲线的斜率为正。与此类似, 在 $T > T_0$ 时斜率为负。当温度 T 在 T_0 附近时有

$$\ln \frac{T_0}{T} = \ln \left(1 + \frac{T_0 - T}{T} \right) \approx \frac{T_0 - T}{T} \quad (4.258)$$

所以可以得到

$$\frac{dV_{OUT}}{dT} \approx (\gamma - \alpha) \frac{V_T}{V} \left(\frac{T_0 - T}{T} \right) \quad (4.259)$$

如式(4.257)和(4.259)所示,输出的温度系数只有在温度 $T = T_0$ 时为零。由图 4.44 也可以得出这样的结论,输出电压是加权的热电压和基极-发射极电压的和。因为基极-发射极电压的温度系数并不是常数,所以增益 M 可以通过在某一温度下使输出的温度系数为零而得到。换言之,热电压发生器是为了抵消基极-发射极电压对温度的线性的变化关系。抵消后,图 4.45 中的输出电压由随温度非线性变化的基极-发射极电压产生。因此,用带隙基准源电路来补偿这种非线性被称作曲率补偿。^{16,17,18}

示例

一个带隙基准源电路被设计用来产生 1.262 V 的额定输出电压,其 TC_F 在 27 °C 时为零。由于器件的变化,实际的室温电压输出是 1.280 V。找到实际的 V_{OUT} 的零 TC_F 温度。同时,写出用温度表述 V_{OUT} 的等式,并计算室温时的 TC_F 。假设 $\gamma = 3.2, \alpha = 1$ 。

由式(4.253), $T = 27\text{ °C} = 300\text{ K}$, 所以

$$1.280\text{ V} = 1.205 + (0.026\text{ V})(2.2) \left(1 + \ln \frac{T_0}{300\text{ K}} \right)$$

因此

$$T_0 = 300\text{ K} \left(\exp \frac{18\text{ mV}}{57\text{ mV}} \right) = 411\text{ K}$$

所以, TC_F 在 $T_0 = 411\text{ K} = 138\text{ °C}$ 时为零,然后将 V_{OUT} 写成

$$V_{OUT} = 1.205\text{ V} + 57\text{ mV} \left(1 + \ln \frac{411\text{ K}}{T} \right)$$

由式(4.259),并由 $T = 300\text{ K}, T_0 = 411\text{ K}$ 有

$$\frac{dV_{OUT}}{dT} \approx (2.2) \frac{26\text{ mV}}{300\text{ K}} \left(\frac{411 - 300}{300} \right) \approx 70\text{ }\mu\text{V/K} = 70\text{ }\mu\text{V/°C}$$

因此,室温下的 TC_F 为

$$TC_F = \frac{1}{V_{OUT}} \frac{dV_{OUT}}{dT} \approx \frac{70\text{ }\mu\text{V/°C}}{1.280\text{ V}} \approx 55\text{ ppm/°C}$$

要减小 TC_F , 在式(4.249)~(4.252)中的常量 M 在一个确定的温度下通常被修正,以使带隙输出电压被设定在一个期望值上。¹⁹ 理论上讲,期望电压值是由式(4.253)确定的。但在实际情况下,式(4.253)的不准确度主要是由式(4.244)的近似值决定的。²⁰ 所以,期望电压值一般是用实验的方法,按照给定的程序在每个带隙基准源的多个采样点直接测量 TC_F 来确定。^{21,22} 这一过程可以使参考温度时的 TC_F 减小到 10 ppm/°C 数量级。

对基准源有决定作用的关键参数是在全部温度范围内的输出电压的变化。因为 TC_F 仅描述了在某一特定温度下的温度敏感度,所以需要有另一个参数来描述在宽温度范围内的电路的特性。一个电压基准源的有效温度系数被定义为

$$TC_F = \frac{1}{V_{OUT}} \left(\frac{V_{MAX} - V_{MIN}}{T_{MAX} - T_{MIN}} \right) \quad (4.260)$$

其中, V_{MAX} 和 V_{MIN} 是在整个温度变化范围内的最大和最小输出电压, 而 $T_{MAX} - T_{MIN}$ 是温度漂移。 V_{OUT} 是标称输出电压。按照上述的定义, 图 4.45 中的情况(b)在 -55°C 到 125°C 范围内的 $TC_{F(\text{eff})}$ 是 $44 \text{ ppm}/^{\circ}\text{C}$ 。如果将温度范围限制为 $0 \sim 70^{\circ}\text{C}$, $TC_{F(\text{eff})}$ 则改善到 $17 \text{ ppm}/^{\circ}\text{C}$ 。因此, 在一个限定的温度范围内, 一旦零 TC_F 被设定在室温下, 这一参考值可以和温度恒定的标准器件或单元的温度稳定性相比较。饱和标准单元(如精确电池)的 TC_F 一般在 $\pm 30 \text{ ppm}/^{\circ}\text{C}$ 范围内。

实际上, 带隙基准源在双极型技术中有多种实现形式。^{15, 19, 23} 其中一种电路如图 4.46a 所示。¹⁵ 该电路利用了一个反馈环使电路工作在特定的一个工作点, 在这一工作点, 输出电压等于 $V_{BE(\text{on})}$ 加上和两个基极-发射极的差分电压成比例的一个电压值。关于这个反馈环路的工作原理由图 4.46b 可以很好的解释, 在这个图中给出了其中一部分电路。首先, 考虑当输入电压 V_1 从零变化为正时输出电压 V_2 的变化。一开始, 电压 $V_1 = 0$, 晶体管 Q_1 和 Q_2 没有导通, 此时 $V_2 = 0$ 。随着 V_1 的增加, 直到输入电压达到 0.6 V , 否则 Q_1 和 Q_2 都不会导通。因为电阻 R_2 上的压降为零, 所以当 $V_1 < 0.6 \text{ V}$ 时 $V_2 = V_1$ 。当 V_1 超过了 0.6 V , Q_1 开始导通了, 如图 4.46b 中的点①。 Q_1 中的电流大约等于 $(V_1 - 0.6 \text{ V})/R_1$ 。此时电流很小, Q_1 和 Q_2 有同样大小的电流, 这是因为 R_3 上的压降非常小, 甚至可忽略。因为 R_2 比 R_1 大很多, 因此 R_2 上的压降要远远大于 $(V_1 - 0.6 \text{ V})$, 同时 Q_2 饱和, 这对应了图 4.46b 的点②。由于 R_3 的存在, 所以如果它在正向放大区对 V_1 有近似对数的数学关系, 那么集电极电流将流过 Q_2 , 这一点像 Widlar 电流源。因此, V_1 继续增加, 以至 Q_2 不再饱和, 因为 V_1 的增加要比 R_2 上的压降增加得快。这对应着图 4.46b 中标记③的点。

现在考虑图 4.46a 所示的整个电路。当 Q_3 开始截止时, Q_4 将会正向驱动 V_1 。这一过程会一直持续至 Q_3 的基极电压已经足以使 Q_3 的集电极电流近似等于 I 为止。因此, 电路稳定在 V_2 等于一个二极管的压降, 即 Q_3 基极-发射极电压的时候, 在图 4.46b 中的①和④点满足这一要求。好的启动线路应该可以确保能工作在工作点④。

假设电路已经达到了点④的稳定工作点, 输出电压 V_{OUT} 等于 Q_3 的基极-发射极电压和 R_2 上压降的和。 R_2 上的压降等于 R_3 上的压降乘以 (R_2/R_3) , 因为 Q_2 的集电极电流近似等于其发射极电流。 R_3 上的电压降等于 Q_1 和 Q_2 的基极-发射极电压的差。其中 Q_1 和 Q_2 电流的比例决定于 R_2 对 R_1 的比例。

这种基准源的缺点是电流 I 受电源决定, 这样它将随着电源电压的变化而变化。一种自偏置带隙基准源电路如图 4.46c 所示。假设电路存在一个稳定的工作点而且其中的运算放大器是理想的。那么运算放大器的差分输入电压将必须为零且 R_1 和 R_2 上的电压降相等。因此, R_2 对 R_1 的比例决定了 I_1 对 I_2 的比例。假设基极电流可忽略不计, 这两个电流就是二极管连接的晶体管 Q_2 和 Q_1 的集电极电流。 R_3 上的电压降为

$$V_{R3} = \Delta V_{BE} = V_{BE1} - V_{BE2} = V_T \ln \frac{I_1 I_{S2}}{I_2 I_{S1}} = V_T \ln \frac{R_2 I_{S2}}{R_1 I_{S1}} \quad (4.261)$$

因为电阻 R_3 中的电流等于 R_2 中的电流,因此 R_2 上的电压降应该是

$$V_{R2} = \frac{R_2}{R_3} V_{R3} = \frac{R_2}{R_3} \Delta V_{BE} = \frac{R_2}{R_3} V_T \ln \frac{R_2 I_{S2}}{R_1 I_{S1}} \quad (4.262)$$

从这个方程可以看出, R_2 上的压降是和绝对温度成比例的 (PTAT), 这是因为热电压和温度相关。由于运算放大器迫使 R_1 和 R_2 上的电压降相等, 而且如果电阻是零温度系数的, 则电流 I_1 和 I_2 都和温度成比例。因此, 对这一基准源, 式 (4.247) 中的 $\alpha = 1$ 。输出电压是 Q_2 、 R_3 和 R_2 上的压降之和, 为

$$\begin{aligned} V_{OUT} &= V_{BE2} + V_{R3} + V_{R2} = V_{BE2} + \left(1 + \frac{R_2}{R_3}\right) \Delta V_{BE} \\ &= V_{BE2} + \left(1 + \frac{R_2}{R_3}\right) V_T \ln \frac{R_2 I_{S2}}{R_1 I_{S1}} = V_{BE2} + M V_T \end{aligned} \quad (4.263)$$

因此该电路是带隙基准源电路, 其中的 M 值由比例 R_2/R_3 , R_2/R_1 和 I_{S2}/I_{S1} 决定。

4.4.3.2 CMOS 技术的带隙基准源偏置电路

带隙基准源的偏置也可以利用 CMOS 技术中固有的寄生双极型器件实现。比如, 在 n 阱加工时, 衬底的 pnp 晶体管可以用来替代图 4.46c 的 npn 晶体管, 如图 4.47 所示。假设 CMOS 的运算放大器是无限放大倍数的, 但输入失调电压 V_{OS} 不为零 (运算放大器的输入失调电压定义为输出电压为零时所需的输出电压)。因为 CMOS 晶体管的阈值电压失配且单位电流的跨导很小, CMOS 工艺运放的输入失调电压通常要比双极型工艺的大。由于输入失调电压, R_3 上的压降为

$$V_{R3} = V_{EB1} - V_{EB2} + V_{OS} = \Delta V_{EB} + V_{OS} \quad (4.264)$$

这里使用了发射极 - 基极电压是因为在正向放大区 pnp 晶体管的基极 - 集电极电压是负的。那么电阻 R_2 上的电压降为

$$V_{R2} = \frac{R_2}{R_3} V_{R3} = \frac{R_2}{R_3} (V_{EB1} - V_{EB2} + V_{OS}) = \frac{R_2}{R_3} (\Delta V_{EB} + V_{OS}) \quad (4.265)$$

同时输出电压为¹⁸

$$V_{OUT} = V_{EB2} + V_{R3} + V_{R2} = V_{EB2} + \left(1 + \frac{R_2}{R_3}\right) (\Delta V_{EB} + V_{OS}) \quad (4.266)$$

因为基极 - 集电极电压差是和热电压成比例的, 当 $V_{OS} = 0$ 时, 比较式 (4.266) 和式 (4.249), 可以看到, 增益 M 和 $(1 + R_2/R_3)$ 成比例。整理式 (4.266) 得

$$V_{OUT} = V_{EB2} + \left(1 + \frac{R_2}{R_3}\right) (\Delta V_{EB}) + V_{OS(out)} \quad (4.267)$$

其中, 输出参考失调电压为

$$V_{OS(out)} = \left(1 + \frac{R_2}{R_3}\right) V_{OS} \quad (4.268)$$

式 (4.267) 和式 (4.268) 表明输出电压中包括了失调电压, 这个失调电压是输入参考失调电压的 $(1 + R_2/R_3)$ 倍。因此, 提供给基极 - 集电极电压差的增益也提供给了输入参考失调电压。

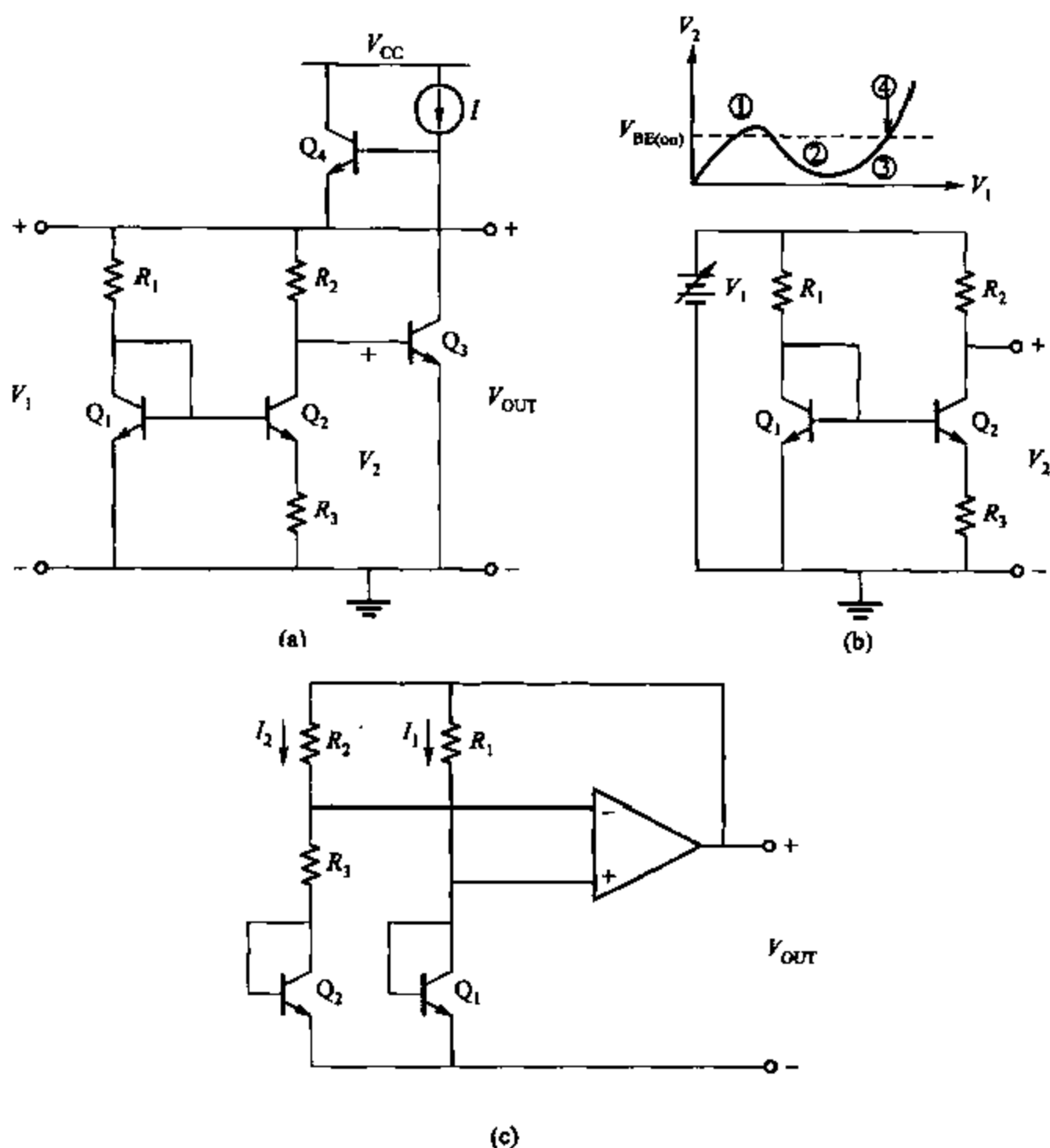


图 4.46 (a)Widlar 带隙基准源电路;(b)带隙基准源子电路;(c)改进的带隙基准源电路

假设该失调电压相对温度是独立的。为了使输出的 TC_F 为零,增益必须调整以使 V_{EB} 和 ΔV_{EB} 项被抵消。因为假设失调电压是和温度无关的,所以当输出满足期望值时,加上输出失调,这些项就抵消了,这时假设失调为零。如果假设偏移电压为零,在 $T = T_0$ 时调整这个增益使输出电压满足要求,式(4.267)表明,如果失调电压为正时增益会很小,如果失调电压为负时增益系数将会很大。因为该增益是和绝对温度成比例的,所以当这个失调电压为负,并且增益很小时,输出随温度的变化斜率将会是负的。同样,当失调电压为正、增益系数很大时,这个斜率将会是正的。

现在计算输出电压在 $T = T_0$ 时的对温度的斜率。在零失调电压和给定零失调电压情况下的期望值时,调整 R_2 和(或者) R_3 使式(4.267)的输出达到期望值而使 ΔV_{EB} 项的斜率抵消掉 V_{EB} 项的斜率。但当失调电压不为零但期望输出不变时,因子 $(1 + R_2/R_3)$ 在

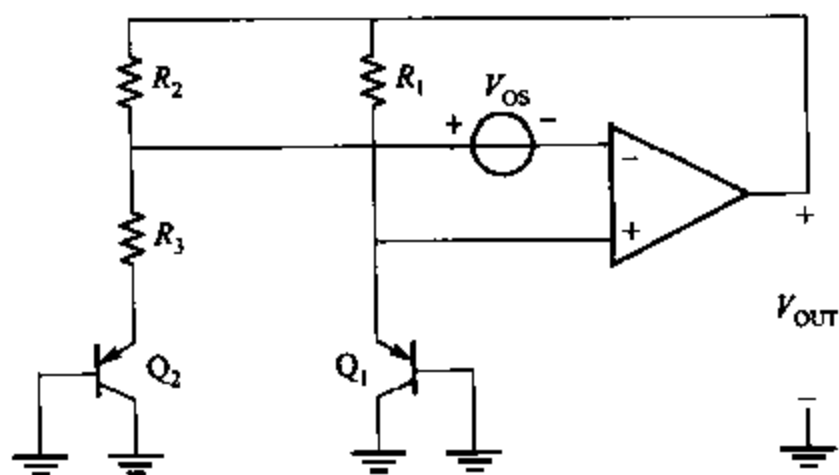


图 4.47 n 阱 CMOS 的带隙基准源电路

$-V_{OS(out)}/\Delta V_{EB}$ 调整之后和其理想值不相同。因为这一差值和 ΔV_{EB} 相乘参见式(4.267), 所以输出对温度的变化斜率就变成

$$\left. \frac{dV_{OUT}}{dT} \right|_{T=T_0} = - \left(\frac{V_{OS(out)}}{\Delta V_{EB}} \right) \frac{d\Delta V_{EB}}{dT} \quad (4.269)$$

由于 ΔV_{EB} 是和热电压 V_T 成正比的, 即

$$\Delta V_{EB} = HV_T \quad (4.270)$$

其中, H 是和温度无关的常量。将式(4.270)代入式(4.269)得

$$\left. \frac{dV_{OUT}}{dT} \right|_{T=T_0} = - \frac{V_{OS(out)}}{HV_T} \frac{HV_T}{T} \bigg|_{T=T_0} = - \frac{V_{OS(out)}}{T_0} \quad (4.271)$$

因此, 当增益调整到在某一温度使带隙输出电压达到期望的电压值时, 运算放大器的失调电压的漂移造成了输出电压的温度系数的漂移。事实上, 运算放大器的失调电压是造成温度系数非零的最主要因素。¹⁸ 等式(4.271)表明, 在这些情况下, $T = T_0$ 时的温度系数是和输出失调电压成正比的。此外, 式(4.268)表明输出失调电压等于 ΔV_{EB} 项中的输入失调电压的增益系数。因此, 减小增益就会减小输出的温度系数的漂移。因为在 TC_F 为零的温度 $T = T_0$ 时的基准源输出电压近似等于带隙电压, 因此, 可以通过增大 ΔV_{EB} 项来减小所需要的增益系数。

要增大 ΔV_{EB} 项, 如图 4.48 所示, 设计者一般通过使小的晶体管通过大的电流和使大的晶体管通过小的电流来实现。忽略基极电流, 有

$$\Delta V_{EB} = V_{EB1} - V_{EB2} = V_T \ln \left(\frac{I_1 I_{S2}}{I_2 I_{S1}} \right) \quad (4.272)$$

式(4.272)表明, 增大 I_1/I_2 和 I_{S2}/I_{S1} 的比例系数就可以增大 ΔV_{EB} 。在图 4.48 中, $I_1 > I_2$ 的关系是通过用大的图标表示 I_1 和用小的图标表示 I_2 来体现的。相似的, Q_2 的发射极面积比 Q_1 的发射极面积大, 使得 $I_{S2} > I_{S1}$, 这一关系通过使用大的图标表示 Q_2 和用小的图标表示 Q_1 来体现。²⁴ 实际上, 这些比例关系都各自被设定在 10 左右, 因此, 在室温下 $\Delta V_{EB} \approx$

120 mV。因为对数方程减小了其影响,但却限制了其实现。比如,如果该变量增大了 10 倍, ΔV_{EB} 则只增加 $V_T \ln 10 \approx 60$ mV。因此,为了增大 ΔV_{EB} 至 240 mV, $(I_1/I_2)(I_{S2}/I_{S1})$ 则必须要从 100 增至 10 000。另一方面,如果 Q_1 和形成 I_2 的晶体管在 $(I_1/I_2)(I_{S2}/I_{S1}) = 100$ 时是最小尺寸的器件,那么要求的截止区由最大尺寸的器件(Q_2 和形成 I_1 的晶体管)决定。因此, $(I_1/I_2)(I_{S2}/I_{S1})$ 从 100 增大至 10 000 将会使截止区扩大近 100 倍但 ΔV_{EB} 只增加一倍。

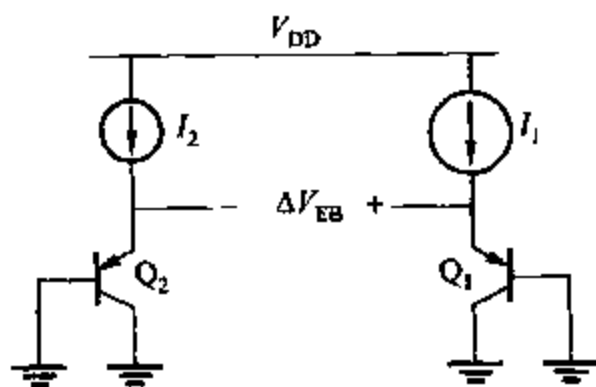


图 4.48 通过增加 I_1/I_2 和 I_{S2}/I_{S1} 来增大 ΔV_{EB} 的电路

为了突破这个限制,每一个可使 ΔV_{EB} 增大的级可以级联。²⁵ 比如,考虑图 4.49,其中两个射极跟随器被级联。这里

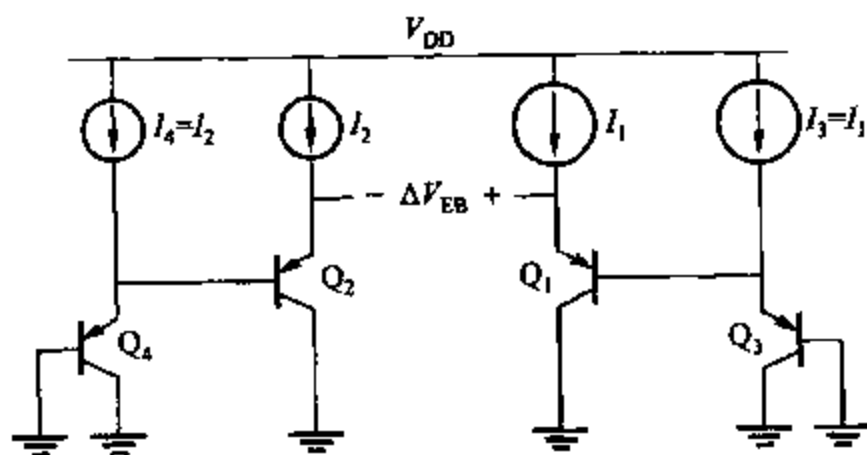


图 4.49 如果 $I_{S3} = I_{S1}$, $I_{S4} = I_{S2}$ 级联射极跟随器的电路的 ΔV_{EB} 倍增

$$\Delta V_{EB} = V_{EB1} - V_{EB4} + V_{EB1} - V_{EB2} \quad (4.273)$$

假设图 4.49 中的新器件和图 4.48 中相应的器件相同,则有 $I_3 = I_1$, $I_4 = I_2$, $I_{S3} = I_{S1}$ 和 $I_{S4} = I_{S2}$ 。忽略基极电流则

$$\Delta V_{EB} = 2(V_{EB1} - V_{EB2}) = 2V_T \ln \left(\frac{I_1 I_{S2}}{I_2 I_{S1}} \right) \quad (4.274)$$

因此,级联两个射极跟随器来使 ΔV_{EB} 倍增,同时芯片面积也只增加了一倍。

带隙基准源电路中的失调电压的影响也可以利用抵消失调的方法减小。参考文献 18 中列举了一个 CMOS 的失调抵消带隙基准源示例电路,该电路除了有曲率校正之外,还分

$$V_T \ln \frac{I_{C3}}{I_{S3}} + \frac{I_{C3}}{\alpha_{F3}} R_3 = V_B \quad (4.275)$$

对于 Q_4 有

$$V_T \ln \frac{I_{C4}}{I_{S4}} + \frac{I_{C4}}{\alpha_{F4}} R_4 = V_B \quad (4.276)$$

两式相减将有

$$V_T \ln \frac{I_{C3}}{I_{C4}} - V_T \ln \frac{I_{S3}}{I_{S4}} + \frac{I_{C3}}{\alpha_{F3}} R_3 - \frac{I_{C4}}{\alpha_{F4}} R_4 = 0 \quad (4.277)$$

现在定义以下平均参数和失配参数:

$$I_C = \frac{I_{C3} + I_{C4}}{2} \quad (4.278)$$

$$\Delta I_C = I_{C3} - I_{C4} \quad (4.279)$$

$$I_S = \frac{I_{S3} + I_{S4}}{2} \quad (4.280)$$

$$\Delta I_S = I_{S3} - I_{S4} \quad (4.281)$$

$$R = \frac{R_3 + R_4}{2} \quad (4.282)$$

$$\Delta R = R_3 - R_4 \quad (4.283)$$

$$\alpha_F = \frac{\alpha_{F3} + \alpha_{F4}}{2} \quad (4.284)$$

$$\Delta \alpha_F = \alpha_{F3} - \alpha_{F4} \quad (4.285)$$

通过转化这些关系可以将原始的一些参量用平均参数和失配参数表示。比如

$$I_{C3} = I_C + \frac{\Delta I_C}{2} \quad (4.286)$$

$$I_{C4} = I_C - \frac{\Delta I_C}{2} \quad (4.287)$$

将以上定义的平均参数和失配参数代入式(4.277)中。可得

$$\begin{aligned} & V_T \ln \left[\frac{I_C + \frac{\Delta I_C}{2}}{I_C - \frac{\Delta I_C}{2}} \right] - V_T \ln \left[\frac{I_S + \frac{\Delta I_S}{2}}{I_S - \frac{\Delta I_S}{2}} \right] \\ & + \frac{\left(I_C + \frac{\Delta I_C}{2} \right) \left(R + \frac{\Delta R}{2} \right)}{\alpha_F + \frac{\Delta \alpha_F}{2}} - \frac{\left(I_C - \frac{\Delta I_C}{2} \right) \left(R - \frac{\Delta R}{2} \right)}{\alpha_F - \frac{\Delta \alpha_F}{2}} = 0 \end{aligned} \quad (4.288)$$

其中的第一项可以写成

$$V_T \ln \left[\frac{I_C + \frac{\Delta I_C}{2}}{I_C - \frac{\Delta I_C}{2}} \right] = V_T \ln \left[\frac{1 + \frac{\Delta I_C}{2I_C}}{1 - \frac{\Delta I_C}{2I_C}} \right] \quad (4.289)$$

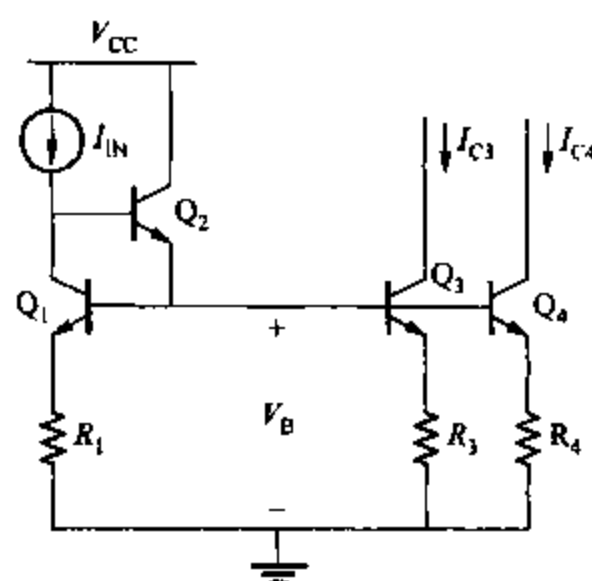


图 4.51 匹配的双极型电流源

如果 $\Delta I_c/2I_c \ll 1$, 这一项又可以写成

$$V_T \ln \left[\frac{1 + \frac{\Delta I_c}{2I_c}}{1 - \frac{\Delta I_c}{2I_c}} \right] = V_T \ln \left[\left(1 + \frac{\Delta I_c}{2I_c} \right) \left(1 + \frac{\Delta I_c}{2I_c} \right) \right] \quad (4.290)$$

$$\approx V_T \ln \left[1 + \frac{\Delta I_c}{I_c} + \left(\frac{\Delta I_c}{2I_c} \right)^2 \right] \quad (4.291)$$

$$\approx V_T \ln \left(1 + \frac{\Delta I_c}{I_c} \right) \quad (4.292)$$

其中, 平方项被忽略。对数方程可写成无限序列

$$\ln(1+x) = x - \frac{x^2}{2} + \dots \quad (4.293)$$

如果 $x \ll 1$, 有

$$\ln(1+x) \approx x \quad (4.294)$$

为了简化式(4.292), 当 $\Delta I_c/I_c \ll 1$, 假设 $x = \Delta I_c/I_c$, 那么

$$V_T \ln \left[\frac{I_c + \frac{\Delta I_c}{2}}{I_c - \frac{\Delta I_c}{2}} \right] \approx V_T \frac{\Delta I_c}{I_c} \quad (4.295)$$

对式(4.288)中的其他项用同样的近似方法, 可以得到

$$\frac{\Delta I_c}{I_c} \approx \left[\frac{1}{1 + \frac{g_m R}{\alpha_F}} \right] \frac{\Delta I_s}{I_s} + \frac{\frac{g_m R}{\alpha_F}}{1 + \frac{g_m R}{\alpha_F}} \left(-\frac{\Delta R}{R} + \frac{\Delta \alpha_F}{\alpha_F} \right) \quad (4.296)$$

考虑两种重要的极限情况。第一, 因为 $g_m = I_c/V_T$, 当 $g_m R \ll 1$, 发射极电阻上的压降比热电压小得多。在这种情况下, 式(4.296)中的第二项将会很小, 失配将主要由第一项中晶体管的 I_s 的失配决定。从几何学角度可以知道 I_s 一般相差 $\pm 10\% \sim \pm 1\%$ 。此外, 当 $g_m R \gg 1$, 发射极电阻上的压降将远远大于热电压。那么, 式(4.296)中的第一项将会很小, 失配将主要由电阻的失配和第二项中的晶体管的 α_F 的失配决定。从几何学角度, 电阻之间一般有 $\pm 2\% \sim \pm 0.1\%$ 的误差, npn 晶体管的 α_F 值一般相差 $\pm 0.1\%$ 。因此, 对 npn 电流源, 发射极电阻可以有效地改善电流的失配程度。另一方面, 对 pnp 电流源, 由于 β_F 更小, α_F 的失配更大, 一般在 $\pm 1\%$ 的范围内。因此, 在发射极反馈方面, npn 电流源要优于 pnp 电流源。

A.4.1.2 MOS 晶体管结构

通常在 MOS 模拟集成电路中常常要用到匹配电流源电路。影响不匹配的因素可以用图 4.52 中所示的电路进行计算。 M_1 和 M_2 两个晶体管在 W/L 比值和阈值电压方面会有不匹配。

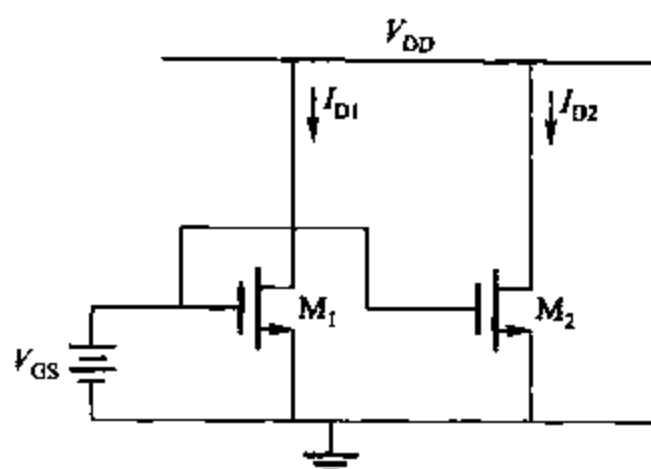


图 4.52 MOS 匹配电流源

漏极电流满足下式:

$$I_{D1} = \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L} \right)_1 (V_{GS} - V_{t1})^2 \quad (4.297)$$

$$I_{D2} = \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L} \right)_2 (V_{GS} - V_{t2})^2 \quad (4.298)$$

定义平均参数和失配参数, 可得

$$I_D = \frac{I_{D1} + I_{D2}}{2} \quad (4.299)$$

$$\Delta I_D = I_{D1} - I_{D2} \quad (4.300)$$

$$\frac{W}{L} = \frac{1}{2} \left[\left(\frac{W}{L} \right)_1 + \left(\frac{W}{L} \right)_2 \right] \quad (4.301)$$

$$\Delta \frac{W}{L} = \left(\frac{W}{L} \right)_1 - \left(\frac{W}{L} \right)_2 \quad (4.302)$$

$$V_t = \frac{V_{t1} + V_{t2}}{2} \quad (4.303)$$

$$\Delta V_t = V_{t1} - V_{t2} \quad (4.304)$$

将上述表达式代入式(4.297)和式(4.298)并忽略高次项, 得

$$\frac{\Delta I_D}{I_D} = \frac{\Delta \frac{W}{L}}{\frac{W}{L}} - \frac{\Delta V_t}{(V_{GS} - V_t)/2} \quad (4.305)$$

电流的失配包括两个部分。第一个是和器件几何尺寸有关的, 它部分地造成了和偏置点无关的电流的失配; 第二个是由阈值电压失配决定的, 并随着过驱动电压 $(V_{GS} - V_t)$ 的减小而增加。当过驱动电压减小时电流将会发生改变, 因为这样固定的阈值电压失配将会逐渐地成为晶体管栅极驱动总电压的主要部分, 并因此造成逐渐变大的电流失配。实际过程中, 这一检查是很重要的, 因为它影响到在集成电路中分配偏置信号时采用什么技术。

考虑图 4.53 中的单输入双输出的镜像电流源。首先, 假设 $R_{S1} = R_{S2} = 0$; 其次, 还假设输入电流是由一个理想的电路产生的。比如, 一个自偏置带隙基准源电路常常会使 I_{IN} 对电

源和温度变化不敏感。最后,假设每个输出电流都会被用来给集成电路(IC)中的模拟电路提供所期望的偏置。比如, M_2 和 M_3 都可以用来作为差分对的尾电流源。

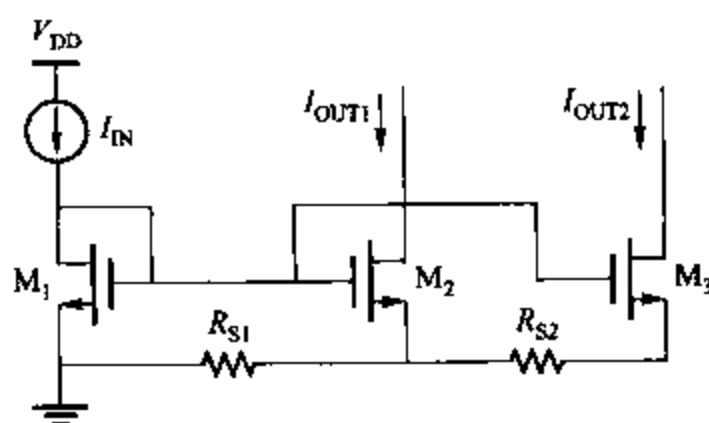


图 4.53 用于比较电压通路和电流通路的双输出镜像电流源电路

一种实现图 4.53 所示电路的方法是将 M_1 放在 IC 上接近输入电流 I_{IN} 的地方,同时 M_2 和 M_3 分别放在各自要偏置的电路附近。因为 M_1 的栅-源电压要连线到 M_2 和 M_3 ,这是参考了偏置信号的电压通路的例子。这种做法的一个优点是只连接 IC 两个管脚(M_1 的栅极和源极),可以产生任意多的输出电流。而且,在 MOS 工艺中由于 $\beta_F \rightarrow \infty$,输入到每个输出的镜像电流源的增益不会因为输出数量的增加而受影响。(在双极型工艺中, β_F 有限,输出增益的误差将随着输出数量的增加而增大,但是在 4.2.3 节中描述的 β helper 可以有助于减小这个误差。)

但是,电压通路有两个大的缺点。第一,在镜像电流源电路中的输入和输出晶体管被分开很大的距离(相对于 IC 的尺寸而言),这样会增大式(4.305)中的潜在的失配。特别是,阈值电压一般反映出明显的和横跨晶片元的距离有关的梯度关系。因此,当这些器件之间的物理距离很大时,可能会因为相同栅-源偏置的偏置电流源而产生很大的电流失配,特别是在过载电压很小时。电压通路的另一个缺点是输出电流对电源内阻 R_{S1} 和 R_{S2} 的变化很敏感。虽然期望上述这些电阻为零,但由于连接层和接触点上的不良传导,这些电阻实际上并不为零。因为 I_{OUT2} 流过 R_{S2} , $(I_{OUT1} + I_{OUT2})$ 流过 R_{S1} ,电阻非零导致当 $I_{OUT1} > 0$ 且 $I_{OUT2} > 0$ 时 $V_{GS2} < V_{GS1}$ 、 $V_{GS3} < V_{GS1}$ 。因此,即使是完全相同的晶体管,输出电流还是要比输入电流小,而且对这个输出电流偏差的估算可以通过类似分析 4.4.1 节的 Widlar 电流源的分析方法。关键的一点是, R_{S1} 和 R_{S2} 会随着输入和输出晶体管之间的距离的增加而增加,这将会增加输出电流的偏差。这两个缺点共同作用的结果是,输出电流通过电压通路从一个 IC 到另一个发生变化,这就增加了电路设计的难度,即使 I_{IN} 可以精确控制,要想使由 M_2 和 M_3 偏置的电路满足要求也是很困难的。

为了解决这些问题,可以采用图 4.53 所示的电路, $M_1 \sim M_3$ 靠得很近,输出电流 I_{OUT1} 和 I_{OUT2} 按要求布置在 IC 上。这可以作为偏置信号的电流通路的示例。和电压通路不同,电流通路通过减小图 4.53 中的镜像电流源的输入和输出晶体管之间的距离来减小不匹配的状况和电源内阻以解决上述问题。电流通路的一个缺点是它要求一个结点提供所有的偏

置信号。因此,当偏置输出的数目很大,为分配偏置电路电流所需要的模片面积比电压通路的要大。电流通路另一个缺点是它将会增大 M_2 和 M_3 漏极的寄生电容。如果这些结点连接到处理高频信号的电路,增加的寄生电容会降低电路的某些方面性能。例如,如果 M_2 和 M_3 作为差分对的尾电流源,那么对每个高频的差分对,增加的寄生电容将会增加共模增益并减小共模抑制比。

实际上,很多 IC 综合运用了电流通路和电压通路技术。例如,图 4.54 所给的电路有五个镜像电流,其中输入和输出电流仍参考图 4.53 中所示。如果图 4.54 中的电流通路总线分布在很大的外周内,那么 M_2 和 M_3 的漏极寄生电容将会很大。然而, M_7 和 M_{11} 漏极的寄生电容可通过对每个镜像电流源使用电压通路来减小。虽然图 4.54 中为简单的镜像电流源,但是实际上常常用级联的方法来减小由于有限的厄尔利电压产生的增益偏差。在 IC 中,一般是电流通路和电压通路结合使用,全局上用电流通路,局部用电压通路,区分全局和局部的标准是距离。当距离大到可能加剧失配和供给电阻时,通路是全局的。反之,则为局部的。一种有效的偏置分配技术是将整个 IC 分割成块,其中偏置电流在块之间的通路,偏置电压则限制在块的内部。

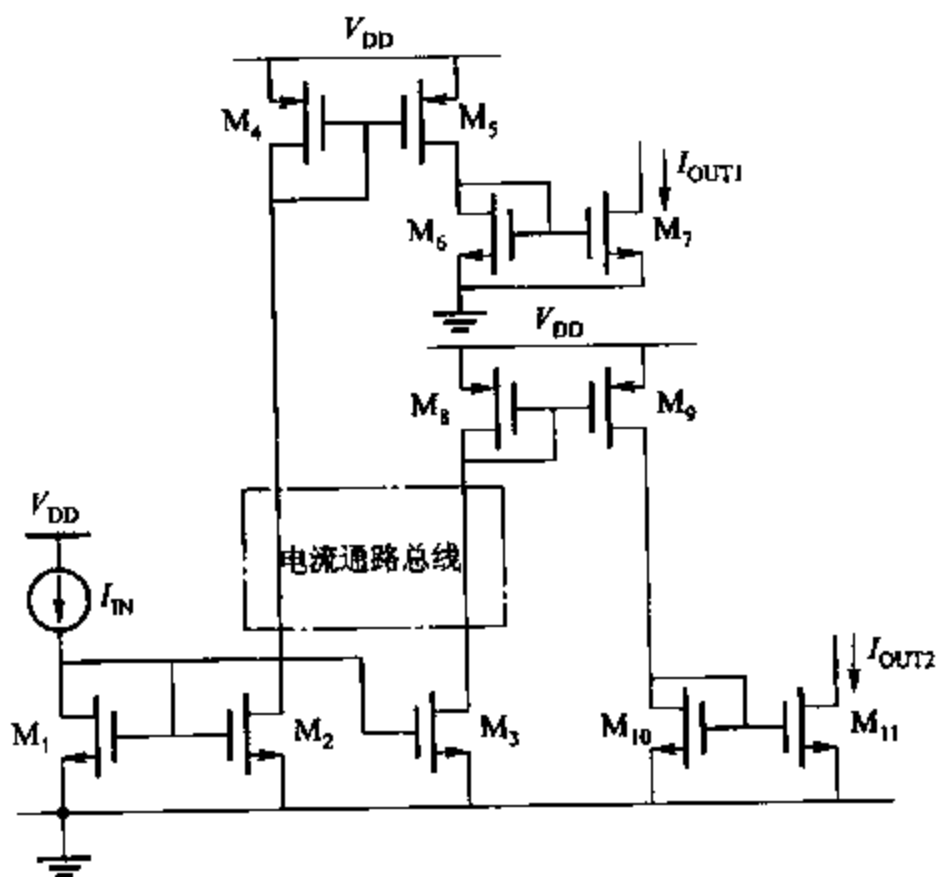


图 4.54 同时采用了电流通路和电压通路的偏置分配电路

A.4.2 有源负载差分对的输入失调电压

A.4.2.1 双极型晶体管结构

对第三章列举的阻性负载射耦对,其输入失调电压主要是由输入晶体管的 I_S 失配和集

电极的负载电阻失配引起的。在有源负载情况下,输入失调电压是由于负载元件的基极电流非零和输入晶体管和负载元件的失配引起的。参考图 4.25a,假设输出接地。如果完全匹配并且 T_3 和 T_4 的 $\beta_F \rightarrow \infty$,那么,有

$$V_{OUT} = V_{CC} - |V_{BE3}| \quad (4.306)$$

等式(4.306)成立是因为只有这样的输出电压使 $V_{CE3} = V_{CE4}$,其中当 $V_{I1} = V_{I2}$ 时由 KVL (基尔霍夫电压定律)得 $I_{C1} = I_{C2}$ 且 $V_{BE1} = V_{BE2}$ 。

使输出电压值满足式(4.306)的差分输入是输入参考失调电压。由于有源负载晶体管的 β_F 有限,并且/或者元件失配,这个失调电压通常不为零。在有源负载中,由 KVL(基尔霍夫电压定律)得

$$V_{BE3} = V_{BE4} \quad (4.307)$$

解式(1.58)得到 V_{BE3} 和 V_{BE4} 并代入(4.307)得

$$\frac{I_{C3}}{I_{S3}} \left[\frac{1}{1 + \frac{V_{CE3}}{V_A}} \right] = \frac{I_{C4}}{I_{S4}} \left[\frac{1}{1 + \frac{V_{CE4}}{V_A}} \right] \quad (4.308)$$

假设 T_3 和 T_4 的厄尔利电压相同。因为当满足式(4.306)时 $V_{CE3} = V_{CE4}$,式(4.308)可以简化成

$$I_{C4} = I_{C3} \left(\frac{I_{S4}}{I_{S3}} \right) \quad (4.309)$$

由于 $I_{C2} = -I_{C4}$,式(4.309)可写成

$$I_{C2} = -I_{C3} \left(\frac{I_{S4}}{I_{S3}} \right) \quad (4.310)$$

在 T_3 的集电极,由 KCL 有

$$I_{C1} = -I_{C3} \left(1 + \frac{2}{\beta_F} \right) \quad (4.311)$$

其中, β_F 是有源负载器件的集电极电流对基极电流的比值。在输入回路,由 KVL 得

$$V_{ID} = V_{I1} - V_{I2} = V_{BE1} - V_{BE2} \quad (4.312)$$

那么输入失调电压 V_{OS} 就等于当输出电压满足式(4.306)时的 V_{ID} 。如果 T_1 和 T_2 的厄尔利电压相同,解(1.58)得出 V_{BE1} 和 V_{BE2} 并代入式(4.312)得

$$V_{OS} = V_{ID} = V_T \ln \left(\frac{I_{C1} I_{S2}}{I_{C2} I_{S1}} \right) \quad (4.313)$$

当满足式(4.306)时有 $V_{CE1} = V_{CE2}$ 。将式(4.310)和(4.311)代入式(4.313)得到

$$V_{OS} = V_T \ln \left[\frac{I_{S3} I_{S2}}{I_{S4} I_{S1}} \left(1 + \frac{2}{\beta_F} \right) \right] \quad (4.314)$$

如果失配很小,上述表达式可近似为

$$V_{OS} \approx V_T \ln \left(\frac{\Delta I_{SP}}{I_{SP}} - \frac{\Delta I_{SN}}{I_{SN}} + \frac{2}{\beta_F} \right) \quad (4.315)$$

利用 3.5.6.3 节的方法,其中

$$\Delta I_{SP} = I_{S3} - I_{S4} \quad (4.316)$$

$$I_{SP} = \frac{I_{S3} + I_{S4}}{2} \quad (4.317)$$

$$\Delta I_{SN} = I_{S1} - I_{S2} \quad (4.318)$$

$$I_{SN} = \frac{I_{S1} + I_{S2}}{2} \quad (4.319)$$

在式(4.315)的推导过程中,假设匹配晶体管的厄尔利电压相同。实际上,厄尔利电压的失配也会产生失调电压,但是当晶体管由集电极-发射极电压偏置而远远小于厄尔利电压时,这个影响可以忽略。

假设最坏的情况下 $\Delta I_S/I_S$ 有 $\pm 5\%$ 的漂移, pnp 的电流增益为 20, 那么最坏情况下的失调电压为

$$V_{OS} \approx V_T(0.05 + 0.05 + 0.1) = 0.2 V_T \approx 5 \text{ mV} \quad (4.320)$$

为了得到最坏情况下的失调, 式(4.320)中已经加入了 pnp 和 npn 晶体管失配的项而不是像式(4.315)那样将它们相减, 因为实际上这些失配的项是随机的并且是彼此独立的。因此, 一般来说, 失配项的极性是未知的。比较式(4.320)和式(3.219)说明在相同情况下, 有源负载差分对的失调要远远大于电阻负载的。在这里由负载器件失配引起的失调可以像 A.4.1 节中描述的那样在 T_3 和 T_4 发射极串联插入电阻。要减小由 β_F 有限引入的失调, 负载中的镜像电流源可以采用如 4.2.3 节中的 β helper 晶体管。

A.4.2.2 MOS 晶体管结构

图 4.25b 中所示的 CMOS 有源负载差分对失调和双极型的情况相似。如果输入接地时有很好的匹配, 则

$$V_{OUT} = V_{DD} - |V_{GS3}| \quad (4.321)$$

等式(4.321)成立因为只有这样的输出电压使 $V_{DS3} = V_{DS4}$, 其中当 $V_{I1} = V_{I2}$ 时由 KVL 得 $I_1 = I_2$, $V_{GS1} = V_{GS2}$ 。

使输出电压满足式(4.321)的差分输入就是输入参考失调电压。由于器件失配, 失调通常不为零。

$$V_{ID} = V_{GS1} - V_{GS2} = V_{I1} + V_{ov1} - V_{I2} - V_{ov2} \quad (4.322)$$

假设 T_1 和 T_2 的厄尔利电压相同。由于当 $V_{ID} = V_{OS}$ 时 $V_{DS1} = V_{DS2} = V_{DSN}$, 对式(4.322)中的 V_{ov1} 和 V_{ov2} 使用式(1.165)得

$$V_{OS} = V_{I1} - V_{I2} + \sqrt{\frac{1}{1 + \lambda_N V_{DSN}}} \left[\sqrt{\frac{2I_1}{k'(W/L)_1}} - \sqrt{\frac{2I_2}{k'(W/L)_2}} \right] \quad (4.323)$$

如果失配很小, 上述表达式可近似写成

$$V_{OS} \approx V_{I1} - V_{I2} + \frac{V_{ovN}}{2} \left[\frac{\Delta I_N}{I_N} - \frac{\Delta(W/L)_N}{(W/L)_N} \right] \quad (4.324)$$

采用 3.5.6.7 节中描述的方法, 其中

$$V_{ovN} = \sqrt{\frac{2I_N}{k'(W/L)_N(1 + \lambda_N V_{DSN})}} \quad (4.325)$$

$$\Delta I_N = I_1 - I_2 \quad (4.326)$$

$$I_N = \frac{I_1 + I_2}{2} \quad (4.327)$$

$$\Delta(W/L)_N = (W/L)_1 - (W/L)_2 \quad (4.328)$$

$$(W/L)_N = \frac{(W/L)_1 + (W/L)_2}{2} \quad (4.329)$$

因为 $I_1 = -I_3$ 和 $I_2 = -I_4$, 所以

$$\frac{\Delta I_N}{I_N} = \frac{\Delta I_P}{I_P} \quad (4.330)$$

其中

$$\Delta I_P = I_3 - I_4 \quad (4.331)$$

$$I_P = \frac{I_3 + I_4}{2} \quad (4.332)$$

为确定 $\Delta I_P/I_P$, 如下所示, 对负载的栅-源环路使用 KVL 有

$$0 = V_{GS3} - V_{GS4} = V_{G3} + V_{ov3} - V_{G4} - V_{ov4} \quad (4.333)$$

因为 T_3 和 T_4 是 p 沟道晶体管, 它们的过载电压是负的。假设 T_3 和 T_4 的厄尔利电压相同。因为当 $V_{ID} = V_{OS}$ 时 $V_{DS3} = V_{DS4} = V_{DSP}$, 所以式(4.333)可以写成

$$0 = V_{G3} - V_{G4} - \sqrt{\frac{1}{1 + |\lambda_P V_{DSP}|}} \left[\sqrt{\frac{2|I_3|}{k'(W/L)_3}} - \sqrt{\frac{2|I_4|}{k'(W/L)_4}} \right] \quad (4.334)$$

在式(4.334)中, 使用了绝对值函数, 因此平方根函数一定是正值。如果失配很小, 那么上述表达式可以近似写成

$$\frac{\Delta I_P}{I_P} \approx \frac{V_{G3} - V_{G4}}{\frac{|V_{ovP}|}{2}} + \frac{\Delta(W/L)_P}{(W/L)_P} \quad (4.335)$$

采用 3.5.6.7 节所述的方法, 其中

$$|V_{ovP}| = \sqrt{\frac{2|I_P|}{k'(W/L)_P(1 + |\lambda_P V_{DSP}|)}} \quad (4.336)$$

$$\Delta(W/L)_P = (W/L)_3 - (W/L)_4 \quad (4.337)$$

$$(W/L)_P = \frac{(W/L)_3 + (W/L)_4}{2} \quad (4.338)$$

将式(4.335)和式(4.336)代入式(4.324)可得

$$V_{OS} \approx V_{G1} - V_{G2} + \frac{V_{ovN}}{2} \left[\frac{V_{G3} - V_{G4}}{\frac{|V_{ovP}|}{2}} + \frac{\Delta(W/L)_P}{(W/L)_P} - \frac{\Delta(W/L)_N}{(W/L)_N} \right] \quad (4.339)$$

比较式(4.339)和式(4.315)可知 MOS 有源负载差分对引入了衡量阈值电压失配的项, 但由于 MOS 晶体管的 $\beta_F \rightarrow \infty$ 所以没有说明有源负载 β 值有限的项。

示例

利用下表中给出的晶体管参数计算图 4.25b 所示电路的输入参考源失调电压。

晶体管	V_t (V)	W (μm)	L (μm)	k' ($\mu\text{A}/\text{V}^2$)
T_1	0.705	49	1	100
T_2	0.695	51	1	100
T_3	-0.698	103	1	50
T_4	-0.702	97	1	50

假设 $I_{\text{TAIL}} = 200 \mu\text{A}$, 而且 $\lambda_N V_{\text{DSN}} \ll 1, |\lambda_P V_{\text{DSP}}| \ll 1$ 。由式(4.327)和 KCL 得

$$I_N = \frac{I_1 + I_2}{2} = \frac{I_{\text{TAIL}}}{2} = 100 \mu\text{A} \quad (4.340)$$

将式(4.340)和式(4.329)代入式(4.325)得

$$V_{\text{ovN}} \approx \sqrt{\frac{200}{100(49+51)/2}} \text{ V} = 0.2 \text{ V} \quad (4.341)$$

相似的,由式(4.332)和 KCL 得

$$I_P = \frac{I_3 + I_4}{2} = -\frac{I_{\text{TAIL}}}{2} = -100 \mu\text{A} \quad (4.342)$$

将式(4.342)和式(4.338)代入式(4.336)得

$$|V_{\text{ovP}}| \approx \sqrt{\frac{200}{50(103+97)/2}} \text{ V} = 0.2 \text{ V} \quad (4.343)$$

将式(4.337)和式(4.328)代入式(4.339)得

$$\begin{aligned} V_{\text{OS}} &\approx 0.705 \text{ V} - 0.695 \text{ V} \\ &\quad + 0.1 \left[\frac{-0.698 + 0.702}{0.1} + \frac{103 - 97}{(103 + 97)/2} - \frac{49 - 51}{(49 + 51)/2} \right] \text{ V} \\ &\approx 0.01 \text{ V} + 0.1(0.04 + 0.06 + 0.04) \text{ V} = 0.024 \text{ V} \end{aligned} \quad (4.344)$$

在这个例子中,考虑了所有失配情况,因此将各种失配引入的失调量相加,得出了最坏情况下的失调。

习题

对习题中的双极型晶体管,除非另有说明则用图 2.30 和图 2.35 中给出的高压参数。对所有习题都假设 $r_b = 0$ 和 $r_e \rightarrow \infty$, 并且双极型晶体管都工作在正向放大区。除非另有具体说明,在计算偏置时忽略基极电流。

4.1 忽略基极电流不为零的影响,计算图 4.55 所示的双极型镜像电流源的输出电流和输出电阻。并计算当 $V_{\text{OUT}} = 1 \text{ V}, 5 \text{ V}$ 和 30 V 时的输出电流。和 SPICE 仿真结果相比较。

4.2 考虑基极电流非零的影响重新计算习题 4.1。

4.3 设计一个如图 4.4 所示类型的镜像电流源并满足以下要求:

(a) 晶体管 M_2 必须工作在线性区,输出 V_{OUT} 对地电压为 0.2 V 。

(b) 输出电流为 $50\ \mu\text{A}$ 。

(c) 输出电压改变 $1\ \text{V}$, 输出电流变化不超过 $1/100$ 。

选择 M_1 和 M_2 相同, 在满足要求的条件下尽量减小器件面积。这里的面积指全部栅极的面积 ($W \times L$)。假设 $X_d = 0$, 其他器件参数见表 2.4。

4.4 计算图 4.8 所示的双极型串接镜像电流源的输出电阻 R_o 的解析表达式。假设输入电流源非理想并且通过在 I_{IN} 并联电阻 R_1 的建立非理想模型。证明对大电阻 R_1 , 输出电阻为 $\beta_o r_o / 2$ 。计算当 $V_{CC} = 5\ \text{V}$, $I_{IN} = 0$ 且 $R_1 = 10\ \text{k}\Omega$ 时的 R_o , 并估算在 R_o 增加到充分大时的 V_{OUT} 。利用 SPICE 验证计算结果并使 β_F 减小 50% 以分析对 β_F 的敏感度, 最后检验 I_{OUT} 。用 SPICE 绘出大信号的 $I_{OUT} - V_{OUT}$ 特征曲线图。

4.5 计算图 4.9 所示电路的输出电阻, 假设 $I_{IN} = 100\ \mu\text{A}$, 器件以 $100\ \mu\text{m}/1\ \mu\text{m}$ 的大小画出。用表 2.4 所定义的参数, 假设对所有的器件 $X_d = 0$ 。而且, 为简单起见忽略衬底效应。将计算结果和 SPICE 仿真结果相比较, 并用 SPICE 绘出 V_{OUT} 从 0 变化至 $3\ \text{V}$ 的 $I_{OUT} - V_{OUT}$ 特征曲线图。

4.6 假设 $V_{OUT} = 2\ \text{V}$ 和 $3\ \text{V}$, 利用 1.9 节例题中的数据, 包括衬底漏电流的影响, 计算习题 4.5 图所示电路的输出电阻。

4.7 设计满足习题 4.3 的图 4.11b 所示的要求电路, 但对输出电阻要求当输出电压有 $1\ \text{V}$ 的变化时, 输出电流变化范围小于 $0.02/100$ 。为简单起见, 忽略衬底效应。除 M_4 外所有器件相同。用 SPICE 验证设计并绘出 V_{OUT} 从 0 变化至 $3\ \text{V}$ 的 $I_{OUT} - V_{OUT}$ 特征曲线图。

4.8 对图 4.56 所示的电路, 假设 $(W/L)_8 = (W/L)_7$ 。忽略衬底效应, 确定 $V_{T86} = V_{D87} = V_{T88}$ 时的 $(W/L)_6$ 和 $(W/L)_9$ 。画出双串接镜像电流源电路, 并用图 4.56 所示的电路为输出支路的串接器件提供偏置。对这个镜像电流源电路, 计算输出电阻, 当输出支路的三个晶体管都工作在线性区时的最小输出电压, 输入支路所有器件上的总电压和系统的增益误差。

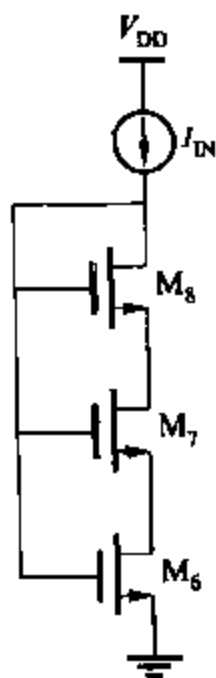


图 4.56 习题 4.8 的图

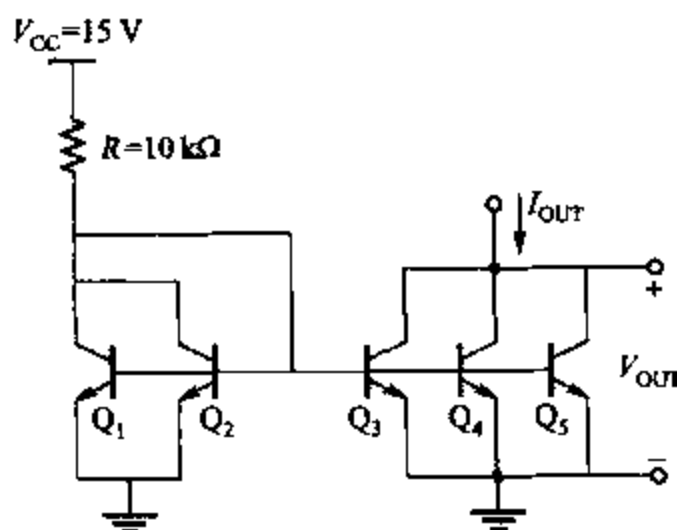


图 4.55 习题 4.1 的电路图

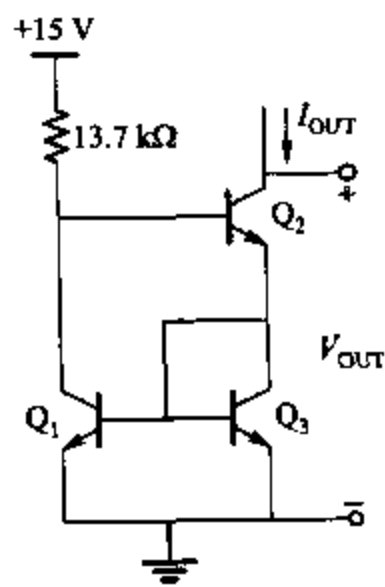


图 4.57 习题 4.9 的图

4.9 计算图 4.57 所示的威尔逊镜像电流源电路的输出电阻。计算 V_{OUT} 变化 5 V 情况下的 I_{OUT} 变化百分比。用完整模型做 SPICE 仿真对结果进行验证。利用 SPICE 验证计算并使 β_F 减小 50 % 以分析对 β_F 的敏感度并检验 I_{OUT} , 并用 SPICE 绘出 V_{OUT} 从 0 变化到 15 V 时 $I_{OUT} - V_{OUT}$ 特征曲线图。

4.10 假设 $V_{DD} = 3$ V 并且所有的晶体管工作在放大区, 计算图 4.16b 所示有源负载共源放大器, 在 I_{REF} 分别为 1 mA, 100 μ A, 1 μ A 时的小信号电压增益。假设每个晶体管的尺寸为 $W = 100$ μ m, $L = 1$ μ m。假设 $X_d = 0$, 其他参数见表 2.4。

(a) 首先, 假设所有情况下晶体管工作在强反型区。

(b) 假设如式(1.255)所示当过驱动电压小于 $2nV_T$ 时晶体管工作在弱反型区。利用式(1.253)考虑弱反型, 并且 $n = 1.5$, 计算 M_1 的跨导。

(c) SPICE 仿真验证(a)和(b)的计算结果。

4.11 考虑衬底效应和沟道长度调制效应, 并假设 $V_{DD} = 3$ V 而且直流输入产生的直流输出为 1 V, 并且 M_1 的尺寸为 $W = 10$ μ m, $L = 1$ μ m。 M_2 的尺寸为 $W = 10$ μ m, $L = 1$ μ m, 且 $V_{t0} = -1$ V。计算图 4.20 所示带耗尽型负载的共源放大器的小信号增益。对两个晶体管, 假设 $X_d = 0$, 两个晶体管的其他参数见表 2.4。

4.12 计算图 4.58 所示电路的无负载电压增益 v_o/v_i 和输出电阻。用 SPICE 仿真验证并用 SPICE 画出当 $V_{SUP} = 2.5$ V 时的大信号 $V_O - V_I$ 传输特性曲线。并用 SPICE 计算当电流源输出电阻为 1 M Ω 时的 CMRR(共模抑制比)。

4.13 假设在 Q_3 和 Q_4 的发射极分别串联一个 2 k Ω 电阻重复习题 4.12 的计算。

4.14 将 Q_1 和 Q_2 替换成 n 沟道 MOS 晶体管 M_1 和 M_2 。同时将 Q_3 和 Q_4 替换成 p 沟道 MOS 晶体管 M_3 和 M_4 , 并假设 $W_n = 50$ μ m, $W_p = 100$ μ m, 重复习题 4.12 的计算。对所有的晶体管, 假设 $L_{drawn} = 1$ μ m, $X_d = 0$ 。其他参数见表 2.3。

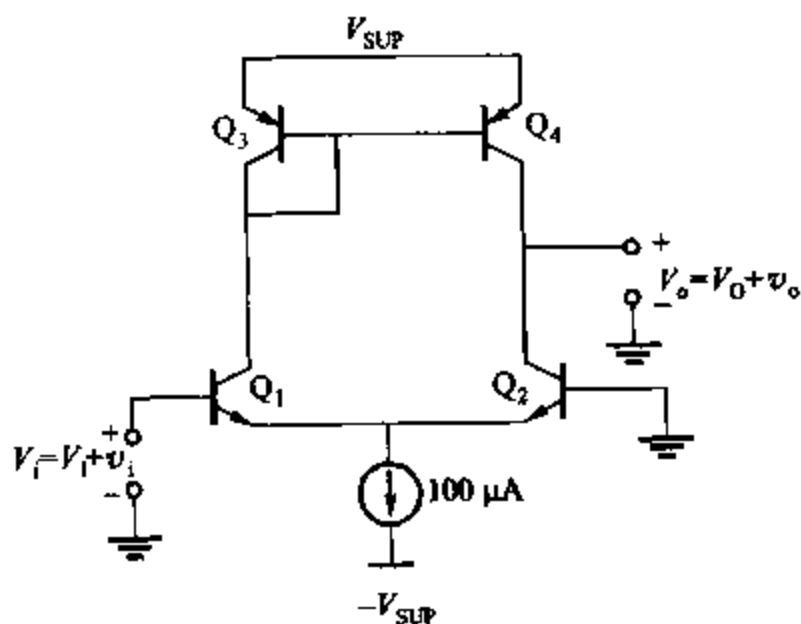


图 4.58 习题 4.12 的图

4.15 忽略衬底效应, 并假设在 M_3 和 M_4 的源极串联一个 2 k Ω 的电阻, 重复习题 4.14 的计算。

4.16 忽略 r_{ps} 计算图 4.59 所示电路的无负载电压增益 v_o/v_i 和输出电阻。用 SPICE 仿真验证计算结果并绘出当 $V_{SUP} = 2.5$ V 时的大信号 $V_O - V_I$ 转移特性曲线。

4.17 将 npn 和 pnp 晶体管分别替换成 n 沟道和 p 沟道 MOS 晶体管, 假设 $W_n = 50$ μ m, $W_p =$

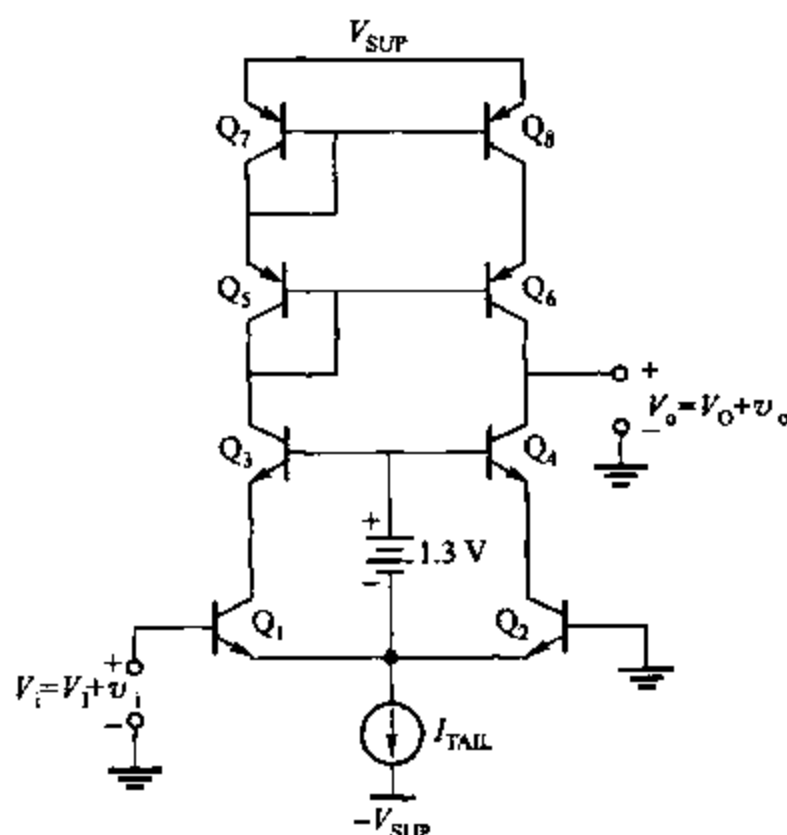


图 4.59 习题 4.16 的有源负载串接放大器电路图

100 μm 。对所有的晶体管,假设 $L_{\text{drawn}} = 1 \mu\text{m}$ 且 $X_d = 0$,并假设 $I_{\text{TAIL}} = 100 \mu\text{A}$ 。同时忽略衬底效应。重复习题 4.16 的计算。其他参数见表 2.3。

4.18 如图 4.29b,计算有非零失配镜像电流源负载的源耦对的 $G_m[\text{dm}]$,并证明该结果可由式 (4.184)近似得出。已知下列的数据计算 $G_m[\text{dm}]$ 。

	T_1	T_2	T_3	T_4	T_5
$g_m(\text{mA/V})$	1.05	0.95	1.1	0.9	2.0
$r_o(\text{M}\Omega)$	0.95	1.05	1.0	1.0	0.5

用 SPICE 仿真结果验证计算结果,并和不计失配的计算结果相比较。

4.19 尽管有镜像电流源负载的一个差分对的 $G_m[\text{cm}]$ 可以由有失配的小信号模型精确计算,但由于失配项相互影响而使计算很复杂,而且结果很难理解。实际上,和相应的平均值相比,失配项是很小的,而且失配项之间的相互影响也常常可忽略。按照下面的提示步骤,计算考虑失配影响的 $G_m[\text{cm}]$ 近似值。

(a) 导出式(4.165)中的 i_2/v_{ic} 的比例并证明当 $\epsilon_d \ll 2$, $g_{m2}r_{o2} \gg 1$ 和 $2g_{m2}r_{tail} \gg 1$ 时这一比例近似等于式(4.185)所示的 $1/2r_{tail}$ 。

(b) 用式(4.173)计算完全匹配时的 ϵ_d ,其中 ϵ_d 代表共模输入的差分对的增益误差,其定义见式(4.161)。

(c) 计算当 $1/g_{m3} = 0$ 且唯一的失配是 $g_{m1} \neq g_{m2}$ 时的 ϵ_d 。

(d) 计算当 $1/g_{m3} = 0$ 且唯一的失配是 $r_{o1} \neq r_{o2}$ 时的 ϵ_d 。

(e) 将(b)、(c)、(d)三步计算结果相加估算总的 ϵ_d ,证明计算结果当 $g_{m3}r_{o(\text{up})} \gg 1$ 时满足式(4.186)。

(f) 计算式(4.133)中定义的 ϵ_m ,它代表了镜像电流源的增益误差。证明结果满足式(4.187)。

(g) 利用式(4.185)计算 $G_m[\text{cm}]$ 并用习题 4.18 所给参数计算 CMRR(共模抑制比)。用 SPICE 仿真验证计算结果。并和不计失配的计算结果相比较。

4.20 图 4.31a 所示电路用同样的晶体管, 并且 $V_{CC} = 30\text{ V}$, $R_1 = 30\text{ k}\Omega$, 用 npn 晶体管设计 Widlar 电流源, 产生 $5\text{ }\mu\text{A}$ 的输出电流。并计算输出电阻。

4.21 图 4.31a 所示的 Widlar 电流源, 要产生确定的输出电流, 必须选定两个电阻。其中 R_1 决定 I_{IN} , 发射极电阻 R_2 决定 I_{OUT} 。已知电源电压 V_{CC} , 期望输出电流 I_{OUT} , 计算两个电阻的阻值使得电路中总的阻值最小。要求用 V_{CC} 和 I_{OUT} 写出 R_1 和 R_2 的阻值表达式。对习题 4.20, 这些表达式的结果是多少, 这些阻值是否实际?

4.22 计算图 4.60 所示电路的输出电流。

4.23 利用图 4.31b 设计一个 MOS 管 Widlar 电流源电路, 使在 $V_{IN} = 3\text{ V}$ 的条件下满足:

(a) 输入电流为 $100\text{ }\mu\text{A}$, 输出电流为 $10\text{ }\mu\text{A}$ 。

(b) $V_{ov1} = 0.2\text{ V}$ 。

(c) 如果晶体管 M_2 漏极对地的电压至少为 0.2 V 时 M_2 一定工作在放大区。

(d) 输出电阻为 $50\text{ M}\Omega$ 。

忽略衬底效应并假设 $L_{draw} = 1\text{ }\mu\text{m}$, $X_d = L_d = 0$, 其他参数见表 2.4。

4.24 设计图 4.34 所示的 MOS 峰值电流源, 使 $I_{OUT} = 0.1\text{ }\mu\text{A}$ 。

(a) 首先, 假设 $I_{IN} = 1\text{ }\mu\text{A}$, 计算 R 值。

(b) 然后, 假设 $R = 10\text{ k}\Omega$, 计算 I_{IN} 。

在两种情况下, 假设两个晶体管相同并工作在弱反型区, 并且 $I_t = 0.1\text{ }\mu\text{A}$, $n = 1.5$ 。此外, 计算两种情况下的最小 (W/L) 值, 假设如图 1.45 所示当 $V_{GS} - V_t < 0$ 时晶体管工作在弱反型区。

4.25 计算图 4.61 所示电路的输出电流和输出电阻。

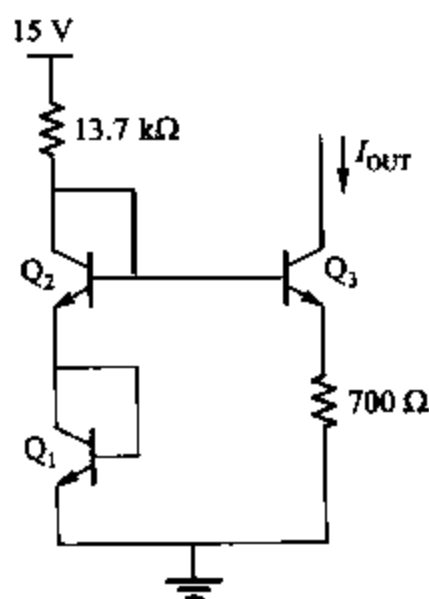


图 4.61 习题 4.25 的图

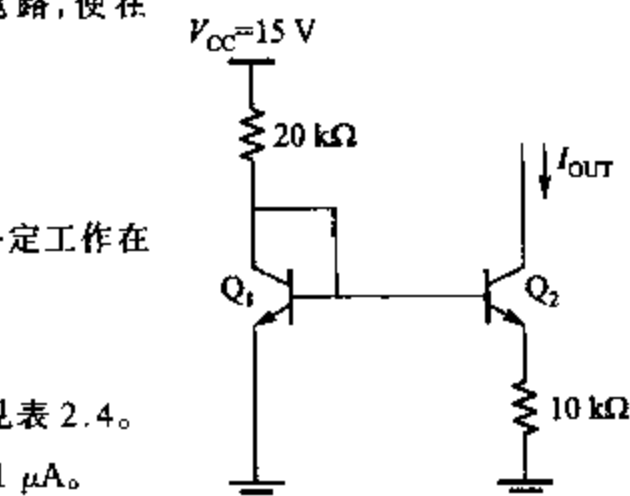


图 4.60 习题 4.22 的图

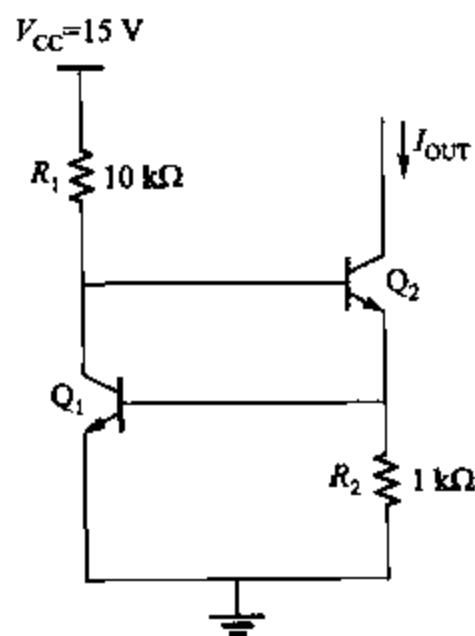


图 4.62 习题 4.26 的电路图

4.26 计算图 4.62 所示电路输出电流对电压电源的灵敏度 S , 即 $S = (V_{CC}/I_{OUT})(\partial I_{OUT}/\partial V_{CC})$ 。

4.27 在分析如图 4.44 的假设参考源电路中, 假设电流 I_t 和温度成正比。并假设该电流由分布电阻产生, 因此, TC_F 是 $-1500\text{ ppm}/^\circ\text{C}$ 。忽略基极电流, 计算要求 25°C 时 TC_F 为零时的输出电压 V_{OUT} 。

4.28 图 4.46c 所示的电路作带隙基准源电路。如果运算放大器是理想的, 其输入差分电压和电流都

为零,且

$$V_{OUT} = (V_{BE1} + I_1 R_1) = (V_{BE1} + I_2 R_2)$$

$$V_{OUT} = V_{BE1} + R_2 \left(\frac{V_{BE1} - V_{BE2}}{R_3} \right)$$

假设 I_1 限定为 $200 \mu\text{A}$, 并且限定 $(V_{BE1} - V_{BE2})$ 为 100 mV 。忽略基极电流, 计算 R_1 , R_2 和 R_3 , 使得输出 V_{OUT} 在 25°C 时的 TC_F 为零。

4.29 设计图 4.47 中的带隙基准源电路以满足 25°C 时 TC_F 为零。由于加工方法不同, 晶体管的饱和电流 I_S 一般是标称值的两倍。假设 $V_{OS} = 0$, 并忽略基极电流, 计算 25°C 时的 dV_{OUT}/dT 。

4.30 用 SPICE 仿真习题 4.29 所示的带隙基准源电路。假设放大器只是一个压控电压源, 开环增益为 10 000 而且电阻值相对温度独立。同时假设 $I_{S1} = 1.25 \times 10^{-17} \text{ A}$, $I_{S2} = 1 \times 10^{-16} \text{ A}$ 。在 SPICE 下, 调整放大器的闭环增益(通过选择合适的电阻)以使输出在 25°C 时的 TC_F 为零。那么 V_{OUT} 的期望值为多少? I_{S1} 和 I_{S2} 增倍, 用 SPICE 调整增益, 使输出在 25°C 时的 V_{OUT} 等于期望值, 并在新条件下计算 25°C 时的 dV_{OUT}/dT 。和习题 4.29 的计算结果相比较。

4.31 假设 I_S , R_2 和 R_1 值为标称值, 但 R_3 减小 $1/100$, 并且假设 $V_{BE(uu)} = 0.6 \text{ V}$, 重复习题 4.29 的计算。

4.32 图 4.63 所示为一个带隙基准源电路。假设 $\beta_F \rightarrow \infty$, $V_A \rightarrow \infty$, $I_{S1} = 1 \times 10^{-15} \text{ A}$ 并且 $I_{S2} = 8 \times 10^{-15} \text{ A}$, 除了失调电压 V_{OS} 非零外运算放大器理想。如图 4.63, V_{OS} 用一个电压源做模型。

(a) 假定调整 R_2 使输出 V_{OUT} 达到目标电压, 在该目标电压处当温度 $T = 25^\circ\text{C}$ 和 $V_{OS} = 0$ 时有 $dV_{OUT}/dT = 0$ 。计算当 $V_{OS} = 30 \text{ mV}$ 时在 $T = 25^\circ\text{C}$ 时的 dV_{OUT}/dT 。

(b) 在(a)的条件下, $dV_{OUT}/dT = 0$ 为正还是负, 并解释。

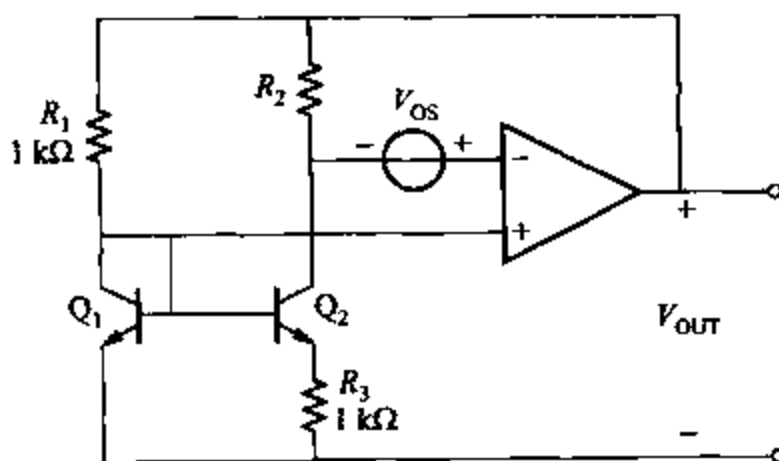


图 4.63 习题 4.32 的带隙基准源电路图

4.33 对图 4.64 所示的电路, 计算满足温度 25°C 时, $dV_{GS}/dT = 0$ 的 W/L 值。假设阈值电压每升高 1°C 降低 2 mV , 而且和温度有关的迁移率由式(4.243)给出, 其中 $n = 1.5$ 。 25°C 时其他的参数见表 2.4, 并假设 $I = 200 \mu\text{A}$ 。

4.34 计算图 4.65 所示的可由 R , $\mu_n C_{ox}$, $(W/L)_1$ 和 $(W/L)_2$ 的方程表示的电路的偏置电流。说明偏置电流随温度变化的特性。为简单起见, 假设 $X_d = L_d = 0$ 并忽略衬底效应, 而且假设 M_3 和 M_4 相同。

4.35 图 4.65 所示的电路产生一个电源敏感的输出电流。计算低频时 I_{BIAS} 小信号变化对 V_{DD} 小信号变化的比例。计算时忽略衬底效应但考虑晶体管的有限电阻 r_o 。

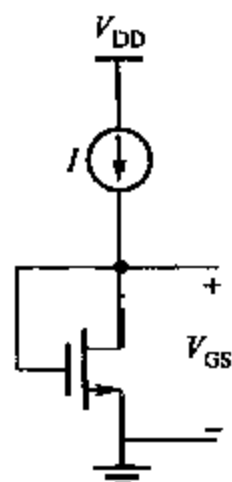


图 4.64 习题 4.33 的图

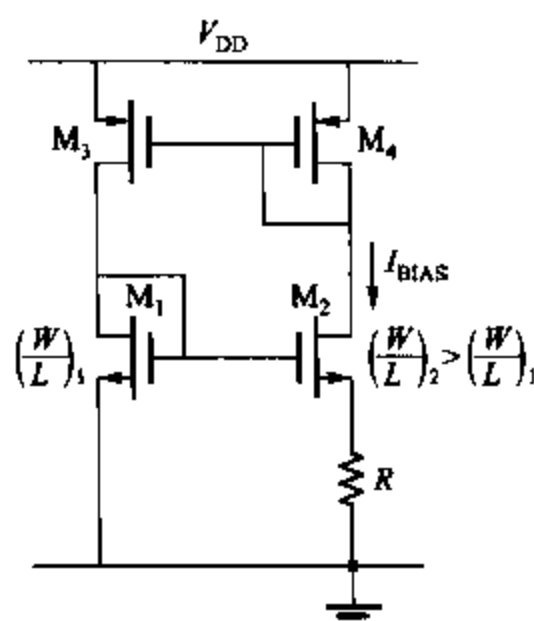


图 4.65 习题 4.34 的图

4.36 假设 $X_d = 0, L_d = 0$, 并忽略基极电流和衬底效应, 计算图 4.66 所示的偏置电路的偏置电流。说明偏置电流随温度变化的特性。假设沟道迁移率和氧化物厚度见表 2.4。用表 2.4 所示的全模型 SPICE 仿真验证计算结果, 并用 SPICE 计算 I_{BIAS} 对电源电压的敏感度。

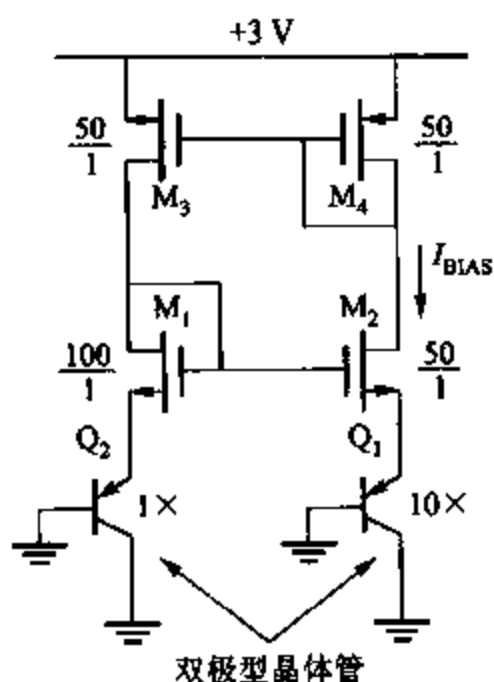


图 4.66 习题 4.36 的电路图

4.37 一个双极型电流源对可产生有 1% 失配的输出电流。如果电阻显示最坏情况下有 $\pm 0.5\%$ 的失配, 而且晶体管的 V_{BE} 最坏情况下有 2 mV 的失配, 那么发射极电阻上将有多少的压降。

4.38 假设在最坏情况下, 晶体管的 I_s 有 $\pm 5\%$ 的失配, 且对 pnp 晶体管 $\beta_F = 15$, 并假设直流输出电压为 $V_{\text{SUP}} - |V_{\text{BE(on)}}|$, 计算图 4.58 所示的电路最坏情况下的输入失调电压。

4.39 假设在 Q_3 和 Q_4 的发射极串联接入 $2\text{k}\Omega$ 的电阻, 并假设最坏情况下电阻有 $\pm 0.5\%$ 的失配且 pnp 的 β_F 有 $\pm 10\%$ 的失配, 重复习题 4.38 的计算。

4.40 和习题 4.14 一样将双极型晶体管用 MOS 晶体管替代, 假设最坏情况下晶体管的 W/L 有

$\pm 5\%$ 的失配,且 V_t 有 $\pm 10\text{ mV}$ 的失配。并且假设对地直流输出电压为 $V_{\text{SUP}} - |V_{\text{GS3}}|$, 同时,还假设 $(W/L)_1 + (W/L)_2 = 20$, $(W/L)_3 + (W/L)_4 = 60$, 跨导可由表 2.4 计算出。重复习题 4.38 的计算。

参考文献

1. Y. P. Tsividis. *Operation and Modeling of the MOS Transistor*, McGraw Hill, New York, 1987, p. 139.
2. J.-B. Shyu, G. C. Temes, and F. Krummenacher. "Random Error Effects in Matched MOS Capacitors and Current Sources," *IEEE Journal of Solid-State Circuits*, Vol. SC-19, pp. 948 ~ 955, December 1984.
3. K. R. Lakshminikumar, R. A. Hadaway, and M. A. Copeland. "Characterisation and Modeling of Mismatch in MOS Transistors for Precision Analog Design", *IEEE Journal of Solid-State Circuits*, Vol. SC-21, pp. 1057 ~ 1066, December 1986.
4. M. J. M. Pelgrom, A. C. J. Duinmaijer, and A. P. G. Welbers. "Matching Properties of MOS Transistors," *IEEE Journal of Solid-State Circuits*, Vol. 24, pp. 1433 ~ 1440, October 1989.
5. W.-J. Hsu, B. J. Sheu, and S. M. Gowda. "Design of Reliable VLSI Circuits Using Simulation Techniques," *IEEE Journal of Solid-State Circuits*, Vol. 26, pp. 452 ~ 457, March 1991.
6. T. C. Choi, R. T. Kaneshiro, R. W. Brodersen, P. R. Gray, W. B. Jett, and M. Wilcox. "High-Frequency CMOS Switched-Capacitor Filters for Communications Application," *IEEE Journal of Solid-State Circuits*, Vol. SC-18, pp. 652 ~ 664, December 1983.
7. N. S. Ssooch. "MOS Cascode Current Mirror," U. S. Patent 4, 550, 284, October 1985.
8. G. R. Wilson. "A Monolithic Junction FET-*n-p-n* Operational Amplifier," *IEEE Journal of Solid-State Circuits*, Vol. SC-3, pp. 341 ~ 348, December 1968.
9. D. Fullagar. "A New-Performance Monolithic Operational Amplifier," *Fairchild Semiconductor Applications Brief*. May 1968.
10. R. J. Widlar. "Some Circuit Design Techniques for Linear Integrated Circuits," *IEEE Transactions on Circuit Theory*, Vol. CT-12, pp. 586 ~ 590, December 1965.
11. R. J. Widlar. "Design Techniques for Monolithic Operational Amplifiers," *IEEE Journal of Solid-State Circuits*, Vol. SC-4, pp. 184 ~ 191, August 1969.
12. M. Nagata. "Constant Current Circuits," Japanese Patent 628,228, May 6, 1971.
13. T. M. Frederiksen. "Constant Current Source," U. S. Patent 3,659,121, April 25, 1972.
14. C. Y. Kwok. "Low-Voltage Peaking Complementary Current Generator," *IEEE Journal of Solid-State Circuits*, Vol. SC-20, pp. 816 ~ 818, June 1985.
15. R. J. Widlar. "New Developments in IC Voltage Regulators," *IEEE Journal of Solid-State Circuits*, Vol. SC-6, pp. 2 ~ 7, February 1971.
16. C. R. Palmer and R. C. Dobkin. "A Curvature Corrected Micropower Voltage Reference," *International Solid-State Circuits Conference*, pp. 58 ~ 59, February 1981.
17. G. C. M. Meijer, P. C. Schmale, and K. van Zalinge. "A New Curvature-Corrected Bandgap Reference," *IEEE Journal of Solid-State Circuits*, Vol. SC-17, pp. 1139 ~ 1143, December 1982.
18. B.-S. Song and P. R. Gray. "A Precision Curvature-Compensated CMOS Bandgap Reference," *IEEE Journal of Solid-State Circuits*, Vol. SC-18, pp. 634 ~ 643, December 1983.
19. A. P. Brokaw. "A Simple Three-Terminal IC Bandgap Reference," *IEEE Journal of Solid-State Circuits*, Vol. SC-9, pp. 388 ~ 393, December 1974.
20. Y. P. Tsividis. "Accurate Analysis of Temperature Effects in I_C - V_{BE} Characteristics with Appli-

cation to Bandgap Reference Sources," *IEEE Journal of Solid-State Circuits*, Vol. SC-15, pp. 1076 ~ 1084, December 1980.

21. A. P. Brokaw. Private Communication.

22. R. A. Pease. Private Communication.

23. K. E. Kuijk. "A Precision Reference Voltage Source," *IEEE Journal of Solid-State Circuits*, Vol.

SC-8, pp. 222 ~ 226, June 1973.

24. T. R. Viswanathan. Private Communication.

25. E. A. Vittoz and O. Neyroud. "A Low Voltage CMOS Bandgap Reference," *IEEE Journal of Solid-State Circuits*, Vol. SC-14, pp. 573 ~ 577, June 1979.

第五章 输出级

5.1 引言

一个放大器的输出级必须满足很多的特殊要求。其中最重要的要求之一是在可接受的信号失真的条件下为负载提供指定的信号功率。输出级设计的另一个常用目的是减小输出阻抗以使电压增益不受相关负载阻抗的影响。一个设计优良的输出级除了达到上述功能规格之外同时消耗很少的静态功率,而且不能成为放大器频率响应的主要限制因素。

在本章,将会考虑很多满足上述要求的输出级的结构。最简单的输出级结构是射极跟随器(简称射随器)和源极跟随器。同时介绍了更多的运用多输出元件的复杂输出级,并比较了功率输出的能力和效率。

因为出众的电流特性,在输出级电路中双极型晶体管是推荐使用的器件。尽管寄生双极型晶体管可以用在一些 CMOS 输出级,但 CMOS 技术的输出级常常不用双极型晶体管,这也将在本章进行讨论。

5.2 射随器作为输出级

一个射随器输出级如图 5.1 所示。虽然实际上偏置源并不相同,但是为了简化分析假设正向的和反向的偏置源有和 V_{CC} 相等的幅度。当输出电压 V_o 为 0,输出电流 I_o 也为 0。射随器输出元件 Q_1 偏置在由电流源 Q_2 静态电流 I_Q 上。输出级由电压 V_i 驱动,它在 $V_o = 0$ V 时的静态直流电压为 V_{be1} 。用于偏置的元件 R_1, R_3 和 Q_3 也可以用于电路中其他级的偏置。因为 Q_2 中的静态电流 I_Q 通常比参考源电流 I_R 大,因此通常使电阻 R_2 小于 R_1 以调节这个差值。

这个电路的拓扑也可以用于 CMOS 技术中,用一个 MOS 电流源来起偏置作用,并且在标准的 CMOS 加工过程中也可以得到寄生双极型晶体管射随器。因为当很大的电流流入衬底时会引起第二章介绍的 pnpn 的闩锁效应,所以,这一结构在低掺杂衬底的 CMOS 工艺时要谨慎使用。大的衬底上射随器附近的抽头是必要的,目的是收

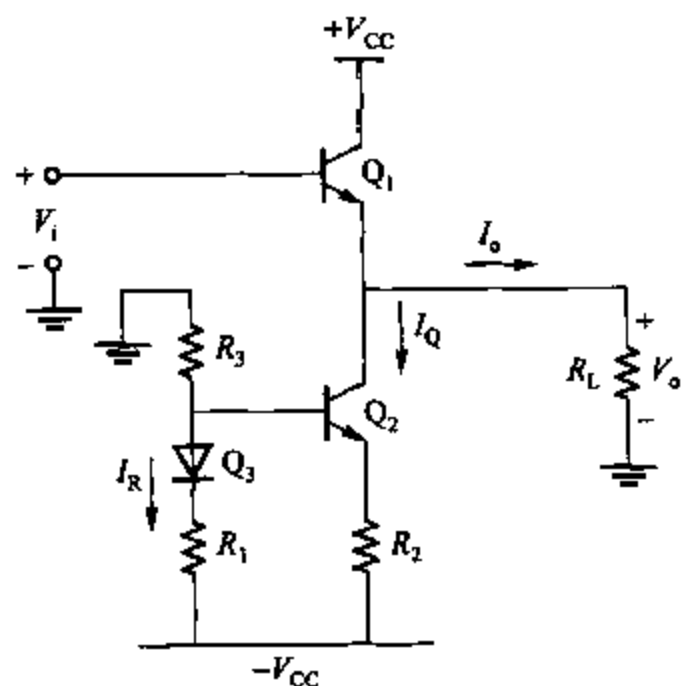


图 5.1 由镜像电流源偏置的射随器输出级

集流过衬底的电流。

5.2.1 射随器的传输特性

图 5.1 所示的电路必须承载大幅度信号;这就是说,由于信号而产生的电流和电压摆幅可能会对偏置有大的影响。因此,曾经广泛应用于此的小信号分析在这个情况下要小心使用。由于这个原因,首先计算发射极输出放大器的直流传输特性。这一特性可以用来计算电路的增益并且可以判断电路的线性程度,因此可以分析相应的失真性能。

考虑图 5.1 所示的电路。可得到其大信号传输特性如下

$$V_i = V_{be1} + V_o \quad (5.1)$$

在这种情况下, Q_1 的基极-集电极电压 V_{be1} 不能认为是常数而应该描述成 Q_1 集电极电流 I_{c1} 和饱和电流 I_s 的表达式。如果负载电阻 R_L 和晶体管的输出电阻相比要小,那么

$$V_{be1} = \frac{kT}{q} \ln \left(\frac{I_{c1}}{I_s} \right) \quad (5.2)$$

如果 Q_1 工作在正向放大区,则有

$$I_{c1} = I_Q + \frac{V_o}{R_L} \quad (5.3)$$

如果 Q_2 工作在正向放大区而且假设 β_F 很大。将式(5.3)和式(5.2)代入式(5.1)得

$$V_i = \frac{kT}{q} \ln \left[\frac{I_Q + \frac{V_o}{R_L}}{I_s} \right] + V_o \quad (5.4)$$

当 Q_1 和 Q_2 都工作在正向放大区,等式(5.4)是关于 V_o 和 V_i 的非线性方程。

式(5.4)的传输特性如图 5.2 所示。首先,考虑在标记为 R_{L1} 的电阻 R_L 很大的情况。在这种情况下,式(5.4)右边的第一项代表了 Q_1 的基极发射极电压 V_{be1} ,当 V_o 变化时该项几乎保持恒定不变。这是由于 R_L 很大,所以负载的电流很小;因此,在这种情况下,当 V_o 变化时, Q_1 中流过的电流和 V_{be1} 几乎保持常量不变。所以,在传输特性的中间段, $R_L = R_{L1}$ 时近似为一条直线,该直线有单一的斜率并在 V_i 轴的截距为 V_{BE1} ,静态值为 V_{be1} 。这个近似线性区需要 Q_1 和 Q_2 都工作在正向放大区。然而当 V_i 是很大正或负值时,其中一个器件饱和,其传输特性斜率会突然改变。

考虑 V_i 为很大的正向电压。输出电压 V_o 将会跟随 V_i 变化直到 $V_o = V_{CC} - V_{CE1(sat)}$,在该点 Q_1 饱和。然后 Q_1 的集电结正偏,同时将有大量电流从基极流向集电极。实际上,晶体管的基极电阻(或任何源极电阻)限制了正向偏置的集电结电流并阻止晶体管内部基区电压大幅度增大。随着 V_i 的进一步增加, V_o 的变化很小,特性曲线变平,如图 5.2 所示。要使上述情况发生,此时的 V_i 比电压源电压稍高,这是因为 V_{be1} 比饱和电压 $V_{CE1(sat)}$ 大。所以,在一个实际的电路中,由于在输出级的基极通常是不能产生大于 V_{CC} 的电压,所以前级通常限制了最大正输出电压。(如果考虑 Q_1 的集电极串联电阻 r_c 的影响,在 Q_1 饱和且 V_i 是大的正电压时的曲线段斜率为正。无论如何,必须尽量避免这段曲线,因为 Q_1 饱和会造

成严重的非线性和较大幅度的功率增益的降低。)

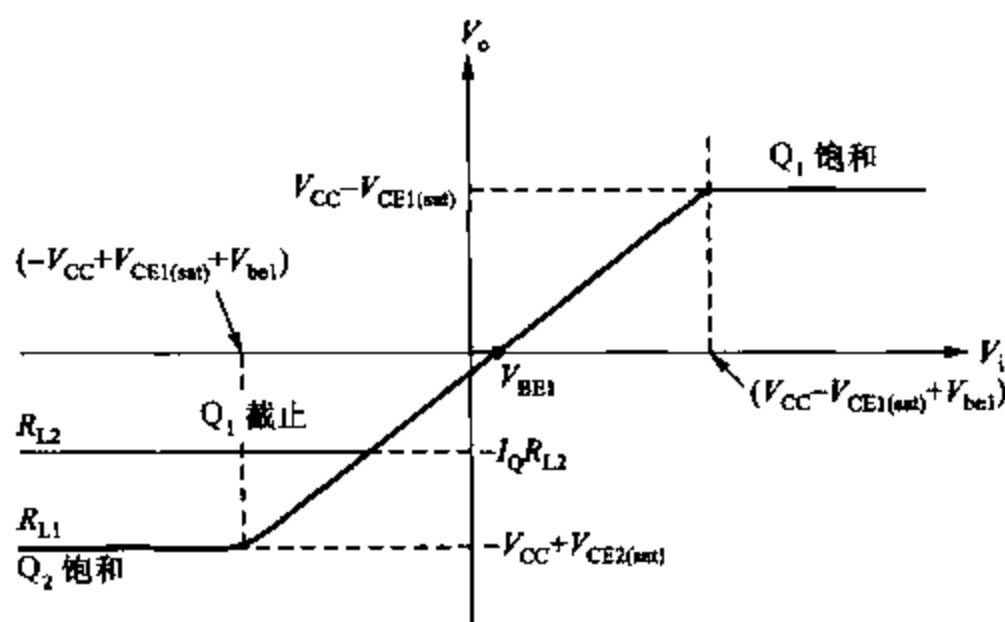


图 5.2 图 5.1 所示电路在低负载电阻(R_{L2})和高负载电阻(R_{L1})时的传输特性曲线

现在考虑 V_i 是很大的反向电压时的情况。输出电压 V_o 跟随 V_i 直至 $V_o = -V_{CC} + V_{CE2(sat)}$, 在该点 Q_2 饱和。(假设 R_2 上的压降很小并忽略不计。如果必要, 该电压可以记入 Q_2 的饱和电压 $V_{CE2(sat)}$ 。)当 Q_2 饱和, 传输特性曲线也会出现一个不连续且其斜率突然降低。要使信号失真可接受, 电压摆幅一定要限制在上述两个突变点之间。如上所述, 产生 V_i 的驱动级通常不能产生幅度大于 V_{CC} 的 V_i (假设都连接到相同的电压源上), 并且激励级本身就设定了上限电压。

接下来考虑图 5.1 中的 R_L 的电阻值相应小的情况。当 V_o 是很大的反向电压时, 式 (5.4) 的第一项会很大。特别是当 V_o 接近于临界值, 即

$$V_o = -I_Q R_L \quad (5.5)$$

时, 该项能达到负无穷。这种情况下, 流过负载的电流 ($-V_o/R_L$) 等于电流 I_Q , 而且 Q_1 截止, 使 Q_2 将负载电流钳制到 I_Q 。当 V_i 进一步减小, V_o 不变, 这时传输特性是图 5.2 中标记为 R_{L2} 的曲线。两种情况下, V_i 为正向时的传输特性相似。

在 $R_L = R_{L2}$ 的情况下, 当 V_i 是幅值超过 $I_Q R_{L2}$ 的正弦波时, 输出级将会产生严重的波形失真。考虑图 5.3a 所示的两个正弦波波形。波形①的幅值 $V_1 < I_Q R_{L2}$, 而波形②的幅值 $V_2 > I_Q R_{L2}$ 。如果这些信号作为图 5.1 所示电路的输入 V_i (同时有偏置电压), $R_L = R_{L2}$ 时的输出波形结果如图 5.3b 所示。对更小的输入信号, 电路是近似的线性放大器且输出也近似是正弦波。对大信号输入, 输出波形将会出现失真, 称之为“削波失真”, 在电路正常工作时, 线性输出级电路要尽量避免这种现象。对给定的 I_Q 和 R_L , 由于削波失真限制了可以承载的最大信号。注意如果 $I_Q R_L$ 大于 V_{CC} , 图 5.2 所示的 $R_L = R_{L1}$ 的情况成立, 并且输出电压在失真发生之前, 输出电压的正负摆幅可达到正、反向的电源电压。

5.2.2 输出功率和效率

从图 5.4 可以进一步分析图 5.1 所示电路的工作原理, 图中在 Q_1 的 $I_C - V_{CE}$ 特性曲线

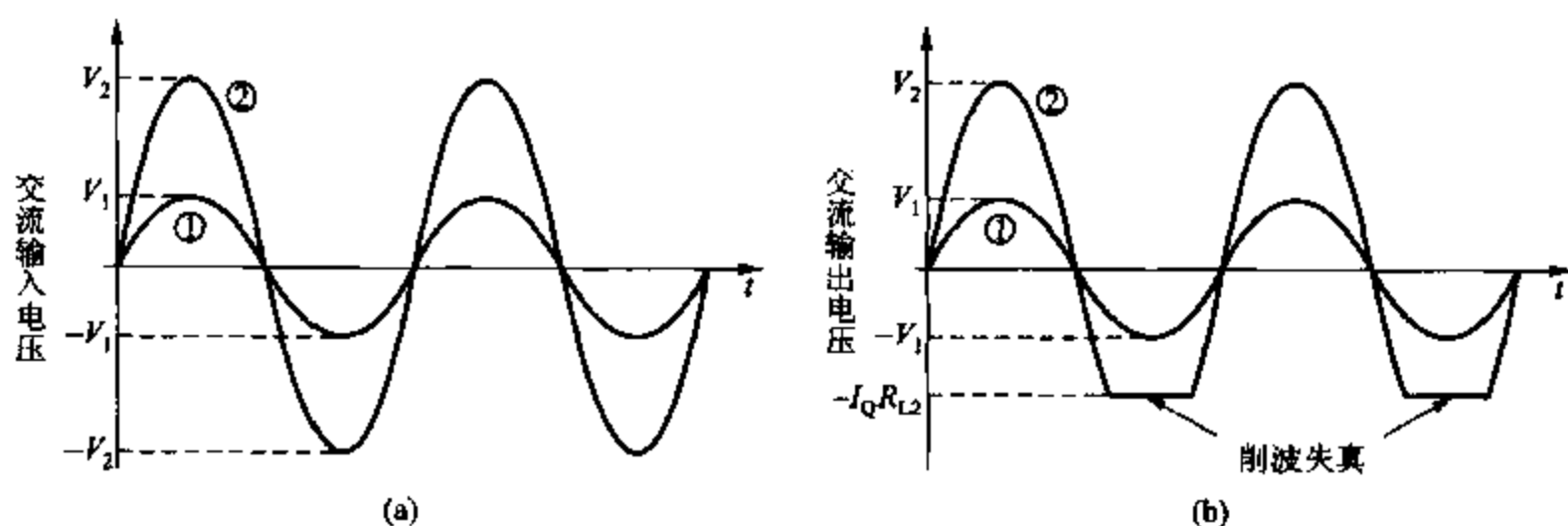


图 5.3 (a)图 5.1 所示电路输入交流信号;(b) $R_L = R_{L2}$ 时(a)中所示输入信号的相应输出波形

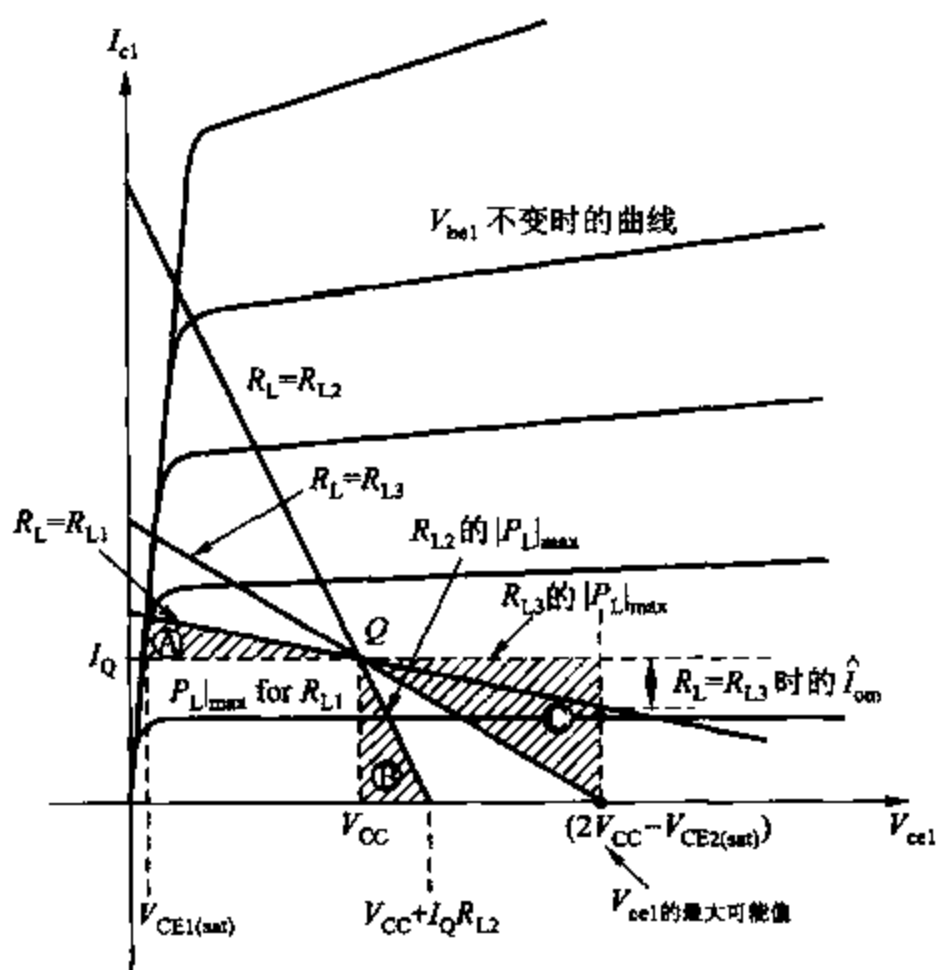


图 5.4 图 5.1 所示射随器电路 Q_1 的 $I_C - V_{CE}$ 平面的负载线

图中画出了三条不同的负载线。由图 5.1 可以得出这三条负载线方程如下

$$V_{ce1} = V_{CC} - (I_{C1} - I_Q) R_L \quad (5.6)$$

当 Q_1 和 Q_2 都工作在正向放大区,任意 V_i 时的 V_{ce1} 和 I_{C1} 的值可见式(5.6),而且曲线包括了静态点 Q ,此时, $I_{C1} = I_Q$ 并且 $V_{ce1} = V_{CC}$ 。负载电阻分别为 R_{L1} 、 R_{L2} 和 R_{L3} 时等式(5.6)对应曲线如图 5.4 所示,并且器件的工作点会随 V_i 的变化而沿曲线上下移。当 V_i 增大而 V_{ce1} 减小时,如图 5.2 所示 Q_1 最终会饱和。当 V_i 减小而 V_{ce1} 增大时,如上所述有两种可能

性。如果 R_L 很大 (R_{L1}), V_o 减小而 V_{ce1} 增大直至 Q_2 饱和。因此, V_{ce1} 所能达到的最大值是 $(2V_{CC} - V_{CE2(sat)})$, 该值在图 5.4 有标记。但是, 如果 R_L 很小 (R_{L2}), 如图 5.2 所示, V_o 所能达到的最大反向电压是 $-I_Q R_{L2}$, 而 V_{ce1} 所能达到的最大可能值是 $(V_{CC} + I_Q R_{L2})$ 。

迄今还没有提及输出级的最大输出电压。如第一章所述, 在共射结构中, 当 $V_{ce} = BV_{CEO}$ 时双极型晶体管将发生雪崩击穿, 这是最坏情况下的击穿电压。在一个传统的设计中, 由于留有适当的安全余量, 图 5.1 所示电路的 V_{ce} 的值通常要小于 BV_{CEO} 。在前面的分析中, 对任何的负载电阻, 计算得到的电路中的 V_{ce1} 电压所能达到的最大值约等于 $2V_{CC}$, 因此 BV_{CEO} 一定要大于该电压值。

现在考虑电路的功率关系。当输入正弦信号, 各个元件消耗的功率随时间变化。同时考虑瞬时消耗功率和平均消耗功率。当考虑低频或直流信号下的晶体管耗散时, 瞬时功率是十分重要的。晶体管的结点温度升高和降低变化是和器件的瞬时功耗有关的, 这限制了器件安全工作时的最大允许瞬时功率消耗。

由于传递给负载的功率通常由平均值衡量, 所以平均功率级就显得很重要。同时注意如果一个输出级只承载高频信号, 晶体管的结的温度在一个周期内将不会有大的变化并且器件的平均功率消耗将会达到极限值。

考虑当输入 V_i 为正弦信号时, 传递到负载 R_L 上的输出信号功率。假设 V_o 也近似是正弦信号, 那么传递到 R_L 的平均输出功率为

$$P_L = \frac{1}{2} \hat{V}_o \hat{I}_o \quad (5.7)$$

其中, \hat{V}_o 和 \hat{I}_o 是输出正弦信号的电压和电流幅值 (0 到峰值)。如前所述, 在发生削波失真之前输出信号所能达到的最大幅值由 R_L 决定。假设 $P_L|_{\max}$ 是正弦信号发生削波失真之前 P_L 所能达到的最大值, 那么

$$P_L|_{\max} = \frac{1}{2} \hat{V}_{om} \hat{I}_{om} \quad (5.7a)$$

其中, \hat{V}_{om} 和 \hat{I}_{om} 分别是发生削波失真之前的 \hat{V}_o 和 \hat{I}_o 的最大值。

考虑大负载电阻 R_{L1} 的情况。图 5.2 和 5.4 表明在该情况下削波失真的现象会对称地发生, 并假设 Q_1 和 Q_2 有相同的饱和电压则

$$\hat{V}_{om} = V_{CC} - V_{CE(sat)} \quad (5.8)$$

相应的正弦输出电压幅度为 $\hat{I}_{om} = \hat{V}_{om} / R_{L1}$ 。将这些值代入式 (5.7a) 可以得到传递给 R_{L1} 的最大平均功率。这一功率可以由图 5.4 的几何三角形的面积来解释, 这是因为该三角形的底等于 \hat{V}_{om} , 高为 \hat{I}_{om} 。随着 R_{L1} 增加, 该三角形面积减小, 那么可输出的最大输出功率将减小。因为虽然最大输出电压幅值基本保持不变, 但是电流幅度却由于 R_{L1} 的增加而减小。

如果在图 5.4 中有 $R_{L1} = R_{L2}$, 那么在削波失真发生之前的最大输出电压摆幅是

$$\hat{V}_{om} = I_Q R_{L2} \quad (5.9)$$

相应的电流幅度为 $\hat{I}_{om} = I_Q$ 。利用 (5.7a) 式, 如图 5.4 所示, 可传输的最大平均输出功率 $P_L|_{\max}$ 等于三角形 B 的面积。随着 R_{L2} 减小, 可输出的最大平均功率将减小。

观察图 5.4 可得, 当 $R_L = R_{L3}$ 时输出级的输出功率最大, 其中 R_{L3} 可由式 (5.6) 和图 5.4 计算得到, 即

$$R_{L3} = \frac{V_{CC} - V_{CE(sat)}}{I_Q} \quad (5.10)$$

其对应的负载线给出了三角形面积的最大值(C), 也就是给出了最大的输出功率。在这个情况下, $\hat{V}_{om} = (V_{CC} - V_{CE(sat)})$, $\hat{I}_{om} = I_Q$ 。由式 (5.7a) 可得

$$P_L|_{max} = \frac{1}{2} \hat{V}_{om} \hat{I}_{om} = \frac{1}{2} (V_{CC} - V_{CE(sat)}) I_Q \quad (5.11)$$

计算电路的效率, 必须计算电路从电源所获得的功率。从正向电源流出的电流就是 Q_1 的集电极电流, 假设它是平均值为 I_Q 的正弦信号。反向电源中流过的电流是常数并等于 I_Q (忽略偏置电流 I_R)。因为该电源电压为常数不变并且不受电路中正弦信号的影响。因此, 从这两个电源得到的总的功率为

$$P_{supply} = 2 V_{CC} I_Q \quad (5.12)$$

定义电路在任意输出功率下的功率转化效率 (η_c) 为输出到负载的平均功率和从电源得到的功率的比例, 即

$$\eta_c = \frac{P_L}{P_{supply}} \quad (5.13)$$

因为在该电路中从电源处得到的功率是常数, 所以功率转化效率将随输出功率的增加而增加。另外, 由前面的分析得知 R_L 的电阻值决定了电路的功率输出能力, 那么 η_c 也取决于 R_L 。最佳输出效率发生在 $R_L = R_{L3}$ 时, 因为此时有最大的平均功率输出。如果 $R_L = R_{L3}$ 并且 $\hat{V}_o = \hat{V}_{om}$, 然后将式 (5.11) 和式 (5.12) 代入式 (5.13) 可得到最大可能的转化效率

$$\eta_{max} = \frac{1}{4} \left(1 - \frac{V_{CE(sat)}}{V_{CC}} \right) \quad (5.14)$$

因此, 当 $V_{CE(sat)} \ll V_{CC}$ 时, 输出级的最大效率为 1/4 或者 25%。

另一个衡量电路性能的重要方面是有源元件的功率损耗。当 $R_L = R_{L3}$ 时 Q_1 有最大的电压和电流摆幅, 此时的电压和电流波形如图 5.5 所示 (为简单起见假设 $V_{CE(sat)} \approx 0$), 同时还给出了晶体管内的瞬时功率损耗。 Q_1 的静态散热曲线是随时间变化的函数, 且频率是信号频率的两倍, 而且其平均值是静态功耗的

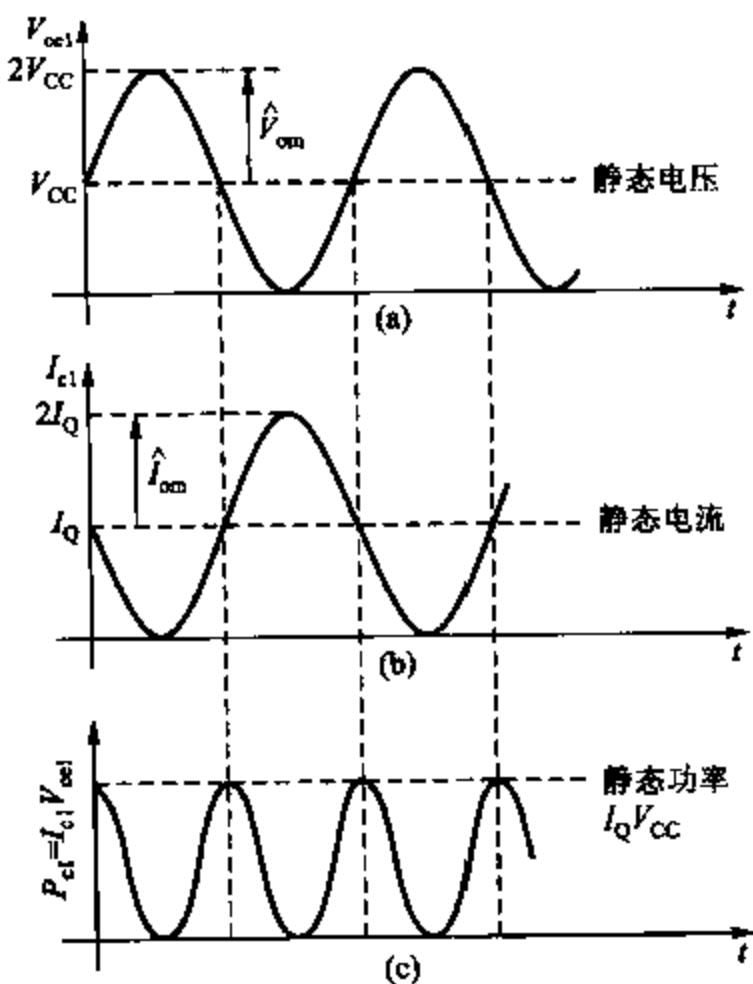


图 5.5 当 $R_L = R_{L3}$ 时图 5.1 中的晶体管 Q_1 波形
(a) 集电极-发射极电压波形; (b) 集电极电流波形;
(c) 集电极散热波形

一半。结果分析如下。 Q_1 内的静态功耗是

$$P_{cl} = V_{ce1} I_{cl} \quad (5.15)$$

在正弦信号有最大摆幅时, P_{cl} 可表为(由图 5.5)

$$P_{cl} = V_{cc}(1 + \sin\omega t) I_Q(1 - \sin\omega t) = \frac{V_{cc} I_Q}{2}(1 + \cos 2\omega t) \quad (5.15a)$$

式(5.15a)中的 P_{cl} 的平均值为 $V_{cc} I_Q/2$ 。因此,在最大输出时 Q_1 的平均功耗是静态损耗的一半,而且在 $R_L = R_{L3}$ 时元件的平均温度小于其静态值。

在 $I_c - V_{ce}$ 平面画出 Q_1 的器件功耗曲线图,可以得到有关功耗的进一步的结论。画出如图 5.6 所示的晶体管静态功耗 P_1 、 P_2 和 P_3 (其中 $P_1 < P_2 < P_3$) 为常量的曲线,等式(5.15)表明该曲线是双曲线。 P_2 功率双曲线经过静态点 Q , 该曲线方程可由式(5.15)得

$$I_{cl} = \frac{P_2}{V_{ce1}} \quad (5.16)$$

该曲线的斜率为

$$\frac{dI_{cl}}{dV_{ce1}} = -\frac{P_2}{V_{ce1}^2} \quad (5.17)$$

在静态点 Q , 有 $I_{cl} = I_Q$ 和 $V_{ce1} = V_{cc}$ 。因此斜率是

$$\left. \frac{dI_{cl}}{dV_{ce1}} \right|_Q = -\frac{I_Q}{V_{cc}} \quad (5.18)$$

由式(5.6), $R_L = R_{L3}$ 时的负载线斜率为 $-(1/R_{L3})$ 。由式(5.10)得

$$-\frac{1}{R_{L3}} \approx -\frac{I_Q}{V_{cc}} \quad (5.19)$$

比较式(5.18)和式(5.19)说明负载 $R_L = R_{L3}$ 的负载线在静态点处和功率双曲线相切,因为两条曲线在该点有相同的斜率。这一结果如图 5.6 所示。工作点可离开静态点在 $R_L = R_{L3}$ 的负载线上移动,当和功率常量双曲线相交时就代表更低的功率值;因此,元件的瞬时功耗减小。这一点和图 5.5 所示波形是一致的。

$R_L \rightarrow \infty$ (开路负载)的负载线如图 5.6 所示。在该情况下,晶体管的集电极电流不随时间变化而变化,是一个常量。当 V_{ce1} 大于静态点的值时,瞬态功耗增加。 V_{ce1} 的最大可能值是 $(2V_{cc} - V_{ce2(sat)})$ 。在这个值时,如果 $V_{ce2(sat)} \ll V_{cc}$ 则 Q_1 的瞬态功耗约等于 $2V_{cc} I_Q$ 。这一功耗是静态的 $V_{cc} I_Q$ 的两倍,而且在考虑 Q_1 的功率承受能力时,这一可能性应该给予考虑。在另一个摆幅的极限,此时 $V_{ce1} \approx 0$, Q_2 的功耗也是 $2V_{cc} I_Q$ 。

一个潜在的更具危害的情况就是负载短路。当负载短路时,负载曲线如图 5.6 所示,是水平地穿过静态点。在大信号输入时, Q_1 的集电极电流(相应元件的散热)将会变得很大。如第一章所述,集电极电流大小受限于 Q_1 基极电流的驱动源的驱动能力决定,同时也受限于 Q_1 高电流时 β_F 的跌落。实际上,虽然这些限制能很有效地阻止 Q_1 被烧毁,但仍需要电流限定电路。5.4.6 节给出了这样一个保护的例子。

可以从上面对负载线和恒定功率双曲线的计算得出一个有用的一般性结论。如图 5.6

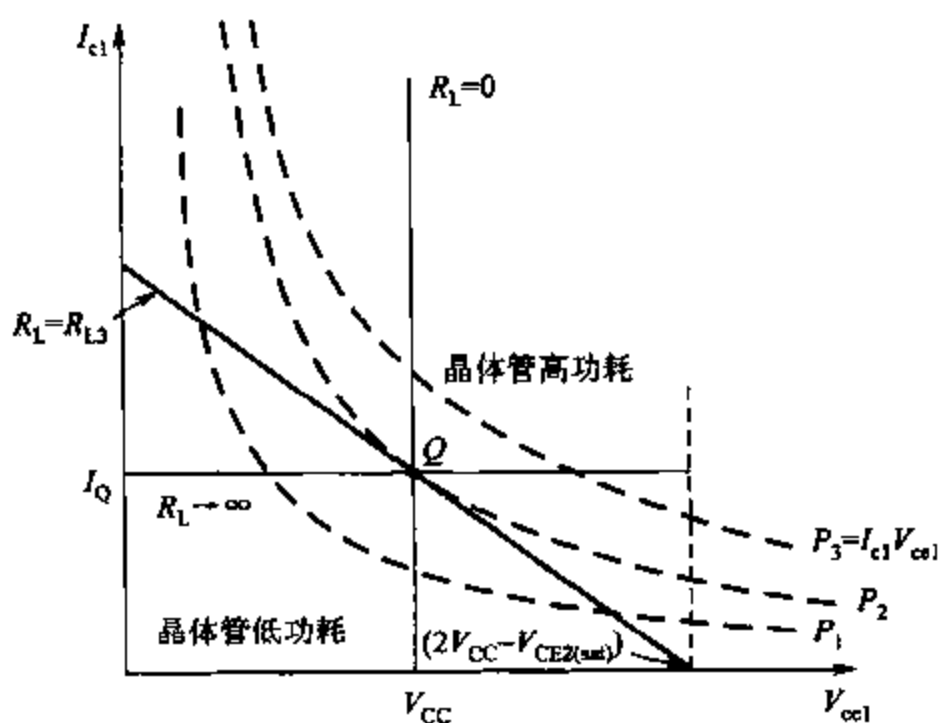


图 5.6 图 5.1 中射随器 Q_1 在 $I_{c1} - V_{ce1}$ 平面的瞬态晶体管功耗双曲线 P_1 、 P_2 、 P_3 和 $R_L = 0$ 、 $R_L = R_{L3}$ 、 $R_L \rightarrow \infty$ 的负载线。注意到 $P_1 < P_2 < P_3$

所示,当 $R_L = R_{L3}$ 时元件最大瞬时功耗发生在静态点 Q 处(因为 $P_1 < P_2 < P_3$),即 $V_{CE2(sat)} \ll V_{CC}$ 时负载线的中点(负载线的中点被认为是 I_c 轴和 V_{ce} 轴交点之间的中间位置)。这可由式(5.17)得出,其中的每条负载线和一条功率双曲线相切并和双曲线在负载曲线的中点相交。因此,中点就是对每一个负载线对应的元件瞬态功耗的最大点。比如,在图 5.4 中,当 $R_L = R_{L2}$ 时,最大的瞬态元件功耗发生在负载线的中点,此时有 $V_{ce1} = \frac{1}{2}(V_{CC} + I_Q R_{L2})$ 。

本节所介绍的输出级,其输出元件总是传输可测的电流,称作 A 类输出级。这种类型的输出级可由多种不同的晶体管结构实现,但最高效率仅为 25%。

前面分析射随器时都假设由电流源使其发射极电流为 I_Q 从而提供偏置。但实际上,电流源通常由连接到反向电压源上的电阻代替,这一结构将和上面的计算有偏差。特别是电路的输出功率会有所减小。

示例

一个输出级电路如图 5.1 所示,其参数如下: $V_{CC} = 10\text{ V}$, $R_3 = 5\text{ k}\Omega$, $R_1 = R_2 = 0$, $V_{CE(sat)} = 0.2\text{ V}$, $R_L = 1\text{ k}\Omega$ 。假设调整直流输入电压使直流输出电压为 0 V 。

(a) 假设信号为正弦波信号,计算出现削波失真前可输出的最大输出平均功率,并计算相应的效率。对该输出级电路,可能的最大效率是多少? 要达到这一效率,要求 R_L 取值为多少?

(b) 计算 Q_1 可能的最大瞬时功耗。并计算当 $V_o = 1.5\text{ V}$, 输出电压为正弦信号时 Q_1 的平均功耗。

解题过程如下:

(a) 先计算偏置电流 I_Q

$$I_Q = I_R = \frac{V_{CC} - V_{BE3}}{R_3} = \frac{10 - 0.7}{5} \text{ mA} = 1.86 \text{ mA}$$

于是,可得 $I_Q R_L$ 为

$$I_Q R_L = 1.86 \times 1 \text{ V} = 1.86 \text{ V}$$

因为假设直流输出电压为零,并且因为 $I_Q R_L$ 小于 V_{CC} ,因此最大的正弦波输出电压摆幅由于在反向电源电压处被截断而被限制为 1.86 V,此情况对应图 5.4 的 $R_L = R_{L2}$ 。因此,最大的输出电压和输出电流摆幅分别为 $V_{om} = 1.86 \text{ V}$ 和 $I_{om} = 1.86 \text{ mA}$ 。电路的正弦信号的最大平均输出功率可由式(5.7a)计算得到,即

$$P_L |_{\max} = \frac{1}{2} V_{om} I_{om} = \frac{1}{2} \times 1.86 \times 1.86 \text{ mW} = 1.73 \text{ mW}$$

由式(5.12)可计算出从电源得到的功率为

$$P_{\text{supply}} = 2 V_{CC} I_Q = 2 \times 10 \times 1.86 \text{ mW} = 37.2 \text{ mW}$$

电路在前面计算的输出功率级的效率可由(5.13)计算得到,即

$$\eta_c = \frac{P_L |_{\max}}{P_{\text{supply}}} = \frac{1.73}{37.2} = 0.047$$

4.7%的效率太低了,这主要由于反向电压摆幅的限制。

如图 5.4,该输出级的最大可能的效率发生在 $R_L = R_{L3}$ 时,而 R_{L3} 可由式(5.10)计算得到,即

$$R_{L3} = \frac{V_{CC} - V_{CE(\text{sat})}}{I_Q} = \frac{10 - 0.2}{1.86} \text{ k}\Omega = 5.27 \text{ k}\Omega$$

在该例中,在削波失真现象发生之前传输到负载的最大平均功率可由式(5.11)得到,即

$$P_L |_{\max} = \frac{1}{2} (V_{CC} - V_{CE(\text{sat})}) I_Q = \frac{1}{2} (10 - 0.2) \times 1.86 \text{ mW} = 9.11 \text{ mW}$$

由式(5.14)可得相应的效率为

$$\eta_{\max} = \frac{1}{4} \left(1 - \frac{V_{CE(\text{sat})}}{V_{CC}} \right) = \frac{1}{4} \left(1 - \frac{0.2}{10} \right) = 0.245$$

该结果接近理论的 25%。

(b) Q_1 的最大可能瞬态功耗发生在负载线的中点。参考图 5.4 和负载线 $R_L = R_{L2}$,此时

$$V_{ce1} = \frac{1}{2} (V_{CC} + I_Q R_L) = \frac{1}{2} (10 + 1.86) \text{ V} = 5.93 \text{ V}$$

由于 $R_L = 1 \text{ k}\Omega$,此时 Q_1 相应的集电极电流等于 $I_{c1} = 5.93 / R_L = 5.93 \text{ mA}$ 。因此, Q_1 的最大可能瞬态功耗为

$$P_{c1} = I_{c1} V_{ce1} = 35.2 \text{ mW}$$

当 Q_1 产生最大功耗时 $V_{ce1} = 5.93 \text{ V}$,这代表了该电路的信号摆幅超过了线性范围(由(a)的计算可知,削波失真发生在输出电压达到 -1.86 V 时)。尽管如此,当输入信号很大,电路过载时这种情况很容易发生。

对于正弦信号,可以计算出 Q_1 的平均功耗,此时两个电源得到的平均功率是常量并且和信号的形式无关。因为从电源输入到电路的功率是常数,那么 Q_1 、 Q_2 和 R_L 的总的平均功耗必须为常量并且和正弦信号的形式无关。因为 I_Q 为常量,所以 Q_2 中的平均功耗为常量,因此 Q_1 和 R_L 的平均功耗之和也为常量。因此,随着 \hat{V}_o 增大, Q_1 减小的平均功耗等于 R_L 中增加的平均功耗。当没有输入信号时 Q_1 的静态功耗为

$$P_{CQ} = V_{CC} I_Q = 10 \times 1.86 \text{ mW} = 18.6 \text{ mW}$$

对 $V_o = 1.5 \text{ V}$,传递到负载的平均功率为

$$P_L = \frac{1}{2} \frac{\hat{V}_o^2}{R_L} = \frac{1}{2} \times \frac{2.25}{1} \text{ mW} = 1.13 \text{ mW}$$

因此,对于正弦信号,当 $\hat{V}_o = 1.5 \text{ V}$ 时 Q_1 的平均功耗是

$$P_{av} = P_{CQ} - P_L = 17.5 \text{ mW}$$

5.2.3 射随器的驱动要求

上述的计算考虑了由正弦输入信号驱动时射随器的性能。输出级之前叫做驱动级,而实际过程中它同样可能会引入对电路性能的限制。比如,如果驱动一个射随器使其输出 V_o 达到最大的正向输出时,需要的输入电压要稍微大于电源电压。由于一般情况下,驱动级也连接在和输出级相同的电源上,所以驱动级一般不能产生大于电源电压的驱动电压,而是会减小可能的输出电压摆幅。

上述限制的产生是由于射随器的电压增益为 1,因此驱动级必须能承载与输出级一样的电压摆幅。尽管如此,驱动级和输出级相比需要更少的功率,因为驱动级需要传输的电流是射随器的基极电流,它大约只有其发射极电流的 $1/\beta_F$ 。因此,驱动级偏置电流比输出级偏置电流小得多,所以驱动级的元件也可以有更小的几何尺寸。虽然电压增益为 1,但射随器有很大的功率增益,这是所有输出级所需要的。

5.2.4 射随器的小信号特性

图 5.1 中的发射极输出放大器的低频小信号等效电路如图 5.7 所示。如第七章所述,低频小信号等效电路是一个超宽带的电路,而且一般不会限制放大器的小信号增益的频率范围。因此,图 5.7 的等效电路适用于很宽的频率范围,并且通过对该等效电路的分析可知,当 $\beta_0 \gg 1$ 时的电压增益和输出电阻可以表述为

$$A_v = \frac{v_o}{v_i} \approx \frac{R_L}{R_L + \frac{1}{g_m} + \frac{R_s}{\beta_0}} \quad (5.20)$$

$$R_o = \frac{1}{g_m} + \frac{R_s}{\beta_0} \quad (5.21)$$

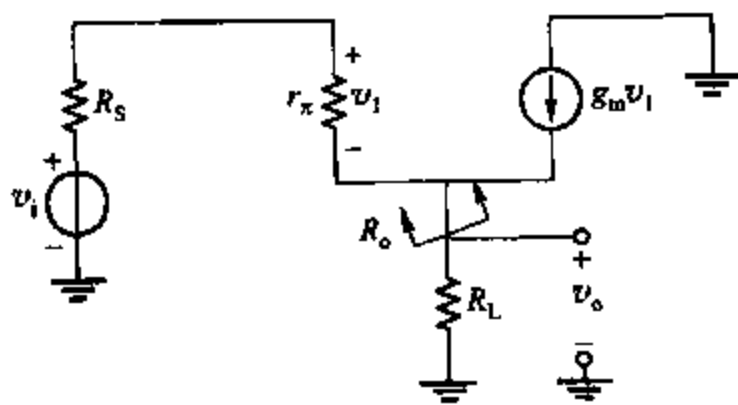


图 5.7 图 5.1 所示射随器的低频小信号等效电路

这些变量都是小信号变量,并且由于 $g_m = qI_C/kT$ 是偏置点的函数,那么 A_v 和 R_o 都是 I_C 的方程。由于这里考虑的射随器都是用作信号摆幅很大的输出级,因此式(5.20)和式(5.21)要小心使用。对于小幅度到适当幅度的信号摆动,可以通过将晶体管的参数代入静态点参数,利用这些等式来估算平均增益和输出电阻。考虑到可以给出图 5.2 所示大信号特性曲线的递增斜率,因此式(5.20)也可以用来估算该级的非线性特性。¹ 如下例所示,如果求该等式在信号摆幅极限处的值,就可以估算特性曲线的曲率。

示例

计算在静态工作点上和输出正弦信号峰值为 0.6 V 的极限信号摆幅时,图 5.1 所示电路转移特性曲线的递增斜率。参数见上例,并假设 $R_s = 0$ 。

从式(5.20)可得当 $R_s = 0$ 时的小信号增益为

$$A_v = \frac{R_L}{R_L + \frac{1}{g_m}} \quad (5.22)$$

因为在静态工作点 $I_Q = 1.86 \text{ mA}$, $1/g_m = 14 \Omega$, 因此,静态增益为

$$A_{vQ} = \frac{1\,000}{1\,000 + 14} = 0.986\,2$$

当输出电压摆幅为 0.6 V, 输出电流摆幅为

$$\hat{I}_o = \frac{\hat{V}}{R_L} = \frac{0.6}{1\,000} = 0.6 \text{ mA}$$

因此,在正向信号的峰值处,晶体管的集电极电流为

$$I_Q + \hat{I}_o = (1.86 + 0.6) \text{ mA} = 2.46 \text{ mA}$$

在该电流下, $1/g_m = 10.6 \Omega$, 并由式(5.22)可得到小信号增益为

$$A_v^+ = \frac{1\,000}{1\,010.6} = 0.989\,5$$

该增益比静态时的大 0.3%。在反向峰值处,晶体管的集电极电流为

$$I_Q - \hat{I}_o = (1.86 - 0.6) \text{ mA} = 1.26 \text{ mA}$$

在该电流下, $1/g_m = 20.6 \Omega$, 并由式(5.22)可得到小信号增益为

$$A_v^- = \frac{1\,000}{1\,020.6} = 0.979\,8$$

该增益比静态时的小 0.7%。尽管在该例中,集电极电流的信号幅度为偏置电流的 1/3,但小信号增益的变化仍然很小。因此,说明该电路有很高的线性度。因为非线性很小,可以从该例中计算得出的三个小信号增益确定相应的失真情况。见习题 5.8。

5.3 源极跟随器作为输出级

第三章中计算了源极跟随器的小信号特性。因为该电路输出电阻小,所以常常用来做输出级。下面分析源极跟随器的大信号特性。

5.3.1 源极跟随器的传输特性

如图 5.8 所示的源极跟随器,为简单起见,设该电路有幅度相等的正向和反向电压源。可得大信号转移特性如下

$$V_i = V_o + V_{gs1} = V_o + V_{t1} + V_{ov1} \quad (5.23)$$

如果阈值电压和过载电压是常量,那么输出电压跟随输入电压,且保持恒定的差值不变。实际上,由于衬底效应的影响所以阈值电压会改变。另外,过载电压也不是常数,这主要是因为漏极电流不恒定。在 $V_{sb} = V_o + V_{DD}$ 和 $I_{d1} = I_Q + V_o/R_L$ 时,将式(1.140)和式(1.166)代入式(5.23)可得

$$V_i = V_o + V_{th} + \gamma(\sqrt{2\phi_f + V_o + V_{DD}} - \sqrt{2\phi_f}) + \sqrt{\frac{2(I_Q + V_o/R_L)}{k'(W/L)_1}} \quad (5.24)$$

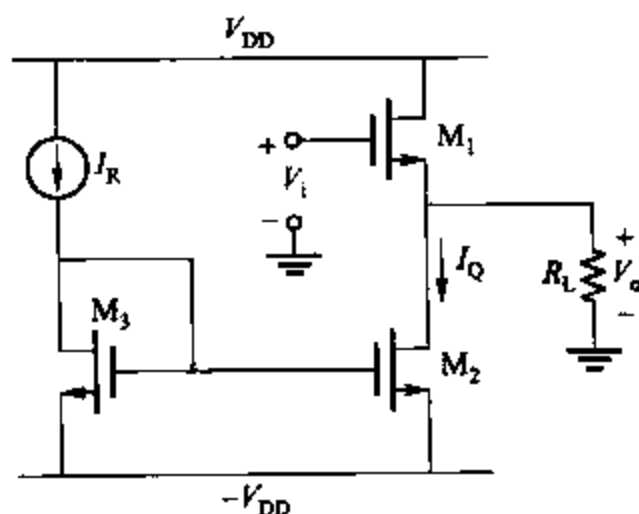


图 5.8 镜像电流源偏置的源极跟随器

当 M_1 和 M_2 工作在放大区并且输出电阻远远大于 R_L 时该式成立。

传输特性曲线如图 5.9 所示。它在 x 轴上的截距等于输入参考源失调电压,等于

$$V_i|_{V_o=0} = V_{th} + \gamma(\sqrt{2\phi_f + V_{DD}} - \sqrt{2\phi_f}) + \sqrt{\frac{2I_Q}{k'(W/L)_1}} \quad (5.25)$$

该点的斜率为递增增益,由式(3.80)计算可得。当 $r_o \rightarrow \infty$,该斜率为

$$\frac{v_o}{v_i} = \frac{g_m R_L}{1 + (g_m + g_{mb}) R_L} \quad (5.26)$$

当 $R_L \rightarrow \infty$ 时有

$$\frac{v_o}{v_i} = \frac{g_m}{g_m + g_{mb}} = \frac{1}{1 + \chi} \quad (5.27)$$

因为 χ 通常在 0.1~0.3 的范围内,因此相应的该斜率也通常在 0.7~0.9 的范围内。相反,在相同情况下射随器斜率是单一的。另外,式(1.200)表明 χ 决定于源-衬底电压,如图 5.8 所示该电压为 $V_o + V_{DD}$ 。因此,即使 M_1 工作在放大区,由式(5.27)计算得到的斜率会随 V_o 变化而变化,这样就会引起失真。图 5.9 中忽略了斜率的变化,但在 5.3.2 节将其考虑在内。

当在正向电源的过载电压内输出电压增高时, M_1 进入三极管区,并且传输特性曲线的斜率会急剧减小。在该转折点的过载可以通过漏极总电流来计算,如果 R_L 有限该电流会超过 I_Q 。因此,该转折点的位置将决定于 R_L ,但这一点在图 5.9 中没有反映出来。和射随器不同,如不限制输入电压,输出电压可以逐渐达到电源电压。实际上,输入必须大于 V_{DD} ,至少阈值电压能使 M_1 偏置在三极管区。如果输入电压限制到 V_{DD} , M_1 永远达不到三极管区。

对反向输入电压,最小输出电压由 R_L 决定,这和射随器一样。如果 $I_Q R_L > V_{DD}$,传输

特性曲线的斜率近似保持恒定直到 M_2 进入三极管区,也就是发生在

$$V_o = -V_{DD} + V_{ov2} = -V_{DD} + \sqrt{\frac{2I_Q}{k'(W/L)_2}} \quad (5.28)$$

这种情况如图 5.9 所示标记为 R_{L2} 。

另一方面,如果 $I_Q R_L < V_{DD}$,斜率近乎为常量直至 M_1 截止。相应的最小输出电压为

$$V_o = -I_Q R_L \quad (5.29)$$

从设计的角度考虑, $I_Q R_L$ 经常设定的比 V_{DD} 大,所以图 5.9 中标记为 R_{L1} 的情况成立。这一情况下,在严重失真发生前输出电压摆幅可以达到正、反向的电源电压。

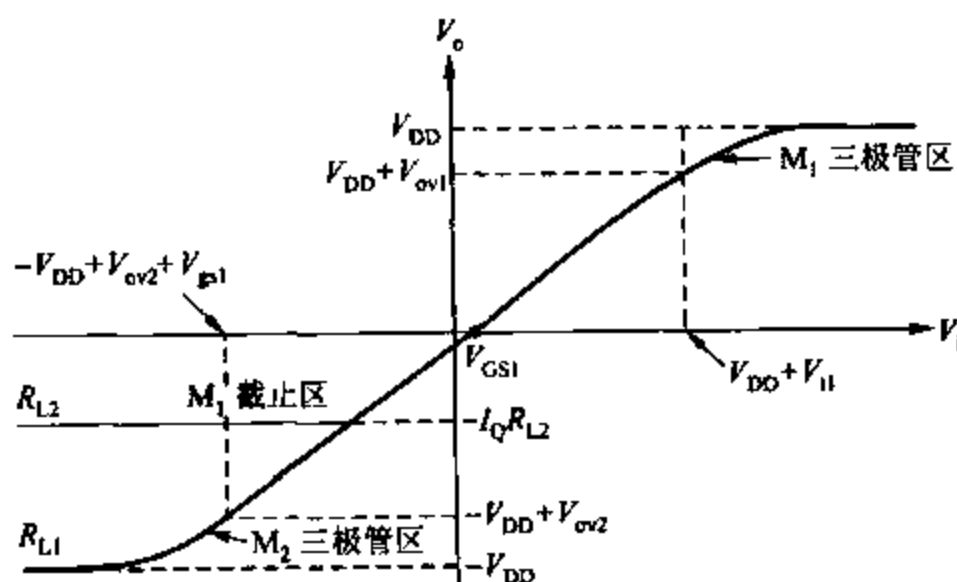


图 5.9 图 5.8 所示电路在低负载电阻(R_{L2})和高负载电阻(R_{L1})时的传输特性曲线

5.3.2 源极跟随器的失真

式(5.23)给出了 V_i 的 V_o 函数表达式,得到了源极跟随器的传输函数。以源极跟随器为例,由非线性传输函数计算信号的失真。

利用泰勒级数,输入电压可以写成

$$V_i = V_1 + v_i = \sum_{n=0}^{\infty} \frac{f^{(n)}(V_o = V_0)(V_o - V_0)^n}{n!} \quad (5.30)$$

其中, $f^{(n)}$ 表示 f 的 n 阶导。因为 $v_o = V_o - V_0$, 式(5.30)可以重新写成

$$V_i = V_1 + v_i = \sum_{n=0}^{\infty} b_n (v_o)^n \quad (5.31)$$

其中, $b_n = f^{(n)}(V_o - V_0)/(n!)$ 。为简单起见,假设 $R_L \rightarrow \infty$ 。由式(1.140)和式(5.23)得

$$V_i = f(V_o) = V_o + V_{ov} + \gamma(\sqrt{V_o + V_{DD} + 2\phi_f} - \sqrt{2\phi_f}) + V_{ov1} \quad (5.32)$$

那么

$$f'(V_o) = 1 + \frac{\gamma}{2}(V_o + V_{DD} + 2\phi_f)^{-1/2} \quad (5.33)$$

$$f''(V_o) = -\frac{\gamma}{4}(V_o + V_{DD} + 2\phi_f)^{-3/2} \quad (5.34)$$

$$f'''(V_o) = \frac{3\gamma}{8}(V_o + V_{DD} + 2\phi_f)^{-5/2} \quad (5.35)$$

因此

$$b_0 = f(V_o = V_o) = V_o + V_{DD} + \gamma(\sqrt{V_o + V_{DD} + 2\phi_f} - \sqrt{2\phi_f}) + V_{ov1} \quad (5.36)$$

$$b_1 = f'(V_o = V_o) = 1 + \frac{\gamma}{2}(V_o + V_{DD} + 2\phi_f)^{-1/2} \quad (5.37)$$

$$b_2 = \frac{f''(V_o = V_o)}{2} = -\frac{\gamma}{8}(V_o + V_{DD} + 2\phi_f)^{-3/2} \quad (5.38)$$

$$b_3 = \frac{f'''(V_o = V_o)}{3!} = \frac{\gamma}{16}(V_o + V_{DD} + 2\phi_f)^{-5/2} \quad (5.39)$$

因为常数 b_0 是直流输入电压 V_i , 所以式(5.31)可重新写成

$$v_i = \sum_{n=1}^{\infty} b_n (v_o)^n = b_1 v_o + b_2 v_o^2 + b_3 v_o^3 + \dots \quad (5.40)$$

为了得到失真, 将等式重新整理成下面的形式

$$v_o = \sum_{n=1}^{\infty} a_n (v_i)^n = a_1 v_i + a_2 v_i^2 + a_3 v_i^3 + \dots \quad (5.41)$$

将式(5.41)代入式(5.40)得

$$\begin{aligned} v_i &= b_1(a_1 v_i + a_2 v_i^2 + a_3 v_i^3 + \dots) + b_2(a_1 v_i + a_2 v_i^2 + a_3 v_i^3 + \dots)^2 \\ &\quad + b_3(a_1 v_i + a_2 v_i^2 + a_3 v_i^3 + \dots)^3 + \dots \\ &= b_1 a_1 v_i + (b_1 a_2 + b_2 a_1^2) v_i^2 + (b_1 a_3 + 2b_2 a_1 a_2 + b_3 a_1^3) v_i^3 + \dots \end{aligned} \quad (5.42)$$

要使式(5.42)成立, 系数匹配, 则有

$$1 = b_1 a_1 \quad (5.43)$$

$$0 = b_1 a_2 + b_2 a_1^2 \quad (5.44)$$

$$0 = b_1 a_3 + 2b_2 a_1 a_2 + b_3 a_1^3 \quad (5.45)$$

从式(5.43)得

$$a_1 = \frac{1}{b_1} \quad (5.46)$$

将式(5.46)代入式(5.44)并整理得

$$a_2 = -\frac{b_2}{b_1^3} \quad (5.47)$$

将式(5.46)和式(5.47)代入式(5.45)并整理得

$$a_3 = -\frac{2b_2^2}{b_1^5} - \frac{b_3}{b_1^4} \quad (5.48)$$

对源极跟随器, 将式(5.37)代入式(5.46)得

$$a_1 = \frac{1}{1 + \frac{\gamma}{2}(V_o + V_{DD} + 2\phi_f)^{-1/2}} \quad (5.49)$$

将式(5.37)和式(5.38)代入式(5.47)并整理得

$$a_2 = \frac{\frac{\gamma}{8}(V_0 + V_{DD} + 2\phi_t)^{-3/2}}{\left[1 + \frac{\gamma}{2}(V_0 + V_{DD} + 2\phi_t)^{-1/2}\right]^3} \quad (5.50)$$

将式(5.37)、式(5.38)和式(5.39)代入式(5.48)并整理得

$$a_3 = -\frac{\frac{\gamma}{16}(V_0 + V_{DD} + 2\phi_t)^{-5/2}}{\left[1 + \frac{\gamma}{2}(V_0 + V_{DD} + 2\phi_t)^{-1/2}\right]^5} \quad (5.51)$$

利用等式(5.41)、(5.49)、(5.50)和(5.51)可以计算得到源极跟随器的失真。当 v_i 很小, 比如 $a_2 v_i^2 \ll a_1 v_i$ 时, 式(5.41)右边的第一项将起主要作用, 电路基本上是线性的。但是, 当 v_i 增大到和 a_1/a_2 可比时, 其他项将占支配地位, 失真将会产生, 如下面的例子。通常用来描述放大器非线性特性的方法是用谐波失真来说明, 它定义在当放大器输入信号为正弦波时。因此, 假设

$$v_i = \hat{v}_i \sin \omega t \quad (5.52)$$

将式(5.52)代入式(5.41)得

$$\begin{aligned} v_o &= a_1 \hat{v}_i \sin \omega t + a_2 \hat{v}_i^2 \sin^2 \omega t + a_3 \hat{v}_i^3 \sin^3 \omega t + \cdots \\ &= a_1 \hat{v}_i \sin \omega t + \frac{a_2 \hat{v}_i^2}{2} (1 - \cos 2\omega t) + \frac{a_3 \hat{v}_i^3}{4} (3 \sin \omega t - \sin 3\omega t) + \cdots \end{aligned} \quad (5.53)$$

等式(5.53)表明输出电压信号包括了有很多频率分量, 其中有频率为基频(输入信号频率 ω)的分量, 同时还有谐波 $2\omega, 3\omega$ 等的分量。后面的各项都代表了输入信号中没有出现过的失真分量。二次谐波失真 HD_2 定义为频率为 2ω 的输出信号分量幅值相对频率为 ω 的一次谐波(或者基频)的信号幅值的比值。对于小失真, 式(5.53)中 $(3/4)a_3 \hat{v}_i^3 \sin \omega t$ 项和 $a_1 \hat{v}_i \sin \omega t$ 相比很小, 所以基频分量的幅值约等于 $a_1 \hat{v}_i$ 。同样对于小失真情况, 式(5.53)中的更高次项可以忽略并有

$$HD_2 = \frac{a_2 \hat{v}_i^2}{2} \cdot \frac{1}{a_1 \hat{v}_i} = \frac{1}{2} \cdot \frac{a_2}{a_1} \hat{v}_i \quad (5.54)$$

在这些假设条件下, HD_2 随信号峰电平 \hat{v}_i 线性变化。通过将式(5.49)和式(5.50)代入式(5.54)可以将 HD_2 写成已知参数表达式形式

$$HD_2 = \frac{\gamma}{16} \cdot \frac{(V_0 + V_{DD} + 2\phi_t)^{-3/2} (\hat{v}_i)}{\left[1 + \frac{\gamma}{2}(V_0 + V_{DD} + 2\phi_t)^{-1/2}\right]^2} \quad (5.55)$$

如果 $\gamma \ll 2\sqrt{V_0 + V_{DD} + 2\phi_t}$, 那么

$$HD_2 \approx \frac{\gamma}{16} (V_0 + V_{DD} + 2\phi_t)^{-3/2} \hat{v}_i \quad (5.56)$$

该等式表明二次谐波失真可以通过增加直流输出电压 V_0 来减小。因为失真是由衬底效应引起的。因此, 和固定峰值幅度输入造成的直流分量相比, V_0 的增加减小了源-衬底电压

的变化。² 式(5.56)也说明,忽略 γ 对 V_O 的影响,二次谐波失真近似和 γ 成比例。

相似地,三次谐波失真 HD_3 定义为频率为 3ω 的输出信号分量和一次谐波信号幅度的比值。由式(5.53)并假设在微小的失真情况下,则

$$HD_3 = \frac{a_3 \hat{v}_i^3}{4} \cdot \frac{1}{a_1 \hat{v}_i} = \frac{1}{4} \cdot \frac{a_3}{a_1} \hat{v}_i^2 \quad (5.57)$$

在这些假设下, HD_3 以信号幅度的平方变化。将式(5.49)和式(5.51)代入式(5.57)可得用已知参量表述 HD_3 的表达式

$$HD_3 = -\frac{\gamma}{64} \cdot \frac{(V_O + V_{DD} + 2\phi_f)^{-3/2} (\hat{v}_i^2)}{\left[1 + \frac{\gamma}{2} (V_O + V_{DD} + 2\phi_f)^{-1/2}\right]^4} \quad (5.58)$$

因为,上面计算的失真都是由衬底效应产生的,所以可以通过将源极跟随器放在绝缘的阱中并将源极接到该阱上的方法来减小。但是,这个方法指定了源极跟随器的晶体管类型,因为该晶体管类型必须和阱的掺杂类型相反。同时,该方法将在源极跟随器的输出负载上会增加阱-衬底寄生电容,因此会减小其带宽。

示例

计算图 5.8 所示电路在峰值电压为 $\hat{v}_i = 0.5$ V 的正弦输入信号时的二次和三次谐波失真。假设 $V_t = 0$, $V_{DD} = 2.5$ V, $I_Q = 1$ mA 并且 $R_L \rightarrow \infty$ 。同时还假设 $(W/L)_1 = 1\,000$, $k' = 200 \mu\text{A}/\text{V}^2$, $V_{t0} = 0.7$ V, $\phi_f = 0.3$ V 和 $\gamma = 0.5 \text{ V}^{1/2}$ 。

首先,直流输出电压 V_O 为

$$V_O = V_t - V_{t0} - \gamma(\sqrt{V_O + V_{DD} + 2\phi_f} - \sqrt{2\phi_f}) - V_{ov1} \quad (5.59)$$

整理式(5.59)得

$$(V_O + V_{DD} + 2\phi_f) + \gamma \sqrt{V_O + V_{DD} + 2\phi_f} - V_t + V_{ov1} + V_{t0} - \gamma \sqrt{2\phi_f} - V_{DD} - 2\phi_f = 0 \quad (5.60)$$

求解这个二次方程可得 $\sqrt{V_O + V_{DD} + 2\phi_f}$ 。因为结果必须为正,所以有

$$\sqrt{V_O + V_{DD} + 2\phi_f} = -\frac{\gamma}{2} + \sqrt{\left(\frac{\gamma}{2}\right)^2 + V_t - V_{ov1} - V_{t0} + \gamma \sqrt{2\phi_f} + V_{DD} + 2\phi_f} \quad (5.61)$$

两边同时平方并整理得

$$V_O = -V_{DD} - 2\phi_f + \left[-\frac{\gamma}{2} + \sqrt{\left(\frac{\gamma}{2}\right)^2 + V_t - V_{ov1} - V_{t0} + \gamma \sqrt{2\phi_f} + V_{DD} + 2\phi_f} \right]^2 \quad (5.62)$$

在此例子中,

$$V_{ov1} = \sqrt{\frac{2I_Q}{k'(W/L)_1}} = \sqrt{\frac{2 \times 1\,000}{200 \times 1\,000}} \text{ V} = 0.1 \text{ V} \quad (5.63)$$

由于 $V_{DD} + 2\phi_f = 3.1$ V 并且 $V_t - V_{ov1} - V_{t0} = -0.8$ V,

$$V_O = -3.1 \text{ V} + \left[-0.25 + \sqrt{(0.25)^2 - 0.8 + 0.5 \sqrt{0.6} + 3.1} \right]^2 \text{ V} = -1.117 \text{ V}$$

因此

$$V_o + V_{DO} + 2\phi_i = (-1.117 + 2.5 + 0.6) \text{ V} = 1.983 \text{ V}$$

由式(5.55)得

$$HD_2 = \frac{0.5}{16} \times \frac{(1.983)^{-3/2} \times 0.5}{\left[1 + \frac{0.5}{2} \times (1.983)^{-1/2}\right]^2} = 0.0040 \quad (5.64)$$

由式(5.58)得

$$HD_3 = -\frac{0.5}{64} \cdot \frac{(1.983)^{-5/2} \times (0.5)^2}{\left[1 + \frac{0.5}{2} \times (1.983)^{-1/2}\right]^4} = -1.8 \times 10^{-4} \quad (5.65)$$

从而,二次谐波的失真为 0.40%,三次谐波的失真为 0.018%。因此,以二次谐波失真为主。³

5.4 乙类放大器推挽式输出级

甲类放大器输出级的主要缺点在于,即使没有交流输入,它也有相当的功率损失。在许多的功率放大器的应用中,这一电路会由于没有信号输入或是只有间断的音频输入而处于长时间的等待状态。在这种状态下,散失的功率被浪费,这是一个重要问题。首先,对于由电池驱动的器件,应当尽量节省能量以延长电池寿命。其次,电路中浪费的所有功率全都散失在器件当中了,而这会使得它们的工作温度升高,从而增加器件损坏的可能。此外,器件中散失的功率将会影响器件所需的物理尺寸,由于较大的器件需要更大的硅片,使得它更加昂贵。

乙类放大器输出级可以适当地解决这个问题。从根本上讲,对于它,没有信号输入时,功率散失也为零。比之于甲类,它使用两个放大器件来传递功率,每一个的工作时间为半个周期。这也是被称作推挽式的原因。乙类放大器输出级的另外一个优点在于它的效率比甲类要高得多(完全输出时理论值为 78.6%)。

图 5.10 是乙类放大器输出级的一种较为典型的集成电路实现,它使用双极型工艺。这一电路使用两个 pnp 或者 npn 型晶体管,即所谓的互补式输出级。pnp 型晶体管通常使用的是衬底 pnp。值得注意的是,负载电阻 R_L 与晶体管的发射极相连,因此,这一设置呈现出射极跟随器的特点。

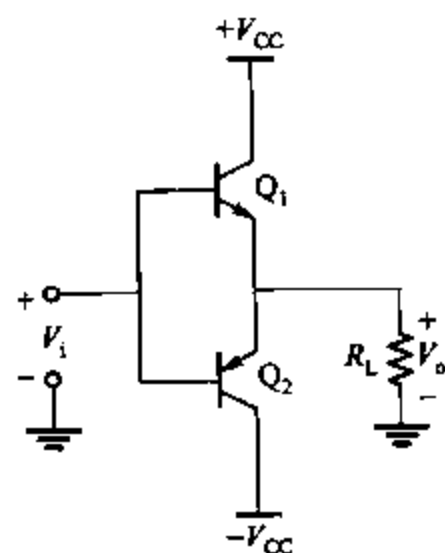


图 5.10 简单的乙类放大器
集成电路输出级

5.4.1 乙类放大器输出级的转移特性

图 5.10 所示电路的转移特性如图 5.11 所示。当 V_i 等于零时, V_o 也为零,这时两个晶体管都截止。随着 V_i 正向增大, Q_1 基极和发射极之间的电压 V_{be} 也增大。直到大小为 $V_{BE(on)}$ 时 Q_1 中将会有电流流过。这时, V_o 依然约等于零,但是,因为 Q_1 呈现射极跟随器的特点,故随着 V_i 的增加 V_o 也会有相同情况的增加。当 $V_i > 0$ 时,由于基极和发射极之间的反向偏置而使得 Q_2 截止。 V_i 的继续增大最终会导致 Q_1 达到饱和状态 ($V_i = V_{CC} + V_{be1} - V_{CE1(sat)}$), 此

时,输出特性曲线会变为与输入轴平行,跟前面讨论过的传统的射极跟随器一样。

如果 V_i 从零开始向负向增加,电路会呈现类似的特性,只是这个时候在 $V_i < -V_{BE(on)}$ 的情况下, Q_1 由于反向偏置而截止, Q_2 呈现射极跟随器的特点。

如图 5.11 所示,特性曲线以 $V_i = 0$ 为中心,有一个宽度为 $2V_{BE(on)}$ 的死区。这个死区对于乙类放大器输出级是普遍存在的,而且它会导致交越失真,如图 5.12 所示。该图示出了不同幅度的正弦输入情况下的输出波形。对于这一电路,幅值稍大于 $V_{BE(on)}$ 的输入信号的失真比较严重。随着输入信号幅度的增加,这种失真相应减弱,死区也消耗了一小部分信号幅度。最终,对于相当大的信号, Q_1 、 Q_2 都会出现饱和,这时将会再次出现非常严重的平顶失真。这种

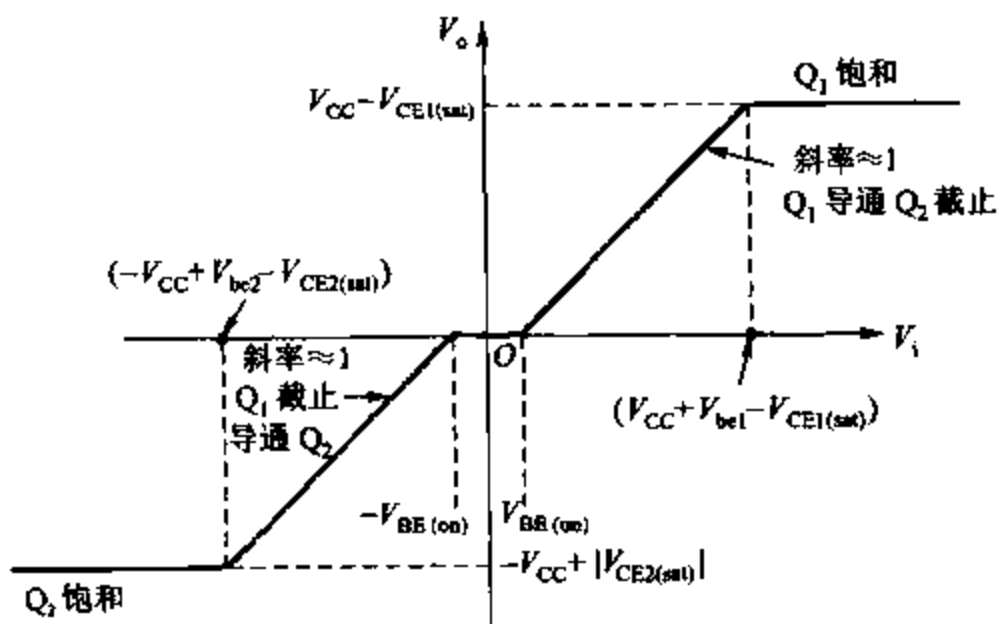


图 5.11 图 5.10 所示的乙类放大器输出级的传输特性

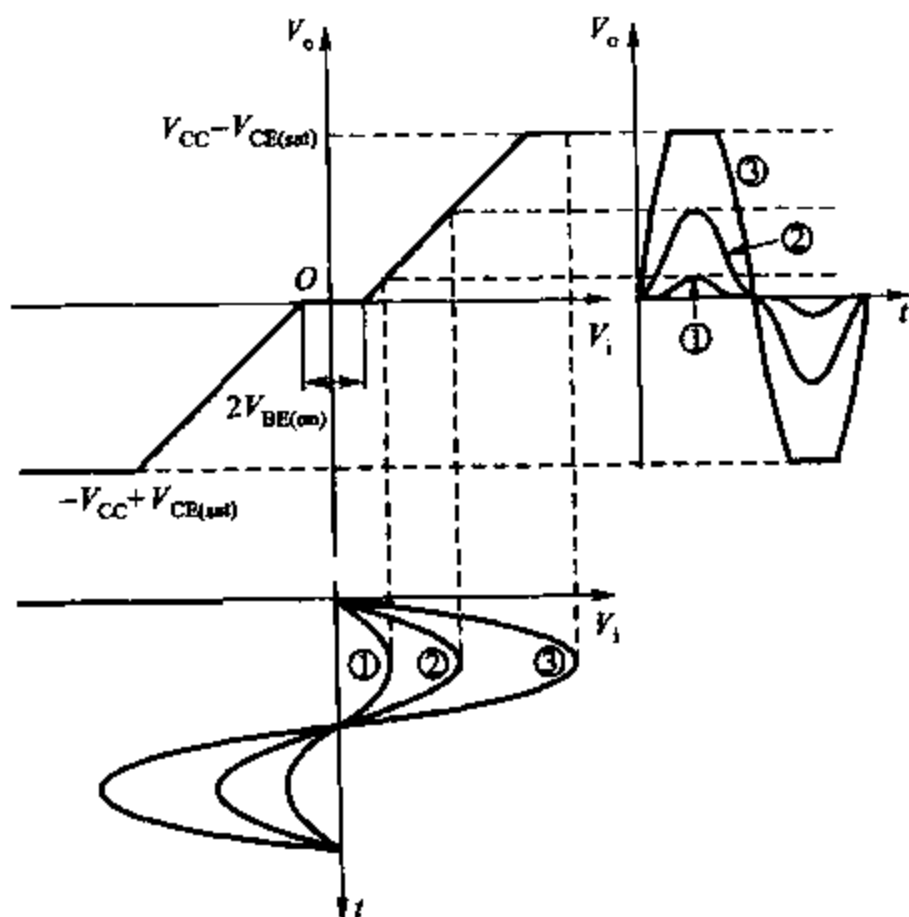


图 5.12 图 5.10 所示乙类电路在不同幅度输入信号条件下的输出波形

情况是乙类放大器输出级的特性,也是失真数据常常在低功率和高功率输出控制被引用的原因。

上面所讨论的交越失真可以通过甲乙类电路来减小。在这个方案中,放大器件被加上了偏置电压,这样每一个放大器件在 $V_i = 0$ 时都存在一个很小的静态电流。这种偏置方法可以通过图 5.13 的连接实现,即通过电流源 I_Q 强制通过二极管 Q_3 、 Q_4 而获得偏置。由于二极管 Q_3 、 Q_4 是与 Q_1 、 Q_2 的发射结平行连接,因而输出部分的晶体管的偏置电流取决于 Q_1 、 Q_2 、 Q_3 和 Q_4 的面积比。这一电路的典型传输特性如图 5.14 所示,可以看出,死区已被有效地消除了。由于 Q_1 、 Q_2 传导中的交叠而存在的非线性可以通过负反馈来减弱,这将在第八章中讨论。

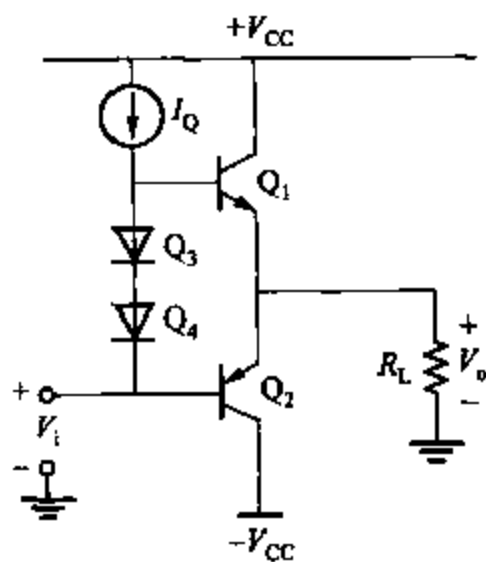


图 5.13 甲乙类放大器的输出级,
图中的二极管减小了交越失真

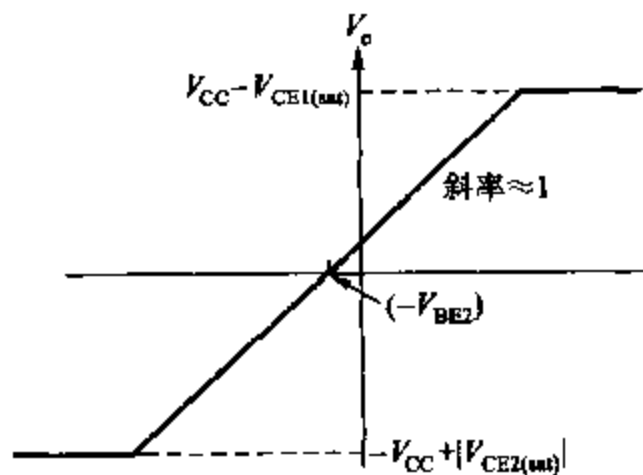


图 5.14 图 5.13 所示电路
的传输特性

图 5.13 所示电路的原理与图 5.11 的原理极为相似。随着 V_i 从静态值朝着负向增大,射极跟随器 Q_2 迫使 V_o 与 V_i 呈相同的变化趋势。负载电流将流经 Q_2 ,这使得它的基极-发射极电压有轻微增加。由于两个二极管迫使 Q_1 和 Q_2 的发射结上的偏置电压总量恒定,那么当 Q_2 的基极-发射极电压增大时, Q_1 的基极-发射极电压会有等值的减小。在负的输出电压漂移中,尽管 Q_1 导通,但几乎没有电流流过,而且不参与输出功率的传输。当 V_i 取正值时,出现与上面相反的情况。这时, Q_1 呈现射极跟随器的特性并有电流流过 R_L , Q_2 中只有微弱电流。在这种情况下,电流源 I_Q 为 Q_1 提供基极电流驱动。

在对图 5.11 和图 5.14 特性曲线的推导过程中,假定输入电压 V_i 的大小不受限制。在图 5.11 中,要使 Q_1 和 Q_2 达到饱和,要求 V_i 的值大于 V_{CC} 。然而,正如在前面讨论过的简单的射极跟随器的情况,如果驱动级和输出级与同一电源相连,那么驱动级实际上无法达到大于 V_{CC} 的电压值。例如,图 5.13 所示的电流源 I_Q 通常由一个 pnp 型晶体管来实现,因而 Q_1 基极的电压值不可能超过电流源驱动的晶体管达到饱和所需的电压值 $(V_{CC} - V_{CE(sat)})$ 。

因此,产生平顶失真时 V_o 的正、负极值都比图 5.11 和图 5.14 中所示要稍小,而且,这种限制通常发生在驱动级。将在后续的章节中讨论实际的输出级时更深入地研究这一情况。

5.4.2 乙类输出级的功率输出和效率

可以通过分析两个晶体管的集电极电流来进一步分析乙类输出级的原理,如图 5.15 所示,此时忽略了交越失真。注意,每个晶体管只在半个周期内工作。

图 5.15 所示的集电极电流波形也代表了电源的电流波形。如果假定它们是半个正弦波,那么从电源 V_{CC} 获得的平均电流为

$$\begin{aligned} I_{\text{supply}} &= \frac{1}{T} \int_0^T I_{c1}(t) dt = \frac{1}{T} \int_0^{T/2} \frac{\hat{V}_o}{R_L} \sin\left(\frac{2\pi t}{T}\right) dt \\ &= \frac{1}{\pi} \frac{\hat{V}_o}{R_L} = \frac{1}{\pi} \hat{I}_o \end{aligned} \quad (5.66)$$

其中 T 是输入信号的周期。同时, \hat{V}_o 和 \hat{I}_o 是输出正弦信号的电压和电流幅值。由于每个电源传输相同的电流值,因此从两个电源获得的总的平均功率为

$$P_{\text{supply}} = 2 V_{CC} I_{\text{supply}} = \frac{2}{\pi} \frac{V_{CC}}{R_L} \hat{V}_o \quad (5.67)$$

其中,使用了式(5.66)。与甲类的情况不同,乙类从电源获得的平均功率的确因信号不同而变化,它直接与 \hat{V}_o 成比例。

R_L 所获得的平均功率为

$$P_L = \frac{1}{2} \frac{\hat{V}_o^2}{R_L} \quad (5.68)$$

根据式(5.13)关于电路效率的定义,有

$$\eta_c = \frac{P_L}{P_{\text{supply}}} = \frac{\pi}{4} \frac{\hat{V}_o}{V_{CC}} \quad (5.69)$$

其中,用到式(5.67)和式(5.68)。式(5.69)表明,对于乙类输出级, η 和 R_L 无关,但它随着 \hat{V}_o 的增加而线性增加。

根据图 5.14,在产生平顶失真之前, \hat{V}_o 所能达到的最大值为 $\hat{V}_{om} = (V_{CC} - V_{CE(sat)})$ 。因此,可以通过下式来计算负载 R_L 在正弦输入时所能获得的最大平均功率

$$P_L|_{\text{max}} = \frac{1}{2} \frac{(V_{CC} - V_{CE(sat)})^2}{R_L} \quad (5.70)$$

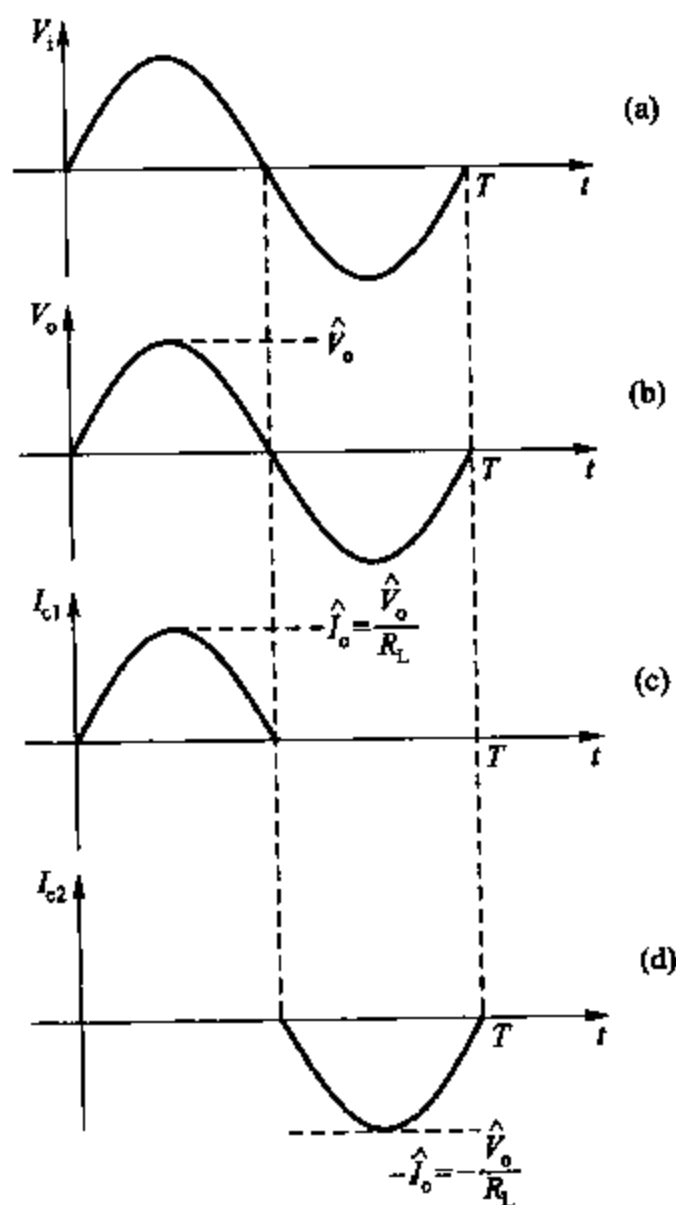


图 5.15 乙类放大器输出级的电压和电流波形

(a) 输入电压; (b) 输出电压;

(c) Q_1 的集电极电流; (d) Q_2 的集电极电流

根据式(5.69),得到相应的最大效率

$$\eta_{\max} = \frac{\pi}{4} \left(\frac{V_{CC} - V_{CE(sat)}}{V_{CC}} \right) \quad (5.71)$$

如果 $V_{CE(sat)}$ 小于 V_{CC} , 电路可以达到最大效率 0.786 或者 78.6%。这比甲类电路所能获得的最大效率 25% 要高得多。此外,乙类电路在备用状态的能量散失几乎为零。这些优点说明了乙类和甲乙类输出级得到广泛应用的原因。

图 5.16 示出了乙类输出级中的负载曲线。当 V_{ce} 小于静态值 V_{CC} 时,负载曲线的斜率为 $-1/R_L$ 。当 V_{ce} 大于静态值 V_{CC} 时,负载曲线与 V_{ce} 轴重合。这是因为考察的这个晶体管截止,而另外一个导通。因此,尽管该晶体管的集电极电流为零,但 V_{ce} 逐渐增大。 V_{ce} 最大可以达到 $(2V_{CC} - V_{CE(sat)})$ 。正如甲类输出级的情况一样,注意到 $P_L = \frac{1}{2} I_o \hat{V}_o$, 而其中 I_o 和 \hat{V}_o 分别为负载 R_L 上的正弦信号的电流幅值和电压幅值,可以用几何的方法来对平均功率 P_L 作出解释。如图 5.16,功率 P_L 在数量上等于由 V_{ce} 横轴和穿过控制点的负载曲线所围成的三角形的面积。

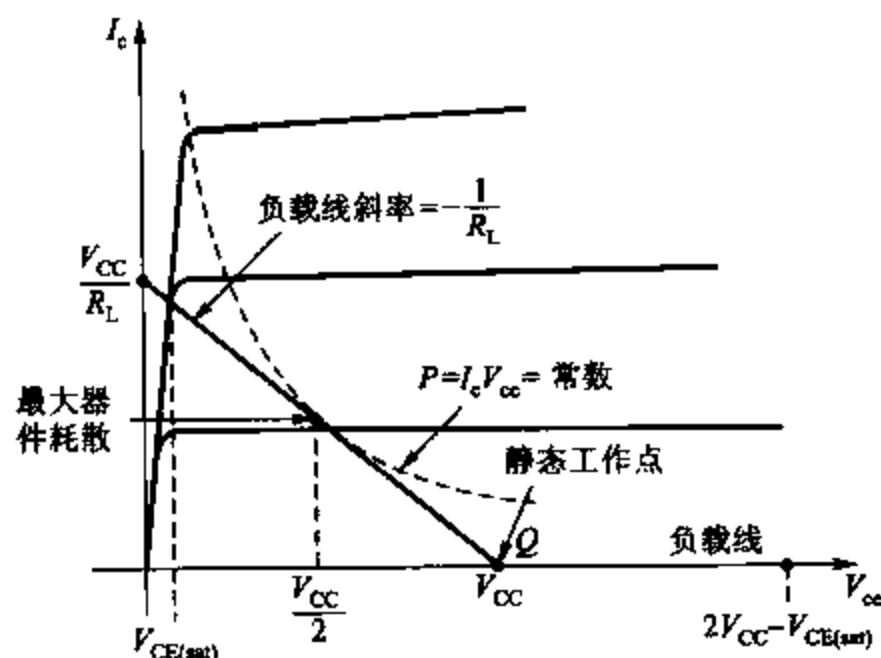


图 5.16 乙类放大器的负载线

下面讨论单个晶体管的瞬时耗散功率:

$$P_c = V_{ce} I_c \quad (5.72)$$

又有

$$V_{ce} = V_{CC} - I_c R_L \quad (5.73)$$

将式(5.73)代入式(5.72)得

$$P_c = I_c (V_{CC} - I_c R_L) = I_c V_{CC} - I_c^2 R_L \quad (5.74)$$

对式(5.74)求微分,可知当

$$I_c = \frac{V_{CC}}{2R_L} \quad (5.75)$$

时, P_c 达到最大值。

这一最大值是在负载线与坐标轴相交所成线段的中点, 而且这种情况与前面甲类输出级所推导的结果相符。与甲类的情况一致, 图 5.16 中的负载线在最大功率耗散点与功率曲线(双曲线)相切。因而, 当输出电压达到最大漂移的一半时, 器件的功耗达瞬时最大值。由于器件的静态功率损失为零, 故只要有信号输入, 乙类装置的工作温度就会不断增加。

图 5.17 示出了乙类输出级单个器件在最大输出时几个参数随时间变化的函数曲线, 包括集电极电流, 集电极电压以及二者之积。(假定 $V_{CE(sat)} = 0$, 并忽略交越失真。)当晶体管导通时, 在两倍的信号频率下功率耗散发生变化。当晶体管截止时, 功率耗散为零。当输出开路时, 图 5.16 中的负载线与横轴重合, 而且此时晶体管没有功率耗散。与甲类输出级的情况相同, 在图 5.16 中, 当输出短路时, 负载线在静态点变成垂直线。此时, 晶体管的功率耗散也变得相当大。将在 5.4.6 节中讨论相应的解决方法。

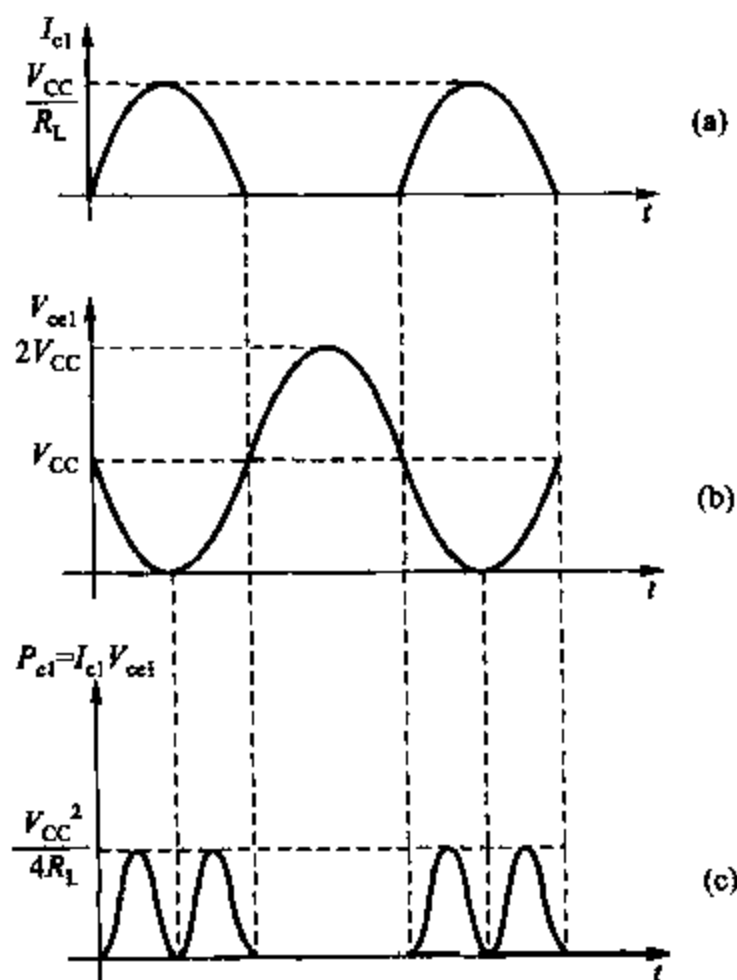


图 5.17 乙类放大器的最大输出波形
(a) 集电极电流波形; (b) 集电极电压波形;
(c) 集电极耗散功率波形

示例

在图 5.10 所示的乙类输出级中, 负载 $R_L = 500 \Omega$ 。假定 V_o 是正弦波, 输入信号的正负幅值均为 15 V, 计算当 $\hat{V}_o = 14.4$ V 时, 负载 R_L 消耗的最大平均功率、相应的效率, 以及晶体管的最大瞬时功率散失。

根据式(5.66), 平均输入电流值为

$$I_{\text{supply}} = \frac{1}{\pi} \frac{\hat{V}_o}{R_L} = \frac{1}{\pi} \frac{14.4}{500} = 9.17 \text{ mA}$$

再由式(5.67), 从输入获得的平均功率为

$$P_{\text{supply}} = I_{\text{supply}} \times 2V_{CC} = 9.17 \times 30 \text{ mW} = 275 \text{ mW}$$

又, 负载上消耗的功率为

$$P_L = \frac{1}{2} \frac{\hat{V}_o^2}{R_L} = \frac{1}{2} \times \frac{14.4^2}{500} \text{ W} = 207 \text{ mW}$$

那么, 根据式(5.13), 相应的效率为

$$\eta_c = \frac{P_L}{P_{\text{supply}}} = \frac{207}{275} = 75.3\%$$

这一结果接近理想的最大值 78.6%, 由式(5.75)可知, 最大瞬时器件功率损失发生在

$$I_c = \frac{V_{cc}}{2R_L} = \frac{15 \text{ V}}{1000 \Omega} = 15 \text{ mA}$$

处。这时, $V_{ce} = V_{cc}/2 = 7.5 \text{ V}$, 晶体管的最大瞬时功率损失为

$$P_c = I_c V_{ce} = 15 \times 7.5 \text{ mW} = 112.5 \text{ mW}$$

根据能量守恒, 得到单个晶体管的平均功率损失为

$$P_{av} = \frac{1}{2}(P_{supply} - P_L) = \frac{1}{2}(275 - 207) \text{ mW} = 34 \text{ mW}$$

5.4.3 乙类互补式输出级的实际应用⁶

下面将举两例来说明乙类输出级的实际应用。最简单的应用之一是 709 运算放大器的输出级, 图 5.18 是一个简单的示意图。在该图中, 晶体管 Q_3 作为共射极驱动级来驱动输出晶体管 Q_1 和 Q_2 。

这一级的转移特性可推导如下。静态时, $V_o = 0$, $V_i = 0$ 。这时 Q_1 和 Q_2 的基极电流为零, 因而截止。因此, 当 $V_{cc} = 10 \text{ V}$ 时, Q_3 中的基极电流为

$$I_{B3} = \frac{V_{cc} - V_i}{R_1} = \frac{V_{cc}}{R_1} = \frac{10 \text{ V}}{20 \text{ k}\Omega} = 0.50 \text{ mA}$$

V_o 所能取得的极值由驱动级决定。当 V_i 取较大的正值时, V_i 会降低, 直至 Q_3 达到饱和状态, 此时达到负的极值 V_o^- :

$$V_o^- = -V_{cc} + V_{CE3(sat)} - V_{be2} \quad (5.76)$$

当 V_i 的值介于 $(-V_{cc} + V_{CE3(sat)})$ 和 $(-V_{BE(on)})$ 之间时, Q_2 和 Q_3 处于正向放大区, 而且由于 Q_2 作为射极跟随器, V_o 将跟随 V_i 的变化而变化。

如果 V_i 为负, Q_3 中的电流会减小, V_i 增加, 使得 Q_1 导通。当 Q_3 截止, 并且 Q_1 很容易地通过 R_1 获得偏置时, 达到正的最大值 V_o^+ 。此时

$$V_{cc} = I_{b1} R_1 + V_{be1} + V_o^+ \quad (5.77)$$

假如 β_{F1} 相当大, 那么

$$V_o^+ = I_{c1} R_L = \beta_{F1} I_{b1} R_L$$

其中, β_{F1} 是 Q_1 的电流增益。因此

$$I_{b1} = \frac{V_o^+}{\beta_{F1} R_L} \quad (5.78)$$

将式(5.78)代入式(5.77), 整理得

$$V_o^+ = \frac{V_{cc} - V_{be1}}{1 + \frac{R_1}{\beta_{F1} R_L}} \quad (5.79)$$

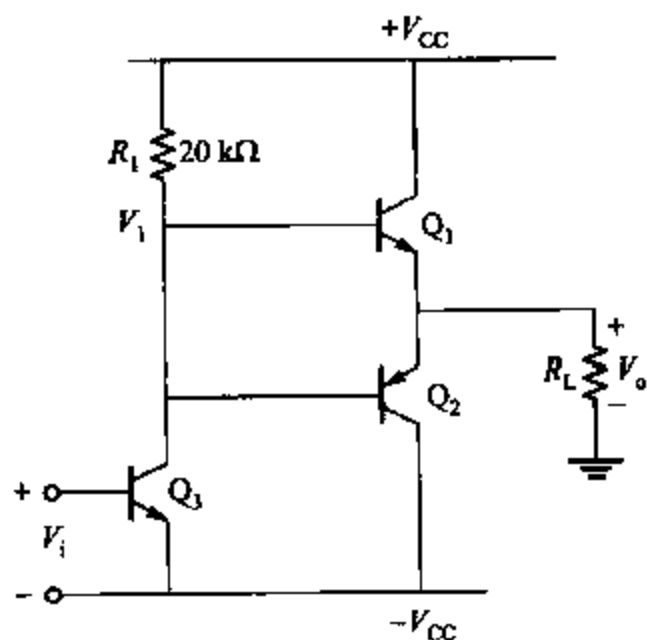


图 5.18 709 运算放大器的输出级简化电路

当 $R_L = 10\text{ k}\Omega$, $\beta_{F1} = 100$ 时, 由式(5.79)得

$$V_o^+ = 0.98(V_{CC} - V_{be1})$$

在这种情况下, V_o 的正负偏移极值几乎相差不大。然而, 假若 $R_L = 1\text{ k}\Omega$, $\beta_{F1} = 100$, 则由式(5.79)得

$$V_o^+ = 0.83(V_{CC} - V_{be1})$$

可以看出, R_L 值减小, 输出 V_o 正的最大值也减小, 当 V_o 正向增加时正弦信号会首先出现平顶失真。

图 5.19 示出了用计算机绘制的电路特性图, $V_{CC} = 10\text{ V}$, R_L 分别取 $1\text{ k}\Omega$ 和 $10\text{ k}\Omega$ 。(假定对所有的晶体管 $\beta_F = 100$ 。)从传输特性曲线可以看出: 对于 R_L 取 $1\text{ k}\Omega$ 的情况, 其减小的正的电压接受能力是很明显的。传输特性曲线的曲率归因于驱动 Q_3 的非线性的指数特性。事实上, 由于 npn 型晶体管 Q_1 的电流增益通常要比 pnp 型晶体管 Q_2 的大得多, 从而使该特性曲线的正负部分相差很大, 比起图 5.19 所示情况, 非线性会更严重。通过计算对于正负输出 V_o 的小信号增益 $\Delta V_o / \Delta V_i$, 可以看到这一情况。在实际的 709 集成电路中, 输出级通过负反馈来减小传输特性中的非线性。

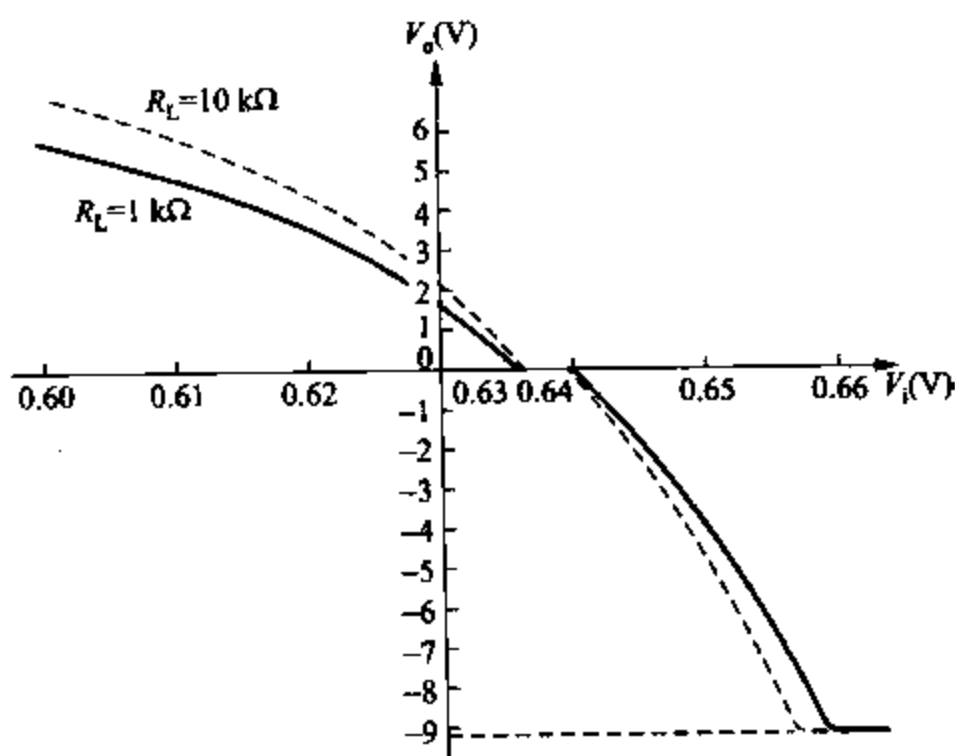


图 5.19 用 SPICE 绘制的图 5.18 电路的传输特性图 $V_{CC} = 10\text{ V}$, $R_L = 1\text{ k}\Omega$ 和 $10\text{ k}\Omega$

另外一个运用乙类输出级的例子如图 5.20 所示, 其中还标出了通过 SPICE 计算出的偏置电流。该电路是 741 运算放大器的简单原理图。由于二极管 Q_{18} 和 Q_{19} , 晶体管 Q_{14} 和 Q_{20} 获得大小为 0.17 mA 的集电极电流。 Q_{14} 和 Q_{20} 中偏置电流的大小取决于二极管 Q_{18} 和 Q_{19} 输出晶体管之间的有效面积比。(实际情况中, 二极管 Q_{18} 和 Q_{19} 是通过晶体管实现的。)输出级由横向 pnp 型射极跟随器 Q_{23} 驱动, 而 Q_{23} 本身由共射级 Q_{17} 驱动, Q_{17} 的偏置电流通过电流源 Q_{13B} 获得, 大小为 0.68 mA 。

从图 5.21 所示的传输特性曲线可以看出, 图 5.20 中的二极管从根本上消除了电路中

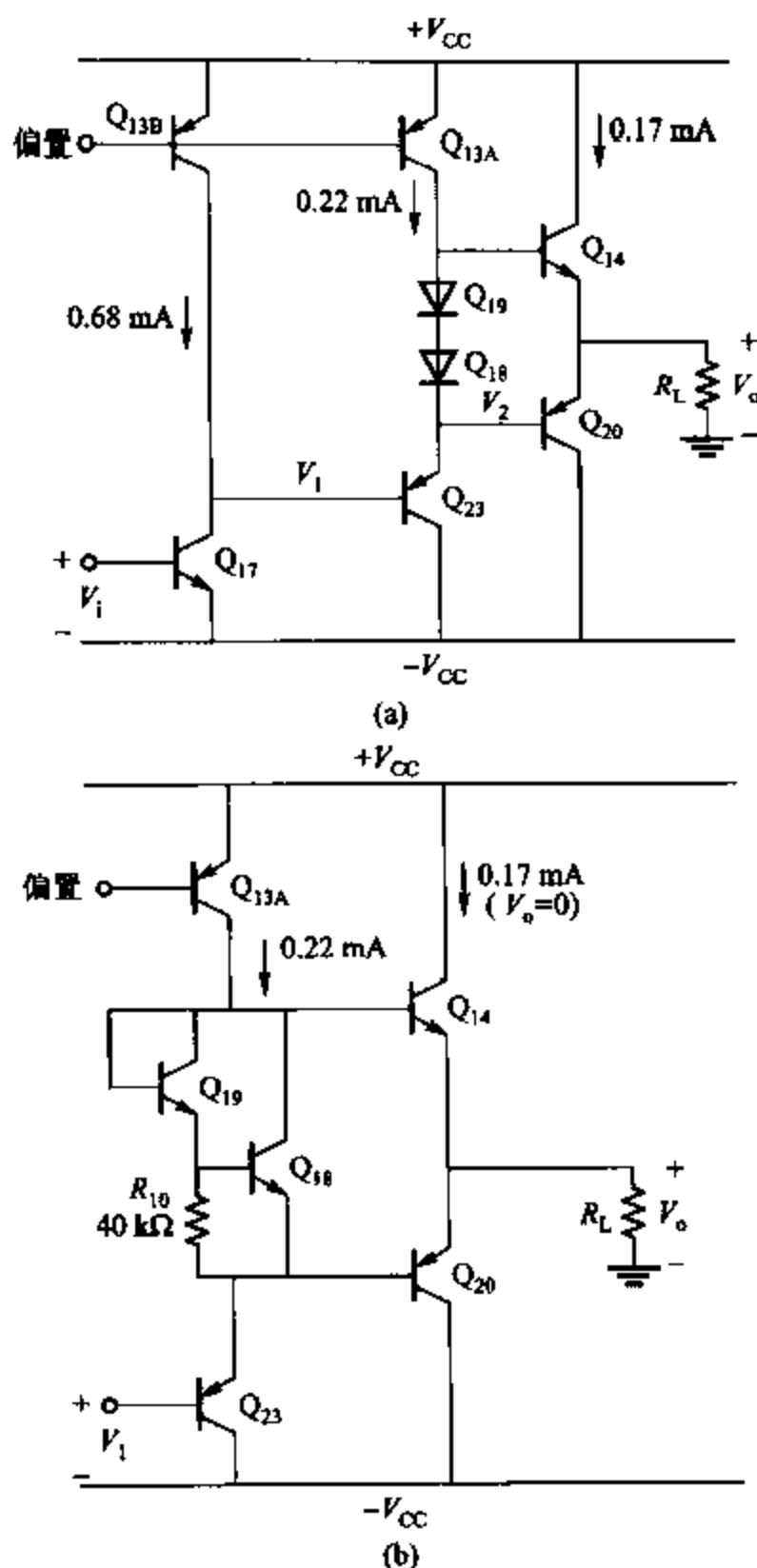


图 5.20 (a) 运放输出级的简化电路; (b) 741 运放输出级 Q_{18} 和 Q_{19} 晶体管的详细电路

的交越失真。如果输出部分用射极跟随器 Q_{23} 提供的小值电阻来驱动, 该级的线性程度可以进一步改善。从而, Q_{14} 和 Q_{20} 之间的电流增益差别对于传输特性几乎没有影响, 因为当 Q_{14} 或者 Q_{20} 导通时, 对任意实际的电流增益值, 小信号增益 $\Delta V_o / \Delta V_i$ 都约等于 1。

对于图 5.21 中所示的输出电压漂移极限值, 可做如下分析。随着 V_i 正向增大, Q_{23} 的基极电压变为负值, V_2 和 V_o 也跟着 V_i 变化, 此时电流从负载 R_L 流向 Q_{20} 。当 Q_{17} 达到饱和时, 负向电压漂移达到极值

$$V_o^- = -V_{CC} + V_{CE17(\text{sat})} - V_{be23} - V_{be20} \quad (5.80)$$

这一极值大约为 1.4 V , 比负的输入稍大。因此, V_o^- 受限于 Q_{23} 的前级驱动 Q_{17} 的饱和特性。

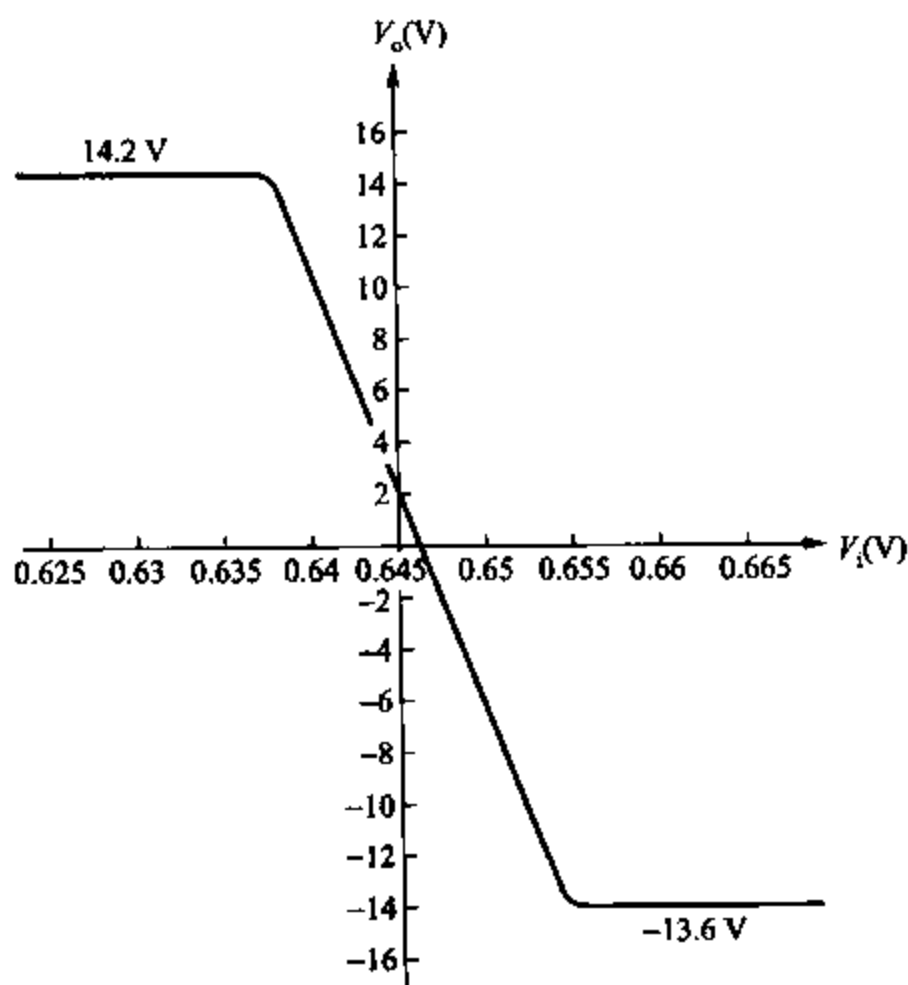


图 5.21 图 5.20a 所示电路, 在 $V_{CC} = 15\text{ V}$, $R_L = 1\text{ k}\Omega$ 条件下的 SPICE 仿真传输特性曲线

随着 V_i 从静态值(此时 $V_o = 0$)向负向增加时, V_1 上升, V_2 和 V_o 也跟着 V_i 变化, 此时电流从 Q_{14} 流向负载。当电流源 Q_{13A} 饱和时, 输出电压 V_o^+ 达到正的最大值

$$V_o^+ = V_{CC} + V_{CE13A(\text{sat})} - V_{be14} \quad (5.81)$$

这一极限值大约为 0.8 V , 低于正的输入。这是因为对于 pnp 型晶体管 $V_{CE13A(\text{sat})} \approx -0.1\text{ V}$ 。同时也受驱动级的限制。

需要讨论的是, 图 5.20 所示结构的驱动电路的功率需求。对驱动级的基本要求是它要能有效地驱动输出级, 以便向负载 R_L 提供所需功率。随着 V_o 负向增加, 将有一个没有极限值的电流从 Q_{20} 的基极流向 Q_{23} 。事实上, 该电路应采取相应措施来保证输出不出现短路。否则, 大的信号输入会使 Q_{20} 和 Q_{23} 的导通电流过大而烧毁。正如前面所讨论过的, 当 Q_1 达到饱和并再也无法驱动 Q_{23} 时, 电压达到负向极值。

如果 V_o 取正 (V_i 负向增加, V_1 正向增加), Q_{23} 的导通有所减弱, 电流源 Q_{13A} 为 Q_{14} 提供基极电流。最大输出电流限制为可以驱动 Q_{14} 的电流 0.22 mA 。随着 V_1 、 V_2 和 V_o 正向增大, Q_{14} 中的电流也增大, 并且 Q_{13A} 中的电流不断地转移到 Q_{14} 的基极中。因此, Q_{14} 中传导的输出电流的最大值为

$$I_o = \beta_{F14} \times 0.22\text{ mA}$$

如果 $\beta_{F14} = 100$, 最大输出电流就等于 22 mA 。从而, 驱动级可能限制可从输出级获得的最大正电流。然而, 仅当 R_L 足够小以至于 Q_{13A} 无法在正向漂移电压值时达到饱和的情

况下,才会发生这种情况。

该电路驱动级的前级是 Q_{17} 。正如前面所提到的,当 Q_{17} 达到饱和时, V_o 达到负向极值。 Q_{17} 中大小为 0.68 mA 的偏置电流比 Q_{23} 的基极电流大得多,因此 Q_{23} 对 Q_{17} 产生的负电荷很小。从而,对于任意输入, Q_{17} 的集电极电流只有较小的变化, Q_{23} 的基极电压 V_{b1} 能在小于 $V_{CE(sat)}$ 的范围内变化。

最后,讨论 741 中二极管 Q_{18} 和 Q_{19} 结构的细节。图 5.20b 所示为实际电路构成,其中省略了输出部分的保护电路。 Q_{19} 导通时电流值很小,等于 Q_{18} 的基极电流加上扩散致窄电阻 R_{10} 上的漏电流。于是,电流源 Q_{13A} 的大部分偏置电流从 Q_{18} 中流过。这种设计有两个理由。首先,通过这种结构获得大小为两倍于基极-发射极电压的压降。由于 Q_{18} 和 Q_{19} 拥有相同的集电极,它们能够放在同一个隔离区,减小死区面积。其次,由于 Q_{19} 的导通电流很小,因为 Q_{18} 和 Q_{19} 而产生在 Q_{14} 和 Q_{20} 基极上的偏置电压比起图 5.20a 所示结构得到的值要小。这一结论是很重要的,因为通常 Q_{14} 和 Q_{20} 的射极面积比标准器件的值要大得多(典型值为标准值的四倍或者更大),因此,即使它们的导通电流很大,它们也能保证有较大的电流增益 β_F 。所以,在图 5.20a 所示电路中, Q_{14} 和 Q_{20} 的偏置电流可能达到 Q_{18} 和 Q_{19} 中电流的四倍,这种情况在 741 型电路中很多。然而,即使输出部分晶体管的面积很大,仍然可以用图 5.20b 的方法使 Q_{14} 和 Q_{20} 获得一个大小与二极管中电流差不多的偏置电流。产生这种情况的基本原因是,图 5.20b 中 Q_{19} 的较小的偏置电流产生的基极-发射极电压比起在图 5.20a 中相同器件产生的电流要小,这降低了 Q_{14} 和 Q_{20} 基极间的总的偏置电压。

上面描述的情况可以通过计算图 5.20b 中 Q_{14} 和 Q_{20} 的偏置电流来定量地分析。根据 KVL 有

$$V_{BE19} + V_{BE18} = V_{BE14} + |V_{BE20}|$$

因而

$$V_T \ln \frac{I_{C19}}{I_{S19}} + V_T \ln \frac{I_{C18}}{I_{S18}} = V_T \ln \frac{I_{C14}}{I_{S14}} + V_T \ln \left| \frac{I_{C20}}{I_{S20}} \right| \quad (5.82)$$

如果假定电路在 $V_o = 0$ V 时偏置,并且 $\beta_{F14} \gg 1$ 和 $\beta_{F20} \gg 1$,那么 $|I_{C14}| = |I_{C20}|$ 和式 (5.82) 变换为

$$\frac{I_{C19} I_{C18}}{I_{S18} I_{S19}} = \frac{I_{C14}^2}{I_{S14} I_{S20}}$$

由此,得到

$$I_{C14} = -I_{C20} = \sqrt{I_{C19} I_{C18}} \sqrt{\frac{I_{S14} I_{S20}}{I_{S18} I_{S19}}} \quad (5.83)$$

式(5.83)可以用来计算图 5.20b 所示类型电路的输出偏置电流。根据式(5.83)得到的输出级偏置电流与 $\sqrt{I_{C18}}$ 和 $\sqrt{I_{C19}}$ 成比例。对于这种特殊例子,如果 β_F 很大, Q_{19} 的集电极电流大约与 R_{10} 上的电流相等,于是有

$$I_{C19} \approx \frac{V_{BE18}}{R_{10}} \approx \frac{0.6}{40} \text{ mA} = 15 \mu\text{A}$$

如果忽略 Q_{14} 和 Q_{20} 的基极电流,那么 Q_{18} 的集电极电流为

$$I_{C18} \approx |I_{C13A}| - I_{C19} = (220 - 15) \mu\text{A} = 205 \mu\text{A}$$

要通过式(5.83)计算输出级偏置电压,需要不同的反向饱和电流。这电流值取决于特定 IC 的集成方法,典型值 $I_{S18} = I_{S19} = 2 \times 10^{-15} \text{ A}$, $I_{S14} = 4I_{S18} = 8 \times 10^{-15} \text{ A}$ 。将它们代入式(5.83)得到 $I_{C14} = -I_{C20} = 0.16 \text{ mA}$ 。

示例

对于图 5.20a 所示的输出级,计算 $V_o = 10 \text{ V}$ 时所有晶体管的偏置电流。假定 $V_{CC} = 15 \text{ V}$, $R_L = 2 \text{ k}\Omega$, $\beta_F = 100$ 。为简化计算,假定所有晶体管面积相同,对于每个晶体管

$$|I_C| = 10^{-14} \exp \left| \frac{V_{be}}{V_T} \right| \quad (5.84)$$

假定 Q_{14} 负载提供正向输出电压,则有

$$I_{C14} = \frac{V_o}{R_L} = \frac{10 \text{ V}}{2 \text{ k}\Omega} = 5 \text{ mA}$$

代入(5.84)并整理得

$$V_{be14} = (36 \text{ mV}) \ln \left(\frac{5 \times 10^{-3}}{10^{-14}} \right) = 700 \text{ mV}$$

同时

$$I_{B14} = \frac{I_{C14}}{\beta_{F14}} = \frac{5 \text{ mA}}{100} = 0.05 \text{ mA}$$

因此有

$$I_{C19} \approx I_{C18} \approx -I_{C23} = (0.22 - 0.05) \text{ mA} = 0.17 \text{ mA}$$

代入式(5.84)中并整理得

$$V_{be19} = V_{be18} = -V_{be23} = (26 \text{ mV}) \ln \left(\frac{0.17 \times 10^{-3}}{10^{-14}} \right) = 613 \text{ mV}$$

因此

$$V_{be20} = -(V_{be19} + V_{be18} - V_{be14}) = -525 \text{ mV}$$

式(5.84)给出

$$I_{C20} = -5.9 \mu\text{A}$$

如同预想中的一样, Q_{20} 的集电极电流很小,最后得到

$$I_{C17} = 0.68 \text{ mA} - \frac{I_{C23}}{\beta_{F23}} = \left(0.68 - \frac{0.17}{100} \right) \text{ mA} = 0.68 \text{ mA}$$

同时

$$V_2 = V_o - |V_{be20}| = (10 - 0.525) \text{ V} = 9.475 \text{ V}$$

和

$$V_1 = V_2 - |V_{be23}| = (9.475 - 0.613) \text{ V} = 8.862 \text{ V}$$

5.4.4 全 npn 乙类输出级^{7,8,9}

如上所描述的乙类电路对许多集成电路的应用而言是合适的。因为它们的负载功率需求还不到几百个毫瓦。然而,如果是瓦级或更大的输出需要,这种电路则无法使用,因为其中的 pnp 晶体管的载流能力有限,由于和电路中的 npn 晶体管有冲突,故电路中 pnp 晶体管的发射极、基极和集电极的掺杂水平没被最佳化,这才导致了上述结果。

在两部分都使用大功率 npn 晶体管的一种乙类电路设计如图 5.22 所示。在这个电路中,共发射极晶体管 Q_1 ,在负半周期将功率传递给负载而射随器 Q_2 在正半周传递功率。

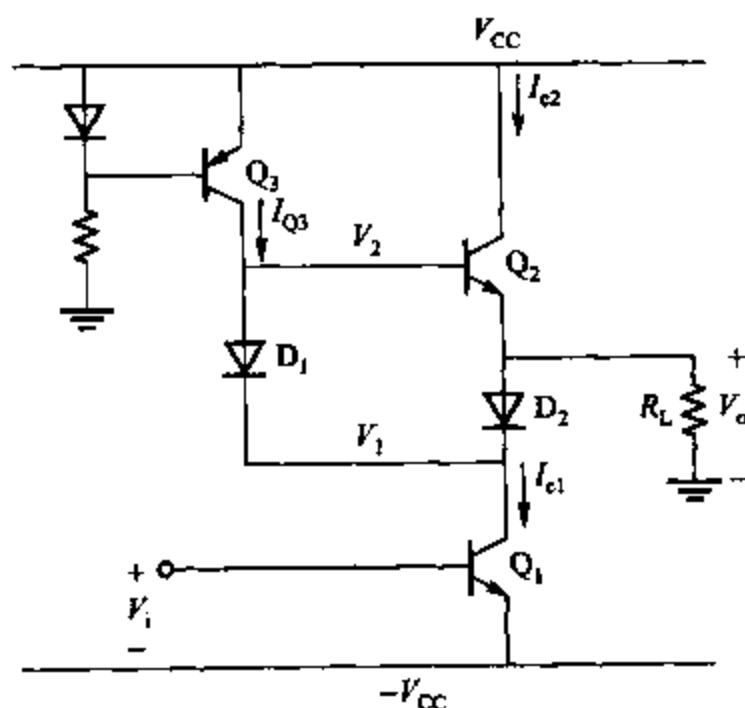


图 5.22 全 npn 管乙类输出级

分析此电路动态特点,假定 V_i 的静态分量是负的,则 Q_1 截止, $I_{C1} = 0$ 。则二极管 D_1 和 D_2 截止, Q_3 的集电极电流都传送到 Q_2 的基极,输出电压为最大正值 V_o^+ 。如果 R_L 足够大, Q_3 饱和则有

$$V_o^+ = V_{CC} - |V_{CE3(sat)}| - V_{be2} \quad (5.85)$$

为了要达到最大正值,晶体管 Q_3 一定要在这种极端情况下饱和。相反 Q_2 达不到饱和状态,因为 Q_2 的集电极接的是电源电压,而基极电压是不可能超过它的。 Q_3 饱和的条件是集电极电流 I_{Q3} (当 Q_3 没饱和的时候)要大于 Q_2 的基极电流。当 $V_o = V_o^+$ 时,需

$$I_{Q3} > I_{b2} \quad (5.86)$$

由于 Q_2 提供 R_L 的电流,当 $V_o > 0$ 时,有

$$V_o^+ = -I_{e2} R_L = (\beta_2 + 1) I_{b2} R_L \quad (5.87)$$

由式(5.87),式(5.85)和式(5.86)可得 Q_3 的偏置电流为

$$I_{Q3} > \frac{V_{CC} - V_{CE3(sat)} - V_{be2}}{(\beta_2 + 1) R_L} \quad (5.88)$$

式(5.88)也适用于图 5.20a 所示电路,它给出了当 V_o 在电源电压附近波动时, I_{Q3} , β_2 和

R_L 之间的约束关系。如果 I_{Q3} 小于式(5.88)给出的值,当正向电压小于式(5.85)所给值时, V_o 会出现削波失真,而 Q_3 将无法饱和。

现在考虑 V_o 是正值,并使 Q_1 导通, I_{c1} 为非零值,由于 Q_2 的基极电压高于发射极,故二极管 D_1 将优先于 D_2 导通, D_2 将由于结电压为零而截止。起初被假定饱和的 Q_3 中有电流 I_{c1} 被拉出并且流过 D_1 。随着 I_{c1} 增加, Q_3 最终会脱离饱和, Q_2 的基极电压 V_2 将降低。由于 Q_2 是射随器, V_o 将随 V_2 而降低,这些行为发生在正半周期, Q_1 作为驱动器, Q_2 作为输出器件。

当 V_o 减少到 0 V, 负载电流是零并且 $I_{c2} = 0$ 。这点符合 $I_{c1} = |I_{c3}|$, 而且 Q_3 的所有偏置电流都通过 D_1 流入 Q_1 。如果 I_{c1} 进一步增加, V_o 保持 0 V 同时 V_2 减少至 0 V。因此, V_1 电压将会变成和 D_1 压降等大的负值, 所以电源二极管 D_2 导通。因为 D_1 的电流实际来自于 Q_3 , I_{c1} 进一步地增加将会导致流过 D_2 的电流进一步增加。在负半周期, Q_1 作为输出器件通过 D_2 给 R_L 提供功率。当 Q_1 饱和时, 有最大负电压, 为

$$V_o^- = -V_{CC} + V_{CE1(sat)} + V_{d2} \quad (5.89)$$

其中, V_{d2} 是 D_2 的正向导通压降。

以上描述的时序所引起的非线性转移特性, 如图 5.23 所示, 为方便, 将 V_o 表示成 I_{c1} 的函数, 当 V_o 为正时, I_{c1} 流入 Q_2 的基极, 小信号增益为

$$\frac{\Delta V_o}{\Delta I_{c1}} \approx \frac{\Delta V_2}{\Delta I_{c1}} = r_{o1} // r_{o3} // [r_{e2} + (\beta_2 + 1)R_L]$$

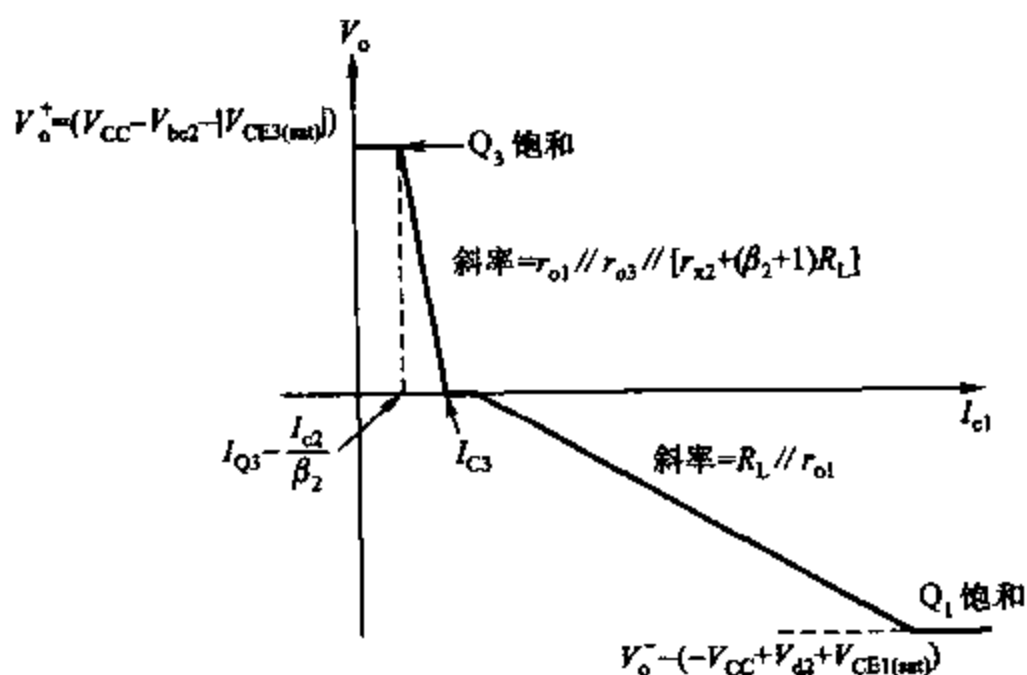


图 5.23 图 5.22 中电路 I_{c1} 到 V_o 转移特性

假定 D_1 的阻抗是可以忽略的。那么, Q_2 的基极阻抗等于 Q_1 、 Q_3 的输出电阻和射随器 Q_2 的输入电阻的并联值。

当图 5.22 中的 V_o 为负值时, I_{c1} 直接传输到 R_L , 小信号增益是

$$\frac{\Delta V_o}{\Delta I_{c1}} \approx r_{o1} // R_L$$

其中假定 D_2 的阻抗可以忽略。

注意图 5.23 中二极管 D_2 导通时的一小段“死区”，这个“死区”可通过增加一个与 D_1 串联的二极管而去除。实际中，常常使用负反馈来线性化电路的转移特性，而且这种反馈也将会减少电路间的交叉影响。电路从 V_i 到 V_o 的转移特性，非线性特性比图 5.23 中所示更明显，因为它包含了指数非线性器件 Q_1 。

在图 5.22 所示电路的集成电路制造版图中，器件 Q_1, Q_2 是相同的大功率晶体管。在大功率线路（传输瓦特级或更多）中，它们可能占据整个模板的 50%。二极管 D_2 是一个大功率二极管也要占据相当的区域。这些特征在图 5.24 中被例举出来。图中所示是 791 大功率运算放大器的一张模板照片，它消耗 10 W 的功率和传递 15 W 功率给一个 $8\ \Omega$ 的负载。输出级的大功率驱动晶体管在模板的右边。

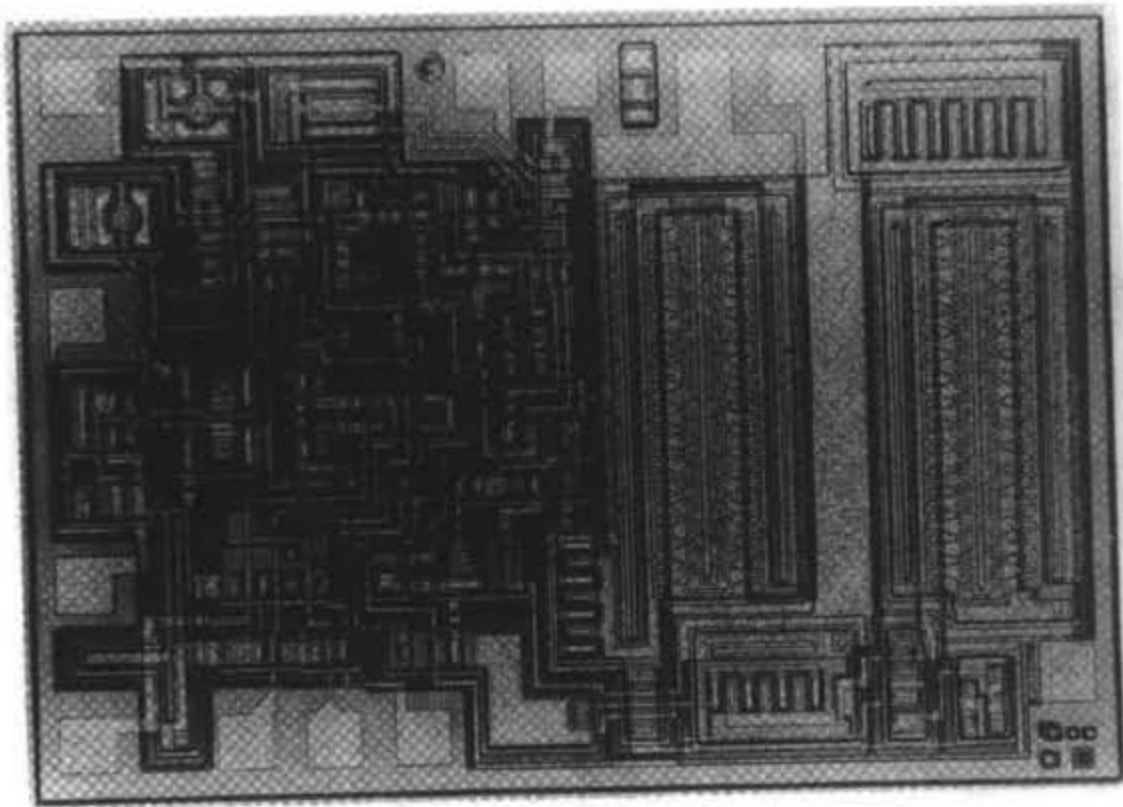


图 5.24 791 大功率运算放大器的模板照片

最后，由以上得出的结论可以看出：如果不考虑 D_2 上的压降，这种互补式乙类输出级的功率和效率与全 npn 乙类输出级是相等的。因此，最大理想效率是 79%。

5.4.5 准互补输出级¹⁰

上面所描述的全 npn 级是对基本 pnp 晶体管功率处理能力受限问题的解决途径之一。另外的一种解决途径如图 5.25 所示，其中有一个由横向 pnp 晶体管 Q_3 和大功率 npn 晶体管 Q_4 构成的复合 pnp 晶体管。这种电路叫做准互补输出级。

图 5.25 所示电路放大特点几乎和图 5.20 所示电路相同。如图 5.26 所示， $Q_3 - Q_4$ 对管和单 pnp 晶体管是等同的。而且 Q_3 的集电极电流是

$$I_{C3} = -I_s \exp\left(-\frac{V_{BE}}{V_T}\right) \quad (5.90)$$

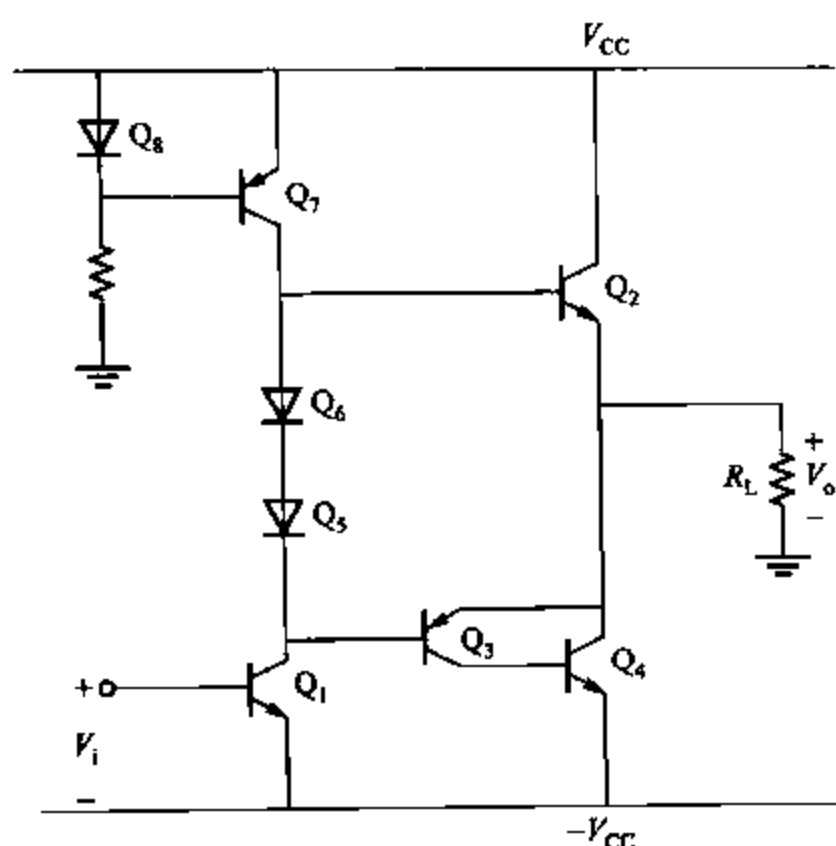


图 5.25 准互补的乙类输出级

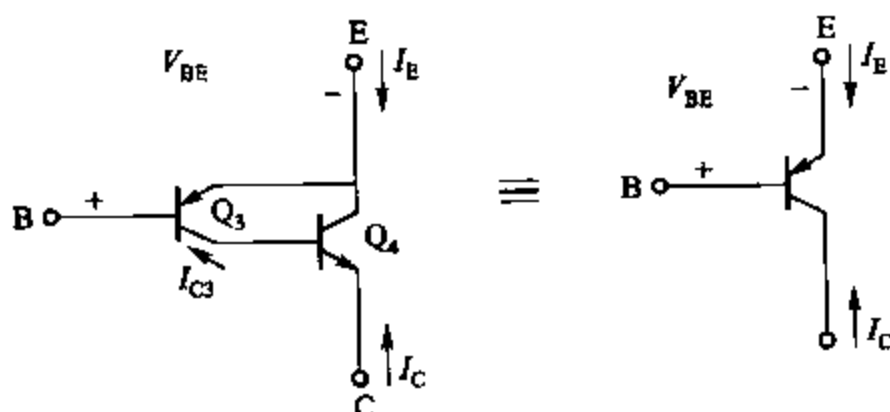


图 5.26 复合管和单 pnp 晶体管等效电路图

复合管集电极电流 I_C 是 Q_4 的发射极电流,为

$$I_C = (\beta_{F4} + 1)I_{E3} = -(\beta_{F4} + 1)I_S \exp\left(-\frac{V_{BE}}{V_T}\right) \quad (5.91)$$

这个复合管显示了一个 pnp 晶体管 I_C 和 V_{BE} 之间的标准关系。然而,大部分电流被大功率 npn 晶体管传递。注意到这种复合管的饱和电压为 $(|V_{CE3(sat)}| + V_{BE4})$,这个值比普通的值要大,因为只有当 Q_3 饱和并加上 V_{BE4} 时,此复合管才能饱和。

图 5.25 所示结构的主要问题是,由 Q_3 和 Q_4 形成的本地反馈环导致了电压不稳定,特别是放大器后接容性负载时。反馈环的稳定性将在第九章中讨论。

准互补乙类输出级也可以有效地用 BiCMOS 技术来实现。在图 5.25 中,复合管 $Q_3 - Q_4$ 可以用图 5.27 中的 MOS-双极型晶体管的组合代替,其中 Q_4 是一个大面积大功率双极型器件。总转移特性是

$$I_D = (\beta_{F4} + 1) I_{D3} = -(\beta_{F4} + 1) \frac{\mu_n C_{ox}}{2} \left(\frac{W}{L} \right)_3 (V_{GS} - V_1)^2 \quad (5.92)$$

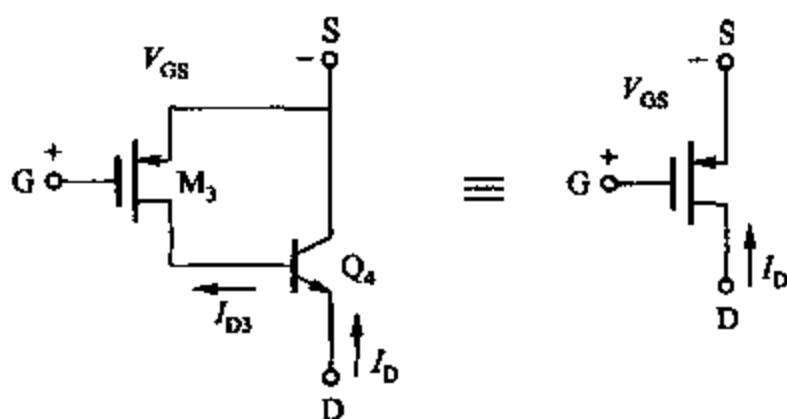


图 5.27 复合高电流 PMOS 连接

式(5.92)表明复合 PMOS 管的 W/L 比值为普通的 PMOS 管 M_3 的 $(\beta_{F4} + 1)$ 倍,在此电路中,图 5.25 中 Q_5 或 Q_6 之一将被一个二极管连接形式的 PMOS 晶体管所代替,从而在输出级建立起与温度无关的支路电流。 Q_4 的基极与射极间要连接一个偏置电阻使 M_3 的偏置电流最佳化并通过基极反向电流移走基极的电荷从而提高 Q_4 在高频状态下的开关速度。在图 5.25 中 Q_4 的基极和发射极之间同样可以连接这样一个电阻。

5.4.6 过载保护

集成电路输出级的最通常的过载保护是短路电流保护。例如,参照图 5.28 所示 741 输出级中的部分短路保护,起始假定 $R_6 = 0$ 并忽略 Q_{15} , 当 V_i 为正的最大值时,有最大正向驱动电流流向输出级。如果 $R_L = 0$, 则 V_o 被钳位为零,并且 V_o 在图 5.28 中和 V_{be14} 相等。因此,当 V_i 为正时, Q_{25} , Q_{18} 和 Q_{19} 将会截止,而且 Q_{13A} 的所有电流都会流入 Q_{14} 。如果这是个高 β_F 器件,那么输出电流就会具有毁灭性,

$$I_{c14} = \beta_{F14} |I_{c13A}| \quad (5.93)$$

如果

$$\beta_{F14} = 500$$

那么

$$I_{c14} = 500 \times 0.22 \text{ mA} = 110 \text{ mA}$$

如果 $V_{CC} = 15 \text{ V}$, 这时的电流引起的 Q_{14} 中的功率耗散为

$$P_{c14} = V_{CC} I_c = 15 \times 110 \text{ mW} = 1.65 \text{ W}$$

这个值已经足够烧毁这个器件。因此在负载短路时,电流必须受到限制,当 V_o 为正时,这可以

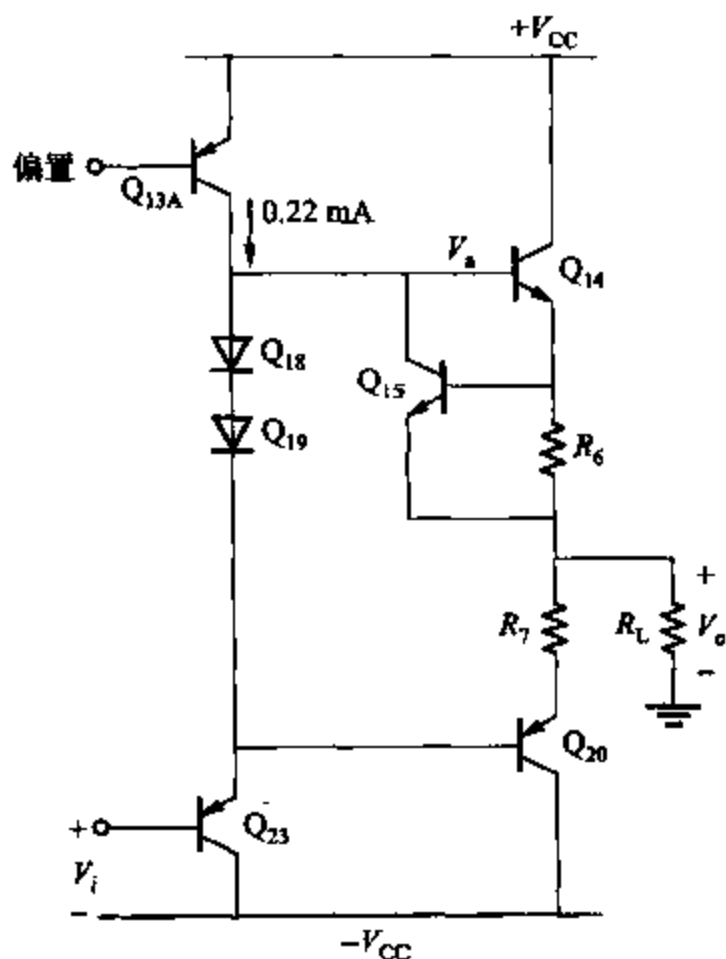


图 5.28 741 运算放大器部分短路电流保护示意图

通过 R_6 和 Q_{15} 来实现。

通过观察输出电流,可以了解短路电流保护的过程,假定电阻 R_6 为 $25\ \Omega$ 。 R_6 两端的压降为 Q_{15} 的基极-发射极电压,而 Q_{15} 一般是截止的。当通过 R_6 的电流达到 $20\ \text{mA}$ 时(最大安全电流), Q_{15} 逐渐开始导通,并且将继续增大的电流从 Q_{14} 的基极转移走,这样电流就不会通过 Q_{14} 而增大 β_F 倍,从而无害地传向输出级。

当接短路负载时,这个线路的工作状态可以通过计算 Q_{14} 的转移特性看出来。如图 5.29 可以得到

$$I_i = I_{b14} + I_{c15} \quad (5.94)$$

$$I_{c15} = I_{S15} \exp \frac{V_{be15}}{V_T} \quad (5.95)$$

同时

$$V_{be15} \approx I_{c14} R \quad (5.96)$$

由式(5.94)得

$$I_{b14} = I_i - I_{c15}$$

但是

$$I_{c14} = \beta_{F14} I_{b14} = \beta_{F14} (I_i - I_{c15}) \quad (5.97)$$

合并式(5.95)、式(5.96)和式(5.97)有

$$I_{c14} + \beta_{F14} I_{S15} \exp \frac{I_{c14} R}{V_T} = \beta_{F14} I_i \quad (5.98)$$

式(5.98)中左边第二项来自于 Q_{15} 。如果忽略这一项,则有 $I_{c14} = \beta_{F14} I_i$,和预期中一样。此输出级由式(5.98)描述的转移特性如图 5.30 所示,假定 $\beta_{F14} = 500$, $I_{S15} = 10^{-14}\ \text{A}$, $R = 25\ \Omega$ 。最大驱动电流 $I_i = 0.22\ \text{mA}$, I_{c14} 被有效地限制在 $24\ \text{mA}$ 以下。如果 I_{c14} 小于 $20\ \text{mA}$, Q_{15} 对电路没有什么影响。

在图 5.29 中,负向电压输出时,相似的保护措施可以通过观察 R_7 两端的电压和将前一级的基极电流转移开而得出。

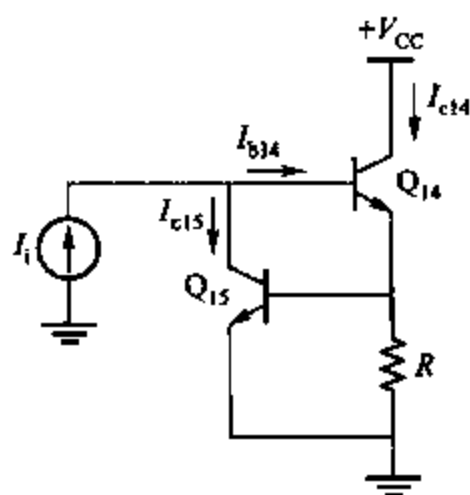


图 5.29 图 5.28 中计算 Q_{14} 的转移特性时,有关 Q_{15} 影响的等效电路

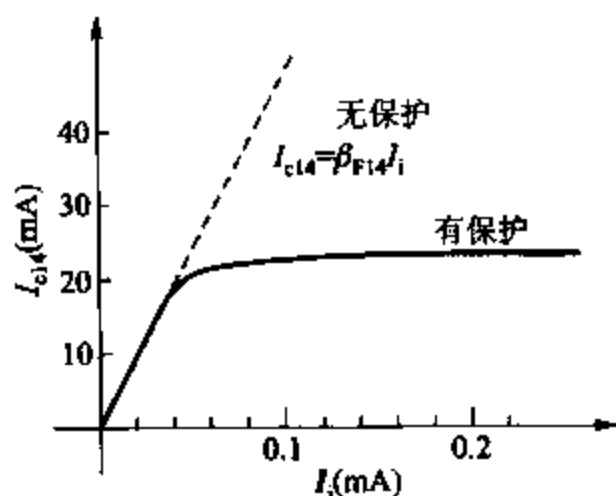


图 5.30 图 5.29 所示线路在有和无保护晶体管 Q_{15} ($\beta_{F14} = 500$) 情况下的传输特性

5.5 CMOS 甲乙类输出级

图 5.13 中所示经典甲乙类结构也可以用标准的 CMOS 技术实现。然而,生成电路的输出摆幅通常比双极型的情况更糟。虽然摆幅可以通过使用一个共源极结构被改善,但是这一个电路要受到输出装置的静态电流的不良控制。这些问题将在下面讨论。

5.5.1 共漏极结构

图 5.31 显示了共漏极甲乙类输出级结构,由 KVL 有

$$V_{GS5} + V_{GS4} = V_{GS1} + V_{GS2} \quad (5.99)$$

忽略衬底效应,如果从 M_3 来的偏置电流是常数,则 $V_{GS5} + V_{GS4}$ 是常数。在这些情况之下,随着 V_{GS1} 的增加 V_{GS2} 反而减少,反之亦然。

为简化计算,假定 M_1 的漏极和 M_5 的漏极之间短路连接,则由式(5.99)有 $V_{GS5} + V_{GS4} = 0$ 和 $V_{GS1} = V_{GS2}$ 。因为 M_1 要传导非零漏极电流,就要求 $V_{GS1} > V_{t1}$ 。同样地,需要 $V_{GS2} < V_{t2}$, M_2 才能传导非零漏极电流。用标准的增强型元件,就有 $V_{t1} > 0$ 和 $V_{t2} < 0$ 。因此, M_1 和 M_2 不能在此情况之下两者都同时导通,这是乙类输出级的一个特性。当 $V_o > 0$ 时, M_1 工作如一个源极跟随器,而 M_2 则截止。与此类似,当 $V_o < 0$ 时, M_2 工作如一个源极跟随器,而 M_1 截止。

然而,在图 5.31 中, $V_{GS5} + V_{GS4} > 0$ 和当 $V_o = 0$ 时, M_1 和 M_2 都要传输非零的漏极电流,这是甲乙类输出级的一个特性。如果 $V_{t1} = V_{t4}$ 和 $V_{t2} = V_{t5}$, 和在式(5.99)中用式(1.157)并由 $I_{D5} = -I_{D4}$ 有

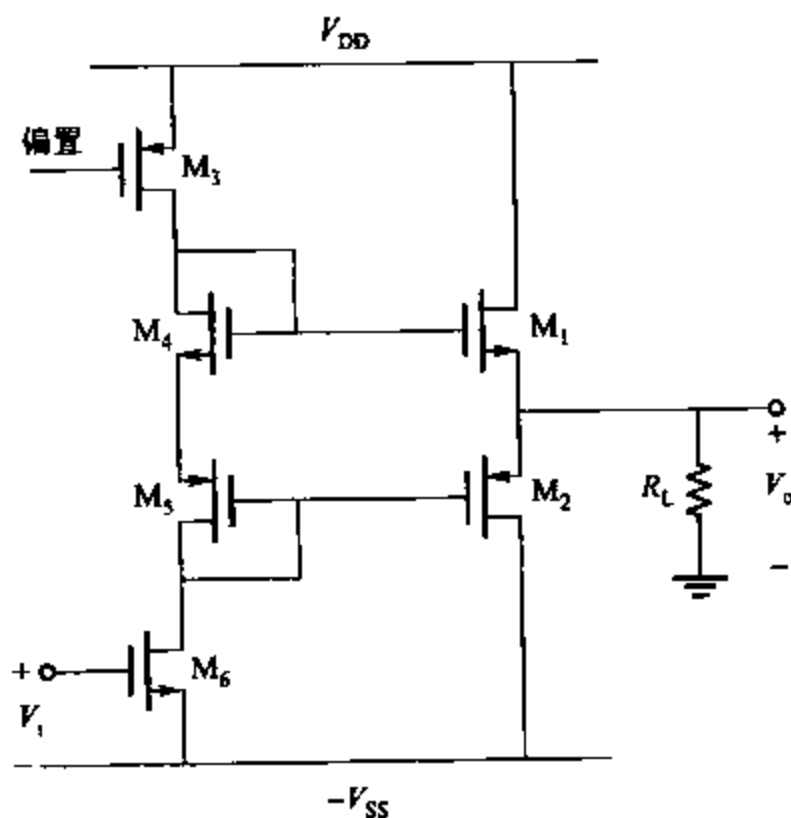


图 5.31 在传统的双极型实现结构上的补偿型源极跟随器 CMOS 输出级

$$\sqrt{\frac{2I_{D4}}{k'_p(W/L)_5}} + \sqrt{\frac{2I_{D4}}{k'_n(W/L)_4}} = \sqrt{\frac{2I_{d1}}{k'_n(W/L)_1}} + \sqrt{\frac{2|I_{d2}|}{k'_p(W/L)_2}} \quad (5.100)$$

如果 $V_o = 0$, 则 $I_{d2} = -I_{d1}$ 并且式(5.100)可化简为

$$I_{D1} = I_{D4} \frac{\left[\frac{1}{k'_n(W/L)_4} + \frac{1}{k'_p(W/L)_5} \right]^2}{\left[\frac{1}{k'_n(W/L)_1} + \frac{1}{k'_p(W/L)_2} \right]^2} \quad (5.101)$$

其中当 $V_o = 0$ 时 $I_{D1} = I_{D1}$ 。此等式最关键的一点是输出晶体管中的静态电流被流入二极管连接的晶体管中的偏置电流很好地控制着,与在双极型管中的情况一样。

此电路一个重要的问题是,在相同电源电压下,它的输出摆幅可以比对应双极型电路小很多。因为 $V_o > 0$, $V_{gs1} > V_{t1}$, 并且 M_1 作为一个源极跟随器。因此,有

$$V_o = V_{DD} - V_{sd3} - V_{gs1} \quad (5.102)$$

使 M_3 作为一个电流源工作的最小电压 V_{sd3} 为 $|V_{ov3}| = |V_{GS3} - V_{t3}|$ 。由式(5.102),最大的输出电压 V_o^* 是

$$V_o^* = V_{DD} - |V_{ov3}| - V_{gs1} \quad (5.103)$$

输出电压最小值同理可以求出(参看习题 5.21)。虽然如果图 5.20 中 V_{CC} 和图 5.3.1 中 V_{DD} 相等,式(5.103)看起来和式(5.81)非常相似,但式(5.103)中限制通常比式(5.81)少其原因有三个。首先,栅-源电压包括一个在基极-发射极电压中不存在的阈值电压。其次,由于衬底效应, V_o 增加时,阈值电压 V_{t1} 随之增加。最后,因为栅-源电压过载电流与输入电流的平方根成正比,而基极-射极电压与输入电流的对数成正比,所以,随着输入电流的增加,栅-源电压的过载部分的曲线比整个基极-发射极电压部分都要陡峭。在实际中,输出电压的振幅会随着输出装置的 W/L 比增加而增加,以减轻它们的过载。然而,所需的晶体管尺寸太大以致于有时和输出装置连接的寄生电容在高频时起主要作用。因此,图 5.31 电路通常被限制在比它的双极型等效电路小得多的电流上。

示例

如图 5.31 中所示输出级,要产生 0.7 V 的最大输出电压,假定 $R_L = 35 \Omega$ 和 $V_{DD} = V_{SS} = 1.5 \text{ V}$ 。使用表 2.4 中的晶体管参数,求出 M_1 所需的 W/L ,假定 $|V_{ov3}| = 100 \text{ mV}$,而且忽略衬底效应。

由式(5.103)得

$$V_{gs1} = V_{DD} - |V_{ov3}| - V_o^* = (1.5 - 0.1 - 0.7) \text{ V} = 0.7 \text{ V}$$

由表 2.4 给出 $V_{t1} = 0.6 \text{ V}$

$$V_{ov1} = V_{gs1} - V_{t1} = (0.7 - 0.6) \text{ V} = 0.1 \text{ V}$$

由 $V_o = 0.7 \text{ V}$, 负载的电流是 $(0.7 \text{ V}) / (35 \Omega) = 20 \text{ mA}$ 。如果在这些情况下 $I_{D2} = 0$, 则 $I_{D1} = 20 \text{ mA}$ 。整理式(1.157)有

$$\left(\frac{W}{L}\right)_1 = \frac{2I}{k'_n V_{ov1}^2} = \frac{2 \times 20\,000}{194 \times 0.1^2} \approx 20\,000 \quad (5.104)$$

这是一个非常大的晶体管。

5.5.2 具有误差放大的共源极结构

另外的一种替代选择是使用准互补的结构。在这种情况下,一个共源极晶体管连同另一个误差放大器一起代替源极跟随器装置。两个输出晶体管都被替换的电路概念性地示于图 5.32 中。^{12,13,14} 共源极晶体管和误差放大器的组合很像具有大的直流跨导的源极跟随器。

放大器的作用是检查在输入和输出之间电压的差异并驱动输出晶体管使得这种差异尽可能小。这一功能可以通过负反馈看出来。这里使用负反馈最大的一个优点就是可以减小输出电阻。由于负反馈在第八章将被讲到,这里用直通电路法来分析此结构。

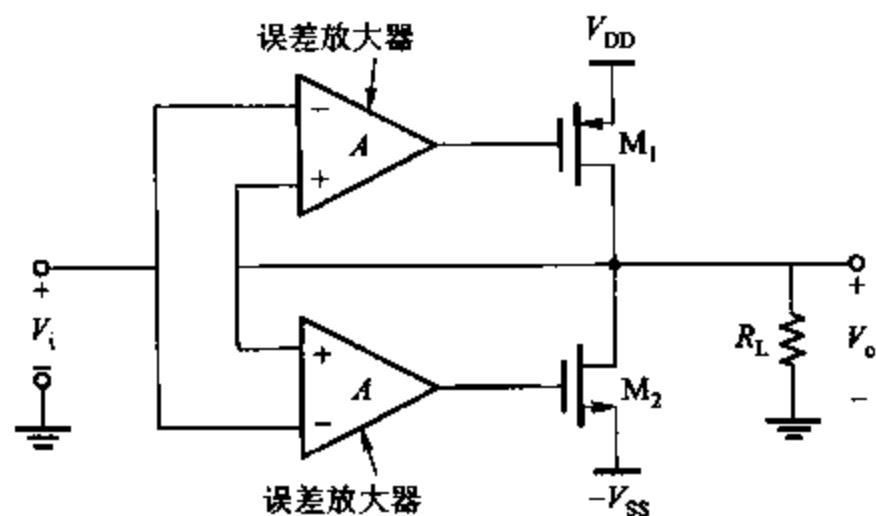


图 5.32 使用掩模的共源极输出器件的互补型甲乙类输出级

为了计算输出电阻,考虑图 5.33 中所示的小信号模型。电流 i_i 为

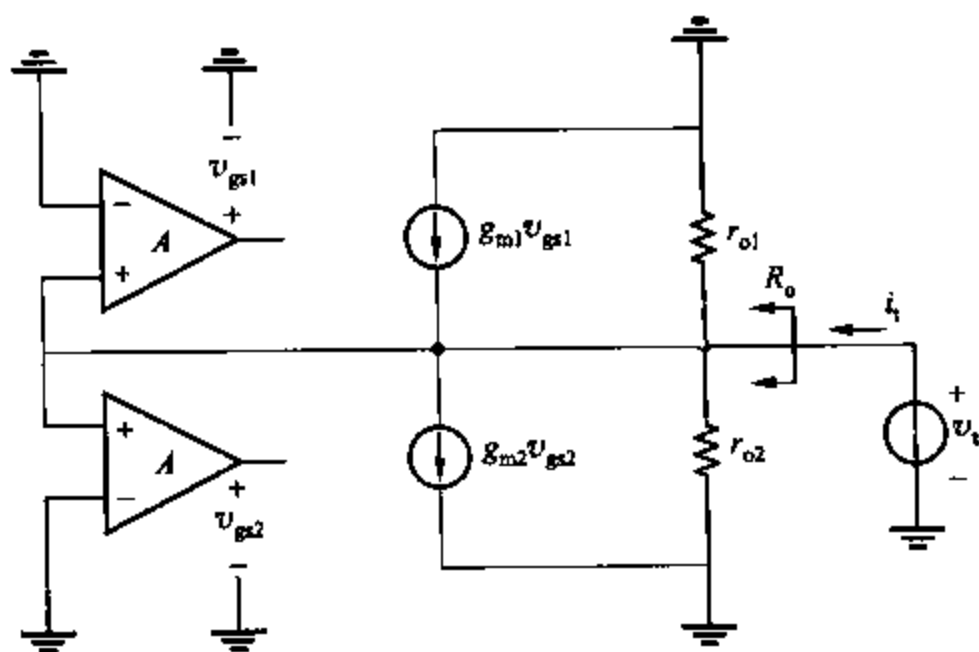


图 5.33 图 5.32 所示小信号模型用于计算 R_o 。

$$i_i = \frac{v_i}{r_{o1}} + \frac{v_i}{r_{o2}} + g_{m1} A v_i + g_{m2} A v_i \quad (5.105)$$

整理此式求解 v_i/i_i 为

$$R_o = \left. \frac{v_i}{i_i} \right|_{v_i=0} = \frac{1}{(g_{m1} + g_{m2}) A} \parallel r_{o1} \parallel r_{o2} \quad (5.106)$$

从这一等式可以看出增大误差放大器的增益 A 就会使 R_o 减小,并且因为有负反馈所以 R_o 比 M_1 和 M_2 之间的漏-源极之间的电阻要小得多。

为了求转移特性,考虑图 5.34 所示的输出级的直流模型。此模型包括参考输入的差模电压,并通过放大器作为电压源。假定 $k'_p(W/L)_1 = k'_n(W/L)_2 = k'(W/L)$ 和 $-V_{t1} = V_{t2} = V_t$ 。同时假定当 $V_i = 0, V_{OSP} = 0$ 且 $V_{OSN} = 0$ 时,被设计好的误差放大器使 $-I_{D1} = I_{D2} = I_Q$,在这些条件下, $V_o = 0$ 且

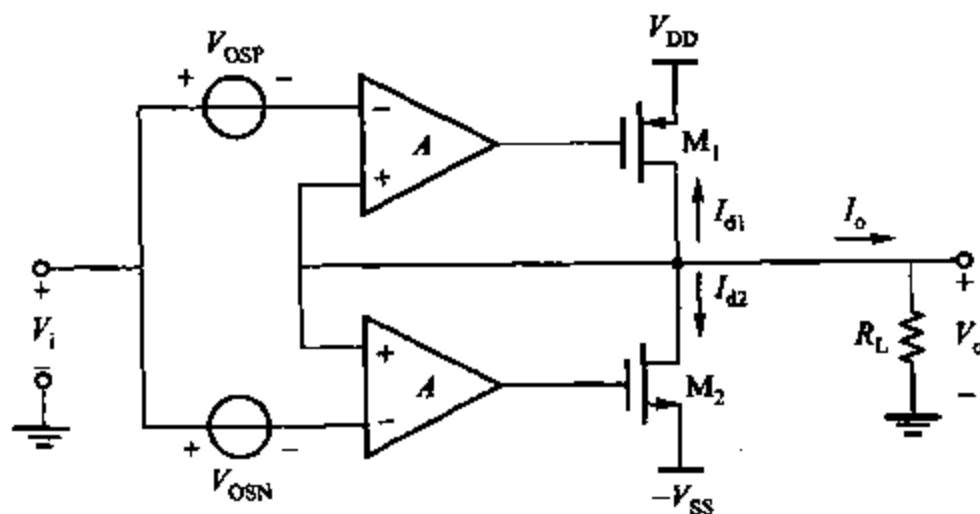


图 5.34 图 5.32 所示直流输出级模型用于求转移特性

$$V_{gs1} = -V_t - V_{ov} \quad (5.107)$$

$$V_{gs2} = V_t + V_{ov} \quad (5.108)$$

其中

$$V_{ov} = \sqrt{\frac{2I_Q}{k'(W/L)}} \quad (5.109)$$

因为有非零输入和失调量,输出不可能是零。结果,传输到上面的放大器的差值信号从 0 变到 $V_o - (V_i - V_{OSP})$ 。同样,传输到下面放大器的差值信号从 0 变到 $V_o - (V_i - V_{OSN})$ 。假定每个放大器的输出是它输入的 A 倍,则有

$$V_{gs1} = -V_t - V_{ov} + A[V_o - (V_i - V_{OSP})] \quad (5.110)$$

$$V_{gs2} = V_t + V_{ov} + A[V_o - (V_i - V_{OSN})] \quad (5.111)$$

如果 M_1 和 M_2 工作在放大区,则

$$I_{d1} = -\frac{k'_p}{2} \left(\frac{W}{L} \right)_1 (V_{gs1} - V_{t1})^2 = -\frac{k'}{2} \frac{W}{L} (V_{gs1} + V_t)^2 \quad (5.112)$$

$$I_{d2} = \frac{k'_n}{2} \left(\frac{W}{L} \right)_2 (V_{gs2} - V_{t2})^2 = \frac{k'_p}{2} \frac{W}{L} (V_{gs2} - V_t)^2 \quad (5.113)$$

同时

$$I_o = \frac{V_o}{R_L} \quad (5.114)$$

在输出端由 KCL 有,

$$I_o + I_{d1} + I_{d2} = 0 \quad (5.115)$$

将式(5.110)~(5.114)代入式(5.115)再整理得

$$V_o = \frac{V_i - \frac{V_{OSP} + V_{OSN}}{2}}{1 + \frac{1}{k' \frac{W}{L} A [2V_{ov} - A(V_{OSP} - V_{OSN})] R_L}} \quad (5.116)$$

如果 $V_{OSP} = V_{OSN} = 0$,

$$V_o = \frac{V_i}{1 + \frac{1}{k' \frac{W}{L} A 2V_{ov} R_L}} = \frac{V_i}{1 + \frac{1}{2A g_m R_L}} \approx V_i \left(1 - \frac{1}{2A g_m R_L} \right) \quad (5.117)$$

其中 $g_m = k' (W/L) V_{ov}$, 如图(1.180)一样。 $(2A g_m R_L)$ 项是反馈环的增益或说是环路增益, 它通常选得比较大以保证传输特性为 1 (有一个被允许的增益误差)。(环路增益的概念将在第八章中描述。)这里增益误差大约为 $1/(2A g_m R_L)$ 。最关键的一点是, 随着 A , g_m 或 R_L 的增加这个误差将会减少。

由于有非零的失调, 式(5.116)也显示出此电路的误差有一个偏移量。如果 $A(V_{OSP} - V_{OSN}) \ll 2V_{ov}$ 和 $2A g_m R_L \gg 1$, 有

$$V_o \approx \frac{V_i - \frac{V_{OSP} + V_{OSN}}{2}}{1 + \frac{1}{k' \frac{W}{L} A 2V_{ov} R_L}} = \frac{V_i - \frac{V_{OSP} + V_{OSN}}{2}}{1 + \frac{1}{2A g_m R_L}} \approx V_i - \frac{V_{OSP} + V_{OSN}}{2} \quad (5.118)$$

因此, 寄存器的输入偏移电压约为 $-(V_{OSP} + V_{OSN})/2$ 。

只要 M_1 和 M_2 工作在放大区, 等式(5.116)便成立。如果输出电压幅值足够大, 两个输出晶体管之一将会截止。例如, 当 V_i 增加时, V_o 也增加, 但是增益略微要小一点。因此, 输入到放大器的差分信号都将减小, V_{gs1} 和 V_{gs2} 也将减小; 接着, 这些变化导致 $|I_{d1}|$ 增加, 但是 I_{d2} 会减少, 而且只要 V_i 足够大, M_2 将截止。要求 M_1 工作在放大区, 而 M_2 截止的这部分转移特性曲线, 只要假定 $I_{d2} = 0$, 并重复上面的讨论即可, 见习题 5.23。

应用准互补结构的最初目的是增大输出信号的摆幅。如果输出晶体管不允许工作在三极管区, 输出电压会在任一输入的过载装置里被上拉。与式(5.103)中共漏极输出级的所受限限制相比较, 这一个结果是一个改进, 主要是因为在共源极的结构中, 输出晶体管的阈值电压没有限制输出的幅度。

虽然准互补结构的电路改良了输出摆幅, 但是有两个问题。首先, 放大器必须有很大的带宽以防止高频输入时出现交越失真。然而, 随着带宽的增加, 放大器边缘的稳定性将变差, 尤其是接大的容性负载时, 因此, 这些电路在补偿问题上遇到了设计问题。有关稳定性和补偿性的问题将在第九章中讨论。其次, 在误差放大器中的非零偏置电压改变了在输出晶体管中的静态电流。从设计的角度考虑, 选择得足够高静态电流可将交越失真限制在可以接受的水平。尽管进一步增大静态电流还能减少交越失真, 但是同样会增加功率的损耗而降低输出信号的摆幅。因此, 在非零偏置电流下, 选择合适的静态电流也是设计的一个关键问题。

一种控制静态电流的方法就是观察输出电流并将其反馈回来。¹² 这种方法在这里不进

行讨论。另一种限制静态电流变化的方法是将放大器设计成低增益。^{13,14}其含义是静态电流受到输出晶体管栅-源电压的控制,而此电压由误差放大器的输出来控制。因此,减小误差放大器的增益也就减小了栅-源电压的变化以及给定失调电压的变化量时的静态电流。

为了定量地研究这种情况,定义在输出设备上的静态电流为 $V_i = 0$ 时从 V_{DD} 流向 $-V_{SS}$ 的电流的共模成分。这样

$$I_Q = \frac{I_{D2} - I_{D1}}{2} \quad (5.119)$$

在上面的方程中用了减号是因为每个晶体管的漏极电流当流入时定义为正。将式(5.110)~(5.113)代入式(5.119)中,得

$$I_Q = \frac{k'}{4} \cdot \frac{W}{L} \left\{ [V_{ov} + A(V_o + V_{OSN})]^2 + [-V_{ov} + A(V_o + V_{OSP})]^2 \right\} \quad (5.120)$$

因为当 $V_{OSP} = V_{OSN} = 0$ 时 $V_o = 0$, 式(5.120)表明

$$I_Q \Big|_{\substack{V_{OSP}=0 \\ V_{OSN}=0}} = \frac{k'}{4} \cdot \frac{W}{L} [(V_{ov})^2 + (-V_{ov})^2] = \frac{k'}{2} \cdot \frac{W}{L} (V_{ov})^2 \quad (5.121)$$

当 $V_i = 0$ 时,由式(5.118)得

$$V_o + V_{OSP} \approx \frac{V_{OSP} - V_{OSN}}{2} \quad (5.122)$$

$$V_o + V_{OSN} \approx -\frac{V_{OSP} - V_{OSN}}{2} \quad (5.123)$$

把式(5.122)和式(5.123)代入式(5.120)得

$$I_Q = \frac{k'}{2} \cdot \frac{W}{L} \left[V_{ov} - A \left(\frac{V_{OSP} - V_{OSN}}{2} \right) \right]^2 \quad (5.124)$$

定义 ΔI_Q 为由非零失调电压引起的 I_Q 的变化,即

$$\Delta I_Q = I_Q \Big|_{\substack{V_{OSP}=0 \\ V_{OSN}=0}} - I_Q \quad (5.125)$$

把式(5.124)和式(5.121)代入式(5.125)得

$$\Delta I_Q = \frac{k'}{2} \cdot \frac{W}{L} A (V_{OSP} - V_{OSN}) \left[V_{ov} - A \left(\frac{V_{OSP} - V_{OSN}}{2} \right) \right] \quad (5.126)$$

为了比较 ΔI_Q 的幅值,通过用式(5.126)除以式(5.121)将它和零偏移产生的静态电流相比较。结果为

$$\frac{\Delta I_Q}{I_Q \Big|_{\substack{V_{OSP}=0 \\ V_{OSN}=0}}} = A \left(\frac{V_{OSP} - V_{OSN}}{V_{ov}} \right) \left[1 - A \left(\frac{V_{OSP} - V_{OSN}}{4 V_{ov}} \right) \right] \quad (5.127)$$

如果 $A(V_{OSP} - V_{OSN}) \ll 4 V_{ov}$, 则

$$\frac{\Delta I_Q}{I_Q \Big|_{\substack{V_{OSP}=0 \\ V_{OSN}=0}}} \approx A \left(\frac{V_{OSP} - V_{OSN}}{V_{ov}} \right) \quad (5.128)$$

因此,为了保持静态电流的波动小于一个给定的数值,误差放大器的增益的最大值是

$$A < \left(\frac{V_{ov}}{V_{OSP} - V_{OSN}} \right) \left[\frac{\Delta I_Q}{I_Q} \right]_{\substack{V_{OSP}=0 \\ V_{OSN}=0}} \quad (5.129)$$

例如,如果 $V_{ov} = 200 \text{ mV}$, $V_{OSP} - V_{OSN} = 5 \text{ mV}$, 并且允许静态电流产生 20% 的波动, 式 (5.129) 表明误差放大器的增益应该小于 8。^{13,14}

图 5.35 是顶部的误差放大器和图 5.32 中的 M_1 的示意图。¹⁴ 在图中没有列出用来驱动 M_2 的补偿结构。 V_i 和 V_o 的差别通过一对差分对管 M_{11} 和 M_{12} 来检测, 这取决于尾电流源 I_{TAIL} 。差分对管的负载包括两部分: 镜像电流源 M_{13} 和 M_{14} 以及共漏晶体管 M_{15} 和 M_{16} 。加入共漏晶体管 M_{15} 和 M_{16} 是为了减小误差放大器的输出电阻, 以将它的增益设置在一个明确的较小值。共漏晶体管的栅极是由 M_{13} , M_{17} , I_{BIAS} 和 M_{15} 组成的负反馈回路来偏置的。调整 M_{15} 的栅极电压使 M_{17} 工作在三极管区并且有 I_{BIAS} 流过。尽管负反馈的概念要在第八章才讲到, 但可以按照如下方法学习到其基本思想。如果 $|I_{D17}|$ 的值小于 I_{BIAS} , 电流源 I_{BIAS} 会拉低 M_{15} 的栅极电压。因为 M_{15} 起着源极跟随器的作用, M_{15} 的源极电流将拉低, $|I_{D13}|$ 将会升高。因为 M_{13} 和 M_{17} 一起组成了一个镜像电流源, $|I_{D17}|$ 将一直增加直到 $|I_{D17}| = I_{BIAS}$ 。类似的推理可以表明当 $|I_{D17}|$ 开始大于 I_{BIAS} 时同样可以建立这种相等关系。如果 M_{15} 和 M_{17} 是增强型晶体管, M_{17} 将处于放大区, 这是因为 $V_{GD17} = V_{SG15} = |V_{t15}| + |V_{ov15}| > 0 > V_{t17}$, 因此, 在 M_{17} 的漏极没有支路。

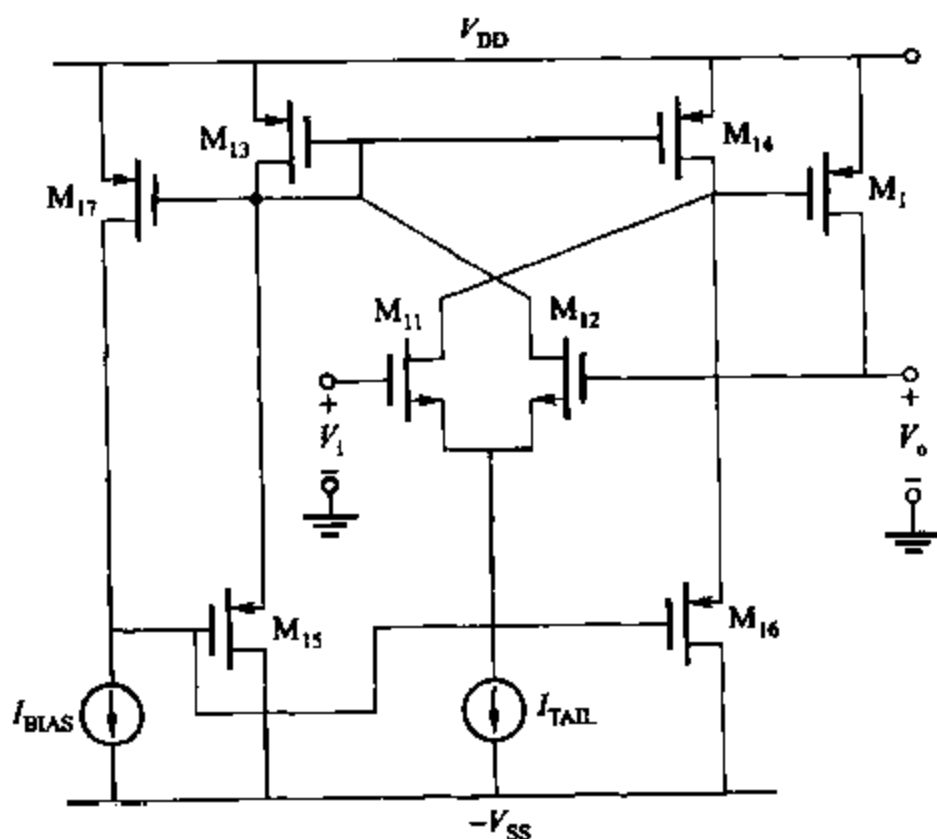


图 5.35 顶部误差放大器和输出晶体管 M_1 示意图

因为 M_{13} 和 M_{17} 形成了镜像电流源,

$$I_{D13} = I_{D17} \frac{(W/L)_{13}}{(W/L)_{17}} = -I_{BIAS} \frac{(W/L)_{13}}{(W/L)_{17}} \quad (5.130)$$

因为 M_{13} 和 M_{14} 也形成了镜像电流源, 且 $(W/L)_{14} = (W/L)_{13}$,

$$I_{D14} = I_{D13} = -I_{BIAS} \frac{(W/L)_{13}}{(W/L)_{17}} \quad (5.131)$$

因为 $V_i = V_o$,

$$I_{D11} = I_{D12} = \frac{I_{TAIL}}{2} \quad (5.132)$$

从 KCL 可得

$$I_{D16} = I_{D14} + I_{D11} \quad (5.133)$$

将式(5.131)和式(5.132)代入式(5.133)中得

$$I_{D16} = -I_{BIAS} \frac{(W/L)_{13}}{(W/L)_{17}} + \frac{I_{TAIL}}{2} \quad (5.134)$$

因为当 $I_{D11} = I_{D12}$ 时, 有 $I_{D15} = I_{D16}$,

$$V_{SD14} = V_{SD13} = V_{SG13} = V_{SG1} \quad (5.135)$$

因此, 忽略沟道长度调制效应, 有

$$I_{D1} = I_{D13} \frac{(W/L)_1}{(W/L)_{13}} \quad (5.136)$$

将式(5.130)代入式(5.136)并化简, 得到

$$I_{D1} = -I_{BIAS} \frac{(W/L)_1}{(W/L)_{17}} \quad (5.137)$$

这个方程表明 M_1 的漏极电流当误差放大器的偏置电压为零时受 I_{BIAS} 和晶体管尺寸所占比例的控制, 当 $V_i = 0$ 时 $V_o = 0$ 。在实际中, $(W/L)_1 \gg (W/L)_{17}$, 因此, 这么小的功率将会消耗在偏置电路中。

从这些方程可以得出另外一种设计思想。为了保证误差放大器的增益在所有情况下均很低, M_{16} 不能截止。因此, 从式(5.133)可知, $|I_{D14}|$ 应该比 I_{D11} 的最大值还要大。因为 I_{D11} 的最大值是 I_{TAIL} , 式(5.131)和式(5.133)表明

$$|I_{D14}| = I_{BIAS} \frac{(W/L)_{13}}{(W/L)_{17}} > I_{TAIL} \quad (5.138)$$

为了得到误差放大器的增益, 如果忽略沟道长度调制效应, 主要观测从 M_{13} 的漏极到地的小信号电阻应该为零。这个结果来自于使 M_{15} 的栅极偏置的负反馈回路的作用。如果在 M_{13} 的漏极的小信号电压变化, 负反馈回路将会起作用, 从而阻止这种变化。例如, 假设 M_{13} 的漏极电压升高, 因为 M_{17} 起着共源放大器的作用, 这个变化将减小 M_{15} 的栅极电压。因为 M_{15} 起着源极跟随器的作用, M_{13} 的漏极电压将降低。忽略沟道长度调制效应, 因为 I_{BIAS} 为常量时 $I_{D17} = 0$, M_{13} 的漏极电压必须保持不变。因此, 在镜像电流源 M_{13} 和 M_{14} 的小信号输入电阻为零。结果, M_{12} 的小信号漏极电流不会流入 M_{15} 的源极。相反, 它全被 M_{13} 和 M_{14} 镜像到误差放大器的输出端。而且从 M_{11} 的小信号漏极电流直接流入了误差放大器的输出端。因此, 误差放大器的短路跨导与没有共漏极晶体管 M_{15} , M_{16} 时相同。没有这些晶体管, 误差放大器只是一个简单的带镜像电流源负载的差分电路, 由式(4.143)有

$$G_m = g_{m11} = g_{m12} \quad (5.139)$$

忽略沟道长度调制效应, 输出电阻由共漏极晶体管 M_{16} 确定, 由式(3.84)有

$$R_o = \frac{1}{g_{m16} + g_{mb16}} \quad (5.140)$$

因此, 误差放大器的增益为

$$a = G_m R_o = \frac{g_{m11}}{g_{m16} + g_{mb16}} \quad (5.141)$$

5.5.3 等效电路

在上一部分描述的共源输出级最主要且最具潜力的优势在于与共漏的情况相比它可以增加输出的摆幅。然而, 共源结构会加大谐波失真, 在高频上更为严重, 这主要有两个原因。首先, 误差放大器的带宽通常为了避免出现稳定性的问题而受限; 其次, 这些放大器的增益也受限制, 以能够完全控制静态输出电流。

5.5.3.1 共漏共源组合电路

一种解决这个问题的方法是利用如图 5.31 和 5.32 所示的共漏共源组合电路。组合好的电路图如图 5.36 所示。这种电路的主要特点是它使用了两个缓冲器来连接输出端; 一个是甲乙类共漏缓冲器($M_1 - M_2$), 一个是乙类准互补共源缓冲器($M_{11} - M_{12}$ 和误差放大器 A)。当输出振幅最大时共源缓冲器起主要作用, 但当输出为零时共源缓冲器截止。另一方面, 共漏缓冲器控制着输出静态电流并改进频率响应, 具体说明如下。

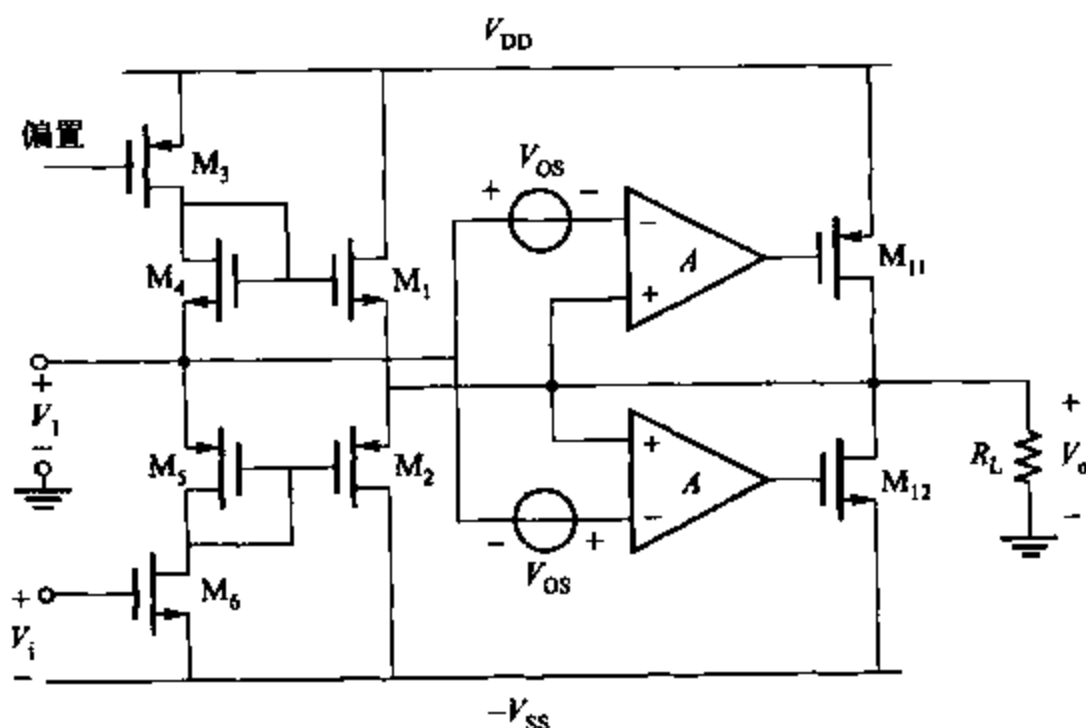


图 5.36 共漏共源组合电路输出级

由 KVL 有

$$V_o = V_i + V_{gs4} - V_{gs1} \quad (5.142)$$

如果 $V_{i1} = V_{i4}$, 这个方程可以改写为

$$V_o = V_i + V_{ov4} - V_{ov1} \quad (5.143)$$

因此,当 V_i 被调整到 $V_i = 0$ 时,如果 $V_{ov1} = V_{ov4}$, $M_1 - M_5$ 使得 $V_o = 0$ 。由式(1.166),如果满足

$$\frac{I_{D1}}{(W/L)_1} = \frac{I_{D4}}{(W/L)_4} \quad (5.144)$$

则 $V_{ov4} = V_{ov1}$ 。把式(5.101)代入式(5.144)并化简,如果满足

$$\frac{(W/L)_1}{(W/L)_2} = \frac{(W/L)_4}{(W/L)_5} \quad (5.145)$$

则 $V_{ov4} = V_{ov1}$ 。假设上述条件保持不变则当 $V_i = 0$ 时, $V_o = 0$ 。在这种情况下, M_{11} 和 M_{12} 应该被切断。这种特点是由误差放大器的小失调量引起的。在图 5.36 中这些失调量表现为电压源 V_{OS} , 可以由在每个误差放大器中使输入差分对不匹配来引起。当 $V_i = V_o = 0$ 且 $V_{OS} > 0$, 设置误差放大器得到 $V_{gs11} > V_{th1}$ 且 $V_{gs12} < V_{th2}$, 因此, M_{11} 和 M_{12} 截止。由此可得, 静态输出电流由共漏级和它的偏置电路 $M_1 - M_5$ 控制, 见式(5.101)。

V_i 从使 $V_i = 0$ 的值开始减小时, V_i 增加, V_o 也随之增加, 但当 R_L 为有限时, 电压增益超过 1。因此, $V_i - V_o$ 增加, V_{gs11} 和 V_{gs12} 都减小, 最终使 M_{11} 导通, M_{12} 截止。 M_{11} 导通后, I_{d1} 和 $|I_{D11}|$ 都随 V_o 增加而增加, 直到 $V_{gs1} - V_{th}$ 达到最大值。当共源部分的输出摆幅大于共漏部分的输出摆幅时, 达到最大值。随着 V_o 超过这个点, $|I_{d11}|$ 增加, 但 I_{d1} 减小, 共源级起主要作用。

由式(5.103)可知, 图 5.31 所示共漏级所允许的摆幅部分受限于 V_{gs1} , 其中包括一个阈值电压。另一方面, 在图 5.32 所示共源级的输出摆幅限制并不包括这个阈值电压项, 这个电路能在正向电源的过载范围内振荡。所以如果设计合理, 可以从共源级得到比共漏级更大的输出摆幅。当两个电路如 5.36 所示组合在一起, 输出摆幅被产生 V_i 的驱动级所限制。定义 V_i^* 为 V_i 的最大值, 在这个最大值下 M_3 工作在放大区, 这样

$$V_i^* = V_{DD} - |V_{ov3}| - V_{gs4} \quad (5.146)$$

因为 V_i 是共源级的输入, 最大输出 V_o^* 可以设计成

$$V_o^* \approx V_i^* = V_{DD} - |V_{ov3}| - V_{gs4} \quad (5.147)$$

对比式(5.147)和式(5.103)可知, 当 $V_o = V_o^*$ 时, 在图 5.36 中的组合输出级的正向摆幅会超过图 5.31 所示的共漏输出级的正向摆幅(由 $V_{gs4} < V_{gs1}$ 提供)。因为当输出最大(R_L 有限的情况下)时, $I_{d4} \ll I_{d1}$, 所以这种条件通常会被满足, 因此, 图 5.36 所示电路能被设计成增加输出摆幅。

因为图 5.36 所示的共源级与建立静态输出电流无关, 图 5.36 中误差放大器的增益不像式(5.129)中受限。在实际中, 误差放大器经常设计成一级放大器, 其增益与 g_m 和 r_o 的乘积有关, 而通过现有的技术可以得到这一乘积。增益的增加减小了谐波失真, 因为它减少了共源级的输入输出间的偏差。

最终, 定性地考虑图 5.36 所示电路中的频率响应问题。这个电路从 V_i 到输出有两个通路, 因为要确保电路的稳定性, 所以有必要限制误差放大器的带宽。这导致通过共源晶体

管 M_{11} 和 M_{12} 的通路可能会变慢(稳定性的问题将在第九章介绍)。另一方面如第七章所介绍的,因为源极跟随器是高带宽电路,所以通过共漏晶体管 M_1 和 M_2 的通路会变快。因为共漏和共源部分的电流相加通过负载产生输出电压,快的通路将会在高频信号部分起主要作用,这项技术叫前馈。其他的实例在第九章描述。它使得电路具有了源极跟随器在高频部分的特征,减小可能被低速误差放大器所引入的相位变化。因此,可以简化保证稳定性的设计并减小高频信号的谐波失真。¹⁵

5.5.3.2 具有高摆幅的共漏共源组合电路

虽然图 5.36 中电路的摆幅与图 5.31 相比有了改进,但它可以被进一步改进。由式 (5.147) 可知,图 5.36 所示的正向摆幅的主要受限于 V_{gs4} 。这个电压包括一个阈值电压,因为衬底效应,这个阈值电压会随 V_i 和 V_o 的增加而增加。与此类似,负向摆幅被 V_{gs5} 所限制, V_{gs5} 的阈值电压的摆幅随 V_i 和 V_o 的减小而增加。在实际中,这些条件单独作用时会减小可得到的输出摆幅大约 1.5~2 V。

图 5.37 展示了一种可以克服这种限制的电路。¹⁶ 这个电路与图 5.36 相比只是增加了一个额外的支路。新的支路包括晶体管 M_7 和 M_8 , 并与包括 M_3 - M_6 的支路并联产生电压 V_i 。如上所述,图 5.36 中 V_i 的摆幅被 M_4 和 M_5 的阈值电压所限制。相反,图 5.37 中当 M_7 和 M_8 工作在放大区时两个电压中的任何一个都可以驱动新支路中的 V_i , 因为图 5.36 中输出的摆幅被 V_{os} 所限制,如图 5.37 改进 V_i 的摆幅也就可以改进输出的摆幅。

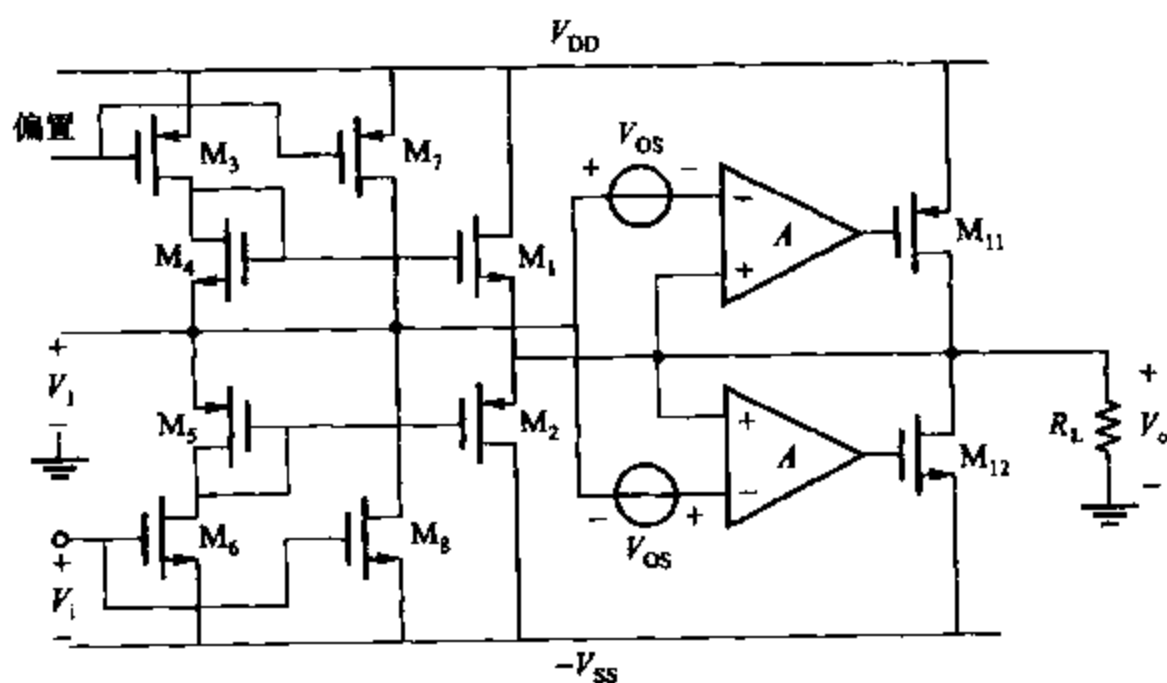
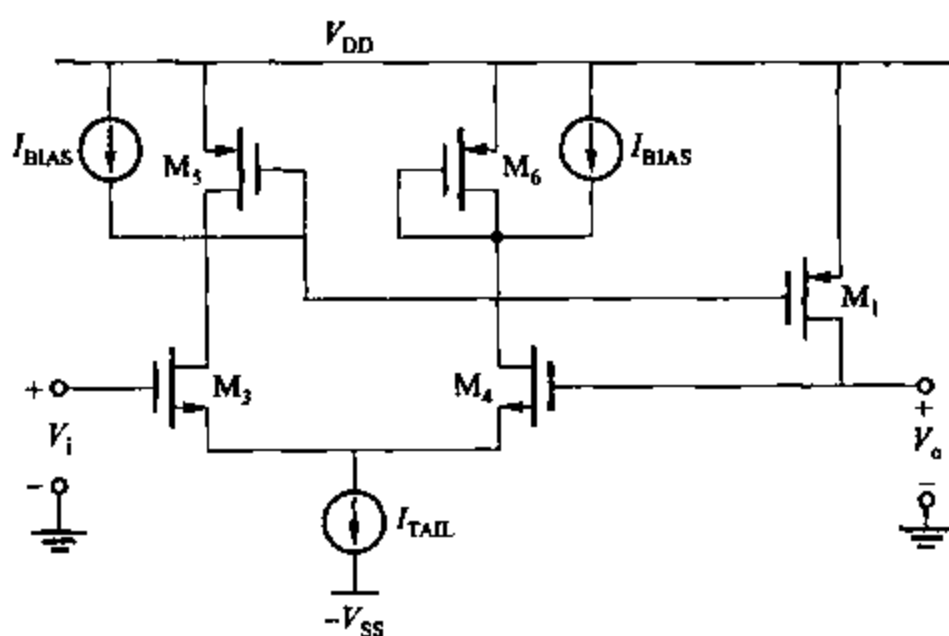


图 5.37 改进了摆幅的共漏共源组合电路输出级

5.5.3.3 平行共源结构

另外一种解决 5.5.3 节中所介绍的问题的电路如图 5.38 所示,¹⁷ 和图 5.37 中的电路类似,这个电路在输出时将两个缓冲器并接。增益为 A_1 的放大器连同 M_1 和 M_2 一起连接在一个缓冲器后,这个缓冲器的 $V_i = 0$, 并且控制着输出级的工作情况。增益为 A_2 的放大

图 5.39 A_1 放大器顶部原理图和输出晶体管 M_1

$$-I_{DS} = I_{D3} - I_{BIAS} \quad (5.150)$$

其中 $I_{D3} > I_{BIAS}$ 。将式(5.150)代入(5.149)有

$$A_1 = \sqrt{\frac{k'_n (W/L)_3}{k'_p (W/L)_5} \left(\frac{I_{D3}}{I_{D3} - I_{BIAS}} \right)} \quad (5.151)$$

此等式表明电流源 I_{BIAS} 的目的是允许差分对管中晶体管的偏置电流比二极管连接的晶体管中的大。因此,式(5.151)中圆括号的值要大于1,使得可以达到所需要的增益。

现在考虑图 5.38 中的失调电压 V_{OS} 的影响。在实际中,图 5.39 中通过选择 M_3 的宽度比 M_4 的宽度小 20% 来实现此失调电压。假定当 $V_i = 0$ 时 $V_o = 0$, V_{OS} 递增 I_{D3} 减少,使得 $|I_{DS}|$ 小于式(5.150)中给出值。由于 M_1 和 M_5 来自于镜像电流源,正的失调将使 $|I_{D1}|$ 减少。在假定 $V_i = 0$ 时 $V_o = 0$ 的情况下,误差放大器中的差分对管有 $V_{gs3} = V_{gs4}$ 。因此,如果 $V_{D3} = V_{D4}$, $V_{ov3} = V_{ov4}$ 。由式(1.166)得

$$\frac{I_{D3}}{(W/L)_3} = \frac{I_{D4}}{(W/L)_4} \quad (5.152)$$

将 $I_{D3} + I_{D4} = I_{TAIL}$ 代入式(5.152)并再整理,当 $V_o = V_i = 0$, 得到

$$I_{D3} = \frac{(W/L)_3}{(W/L)_3 + (W/L)_4} I_{TAIL} \quad (5.153)$$

与此类似,在放大器 A_1 的底部的正向失调电压,如同在图 5.38 中标记的一样,会使 I_{D2} 减小。如果放大器 A_1 上部的尾随电流和偏置电流同样地等于 A_1 下部的相应的值,并且在差分对管中的部分失配也一样,那么由输入到差分对管的有意失配引起的 $|I_{D1}|$ 和 I_{D2} 的减少量是相等的,使得当假定 $V_i = 0$ 时 $V_o = 0$ 。换句话说,在输入放大器的 V_{OS} 非零时,图 5.38 中所示整个输出级的失调量为零。

因为设计目的之一是当 $V_i = 0$ 时,将 M_1 偏置在放大区,偏移量必须足够小以保证在

$V_o = V_i = 0$ 时 $I_{D1} > 0$ 。同时,在实际中,放大器还有一些无意识的失配,这主要是因为一些随机影响。由于设计的另一个目的是将 M_{11} 偏置在截止区,随机成分不能比系统的偏移幅度还大且极性相反。因此, V_{OS} 选择得比预料的随机失调要大。

由于静态输出电流受到 A_1 误差放大器和 M_{11}, M_{12} 的控制,驱动 M_{11} 和 M_{12} 的误差放大器 A_2 的增益不能太小,对于大的 A_2 , M_{11} 或 M_{12} 就成为大信号的主要的输出器件,如果 M_{11} 和 M_{12} 各自的纵横比至少和 M_1 和 M_2 以及 R_L 有关,增加环路增益就会减少输入和输出的误差,如第八章所述。如果 M_{11} 导通,增加 A_2 可以允许负载减小,而保证 g_{m11} 和误差恒定;如果负载是固定的,增加 A_2 可以减小跨导,紧接着可以减小 $(W/L)_{11}$,一个潜在的问题是减小晶体管的尺寸同样可以减小输出范围。如果 M_{11} 工作在三极管区,它的漏-源电阻是有限的,而环路增益和乘积 $A_2 g_{m11} (r_{o11} // R_L)$ 是成比例的。因此,调整工作在三极管区中的 M_{11} ,可以增大差值而减小 g_{m11} 和 r_{o11} 。然而,递增的 A_2 补偿了这一效果。因此,图 5.38 所示输出级结构最大的优点是允许输出在给定范围的非线性条件下波动,因此,非线性可以通过调整主要晶体管在三极管区的位置来进行调整。

A_1 和 A_2 放大器组成的二级差动放大器驱动 M_{11} 和 M_{12} 。 A_1 放大器的输出作为 A_2 放大器的输入。因为 A_1 放大器的输出的共模成分被二极管连接形式的负载有效地控制着, A_2 的输入端就不需要差分对管。图 5.40 显示了上方的 A_2 的原理图,¹⁷ 为简单起见,没有画出下方的 A_2 的补偿结构。输入信号被传送到共源晶体管 M_{21} 和 M_{22} 的栅极。共栅共漏镜像电流源 $M_{23} - M_{26}$ 将差模信号传送到单向输出端。因为共栅共漏镜像电流源的输出电阻比共源极晶体管 M_{22} 的输出电阻大,

$$A_2 \approx g_{m22} r_{o22} \quad (5.154)$$

且 $A_2 = 70$ (见参考文献 17)。

要确定 M_{11} 和 M_{12} 都截止时输入电压的范围,让 V_{gt1} 表示从 M_{11} 的栅极到地的电压。假定 A_1 和 A_2 是常数,

$$V_{gt1} = [V_o - (V_i - V_{OS})] A_1 A_2 + K \quad (5.155)$$

其中 K 是常数。如果差模输入电压到上方的 A_2 放大器为零,如图 5.40 所示, $V_{gt1} = -V_{SS} + V_{D25} + V_{ov25}$ 所以 $I_{D21} = I_{D22}$ 。将此边界条件代入式 (5.155) 中有 $K = -V_{SS} + V_{D25} + V_{ov25}$; 因此

$$V_{gt1} = [V_o - (V_i - V_{OS})] A_1 A_2 - V_{SS} + V_{D25} + V_{ov25} \quad (5.156)$$

同时,式 (5.117) 和 $g_m = g_{m1} = g_{m2}$ 给出了在图 5.38 所示输出级中 V_o 根据 V_i 的变化而

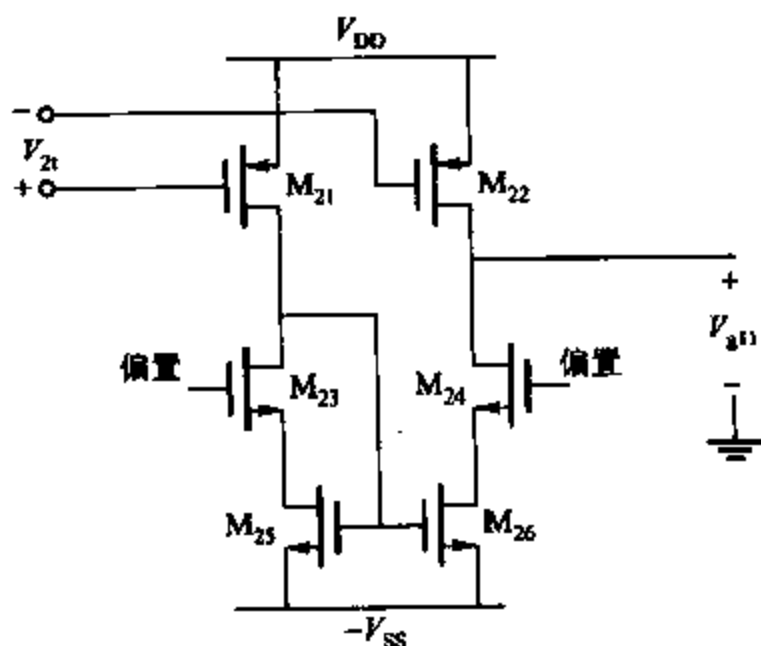


图 5.40 顶部 A_2 放大器的原理图

变化的情况,只要随机偏移量是可以忽略的, M_1 和 M_2 都工作在放大区,并且 M_{11} 和 M_{12} 截止。由于 M_1 和 M_2 的栅极分别是被 A_1 放大器相应的一个输出管脚驱动的,故 $A = A_1/2$ 。将其代入式(5.117)中,有

$$V_o = \frac{V_i}{1 + \frac{1}{A_1 g_{m1} R_L}} \quad (5.157)$$

要使 M_{11} 导通,需 $V_{gt1} < V_{DD} - |V_{t11}|$ 。将此条件和式(5.157)代入式(5.156)中

$$V_{i(\min)} = V_{OS}(1 + A_1 g_{m1} R_L) - \frac{(V_{DD} + V_{SS} - |V_{t11}| - V_{t25} - V_{ov25})(1 + A_1 g_{m1} R_L)}{A_1 A_2} \quad (5.158)$$

其中, $V_{i(\min)}$ 是为了使 M_{11} 导通的 V_i 最小值。要解释这结果,令 $A_2 \rightarrow \infty$ 。然后为了使 M_1 导通,上方的 A_2 所需的差模输入电压 $V_{2i} = 0$ 。因此,上方的 A_1 所需差模输入电压为零;即

$$V_o = V_i - V_{OS} \quad (5.159)$$

这个等式和式(5.157)都被画在图 5.41 中。当输入电压增加时,如果 R_L 是有限的,输出电压曲线的斜率小于 1,如图中实线所示。因此,当 V_i 增加时, $V_i - V_o$ 也随之增加。为了仅仅使 M_{11} 导通,这个差值必须等于 V_{OS} ,使得电路工作在图 5.41 中两条曲线的交点处。将式(5.157)代入式(5.159)中,有

$$V_{i(\min)} = V_{OS}(1 + A_1 g_{m1} R_L) \quad (5.160)$$

这一等式和式(5.158)中当 $A_2 \rightarrow \infty$ 时情况相符。式(5.160)中圆括号的项等于图 5.41 中两条直线的斜率之差。

示例

求出图 5.38 中使 M_{11} 导通的最小输入电压,首先假定 $A_2 \rightarrow \infty$,然后要假设 $A_2 = 70$ 。使 $V_{OS} = 10 \text{ mV}$, $A_1 = 8$, $g_{m1} = 5 \text{ mA/V}$, $R_L = 60 \Omega$, $V_{DD} = V_{SS} = 2.5 \text{ V}$, $V_{t11} = -0.7 \text{ V}$, $V_{t25} = 0.7 \text{ V}$ 且 $V_{ov25} = 0.1 \text{ V}$ 。

由式(5.160)可知当 $A_2 \rightarrow \infty$ 时

$$V_{i(\min)} = 10 \text{ mV} \times (1 + 8 \times 0.005 \times 60) = 34 \text{ mV}$$

另一方面,当 $A_2 = 70$ 时,由式(5.158)有

$$V_{i(\min)} = 10 \text{ mV}(1 + 8 \times 0.005 \times 60) - \frac{3.5(1 + 0.005 \times 60)}{8 \times 70} \text{ V} \approx 12.75 \text{ mV}$$

这个例子说明当 A_2 有限时,导通 M_{11} 的最小输入电压比式(5.160)中给出的值减小了。因为在式(5.158)中的分数项是正的。

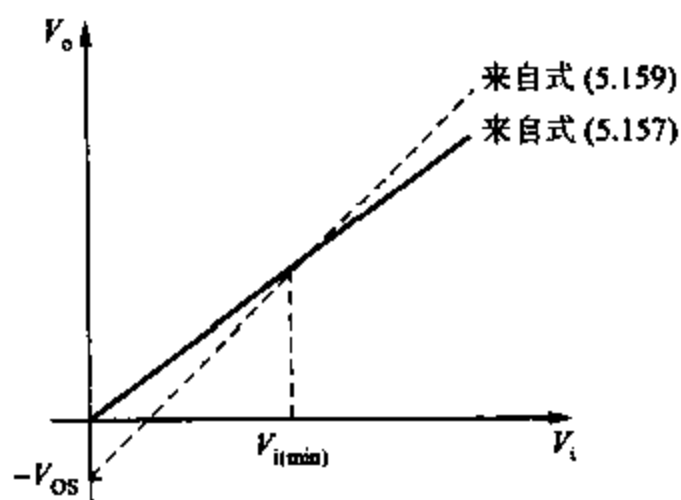


图 5.41 对 $V_{i(\min)}$ 的图形解释, $V_{i(\min)}$ 是使图 5.38 中的 M_{11} 导通的 V_i 最小值

这些分析中最关键的一点是图 5.38 中的 M_{11} 和 M_{12} 只在输入电压的很小范围内保持截止。所以,在 $|V_i|$ 很小时,当 M_{11} 和 M_{12} 开始导通,就会出现非线性。结果,这种电路很适合 ISDN(综合业务数字网)设计的总线-驱动请求。因为所需的四级输出代码不包括零,如果要求零级输出脉冲,则避免了由 M_{11} 和 M_{12} 的导通或截止产生的失真。¹⁷

习题

5.1 如图 5.1 中所示电路, $V_{CC} = 15\text{ V}$, $R_1 = R_2 = 0$, $R_3 = 5\text{ k}\Omega$, $R_L = 2\text{ k}\Omega$, $V_{CE(sat)} \approx 0.2\text{ V}$ 且 $V_{BE(on)} = 0.7\text{ V}$ 。所有器件面积大小相等。

(a) 粗略画出从 V_i 到 V_o 转移特性曲线。

(b) 如果 $R_L = 10\text{ k}\Omega$ 重复(a)。

(c) 如果输入 V_i 为正弦曲线,峰值(零点到波峰)为 10 V ,在(a)和(b)中粗略画出 V_o 的波形图。

(d) 使用 SPICE 检验(a),(b)和(c)并且确定在条件(c)中 V_o 的二次和三次谐波失真。

5.2 (a) 如习题 5.1 中电路图,当 $R_L = 2\text{ k}\Omega$ 和 $R_L = 10\text{ k}\Omega$ 时,粗略在 $I_c - V_{ce}$ 平面中画出负载曲线。

(b) 在(a)中发生削波之前,计算能传输到 R_L 最大平均正弦曲线输出功率(两个值),粗略画出相应的 I_{c1} , V_{ce1} 和 P_{c1} 的波形图。

(c) 对(b)中各 R_L 值计算电路效率。(忽略 Q_2 和 R_3 中的功率损耗。)

(d) 选择最大效率下的 R_L 值,并计算正弦曲线输入信号下相应的平均输出功率。

5.3 (a) 证明任何负载线的切线与功率双曲线的交点为负载线的中点。

(b) 分别取 $R_L = 2\text{ k}\Omega$ 和 $R_L = 10\text{ k}\Omega$ 计算习题 5.1 电路中 Q_1 最大的可能的瞬时功率。

(c) 分别取 $R_L = 2\text{ k}\Omega$ 和 $R_L = 10\text{ k}\Omega$ 计算习题 5.1 电路中 Q_1 的平均功率,假定 V_i 是正弦信号,幅度为不发生削波的最大可能值。

5.4 如果习题 5.1 中 Q_1 的 $\beta_F = 100$,计算由驱动级传输给 Q_1 的平均信号功率,假设 V_i 是正弦信号,幅度为不发生削波的最大可能值。 $R_L = 10\text{ k}\Omega$ 再计算一遍,然后计算电路的功率增益。

5.5 计算习题 5.1 中转移特性曲线的斜率,在静态工作点和在信号的极值点,正弦输出峰值为 1 V 且 $R_L = 2\text{ k}\Omega$ 。

5.6 (a) 如习题 5.1 中电路图,以 $R_L = 0$ 和 $R_L \rightarrow \infty$ 粗略在 $I_c - V_{ce}$ 平面中画出负载曲线, I_c 的坐标从 0 到 30 mA ,同时画出功率 $P_c = 0.1\text{ W}$, 0.2 W 和 0.3 W 的双曲线,对以上 R_L 值哪个是 Q_1 的最大可能瞬时功率? 假设驱动级能传输给 Q_1 的最大基极电流为 0.3 mA 且 $\beta_F = 100$ 。

(b) 如果允许 Q_1 的最大瞬时功率是 0.2 W ,计算允许的 R_L 的最小值(用图像法解答最容易)。

5.7 在静态工作点和在信号的极值点,计算图 5.8 中转移特性曲线的斜率,信号为 $v_i = v_m \sin \omega t$, $v_m = 0.5\text{ V}$ 。

(a) 令 $A_v^+ = A_v$,当 V_i 是最大值时。

(b) 令 $A_{v,0} = A_v$,当 $V_i = 0$ 时。

(c) 令 $A_v^- = A_v$,当 V_i 是最小值时。

假定 $V_i = 0$, $V_{DD} = 2.5\text{ V}$, $I_{Q1} = 1\text{ mA}$ 且 $R_L \rightarrow \infty$,同时,假定 $(W/L)_1 = 1000$, $k' = 200\text{ }\mu\text{A/V}^2$, $V_{th} = 0.7\text{ V}$, $\phi_1 = 0.3\text{ V}$ 且 $\gamma = 0.5\text{ V}^{1/2}$ 。

5.8 当失真很小时,放大器静态工作点和极值工作点的二次谐波和三次谐波失真可以通过小信号增益计算出来。用式(5.41)给出的功率曲线计算。

(a) 计算小信号增益表达式 $A_v = dv_o/dv_i$ 。

(b) 令 $v_i = v_i \sin \omega t$ 如式(5.52)中所示, A_v^+ , A_{vQ} 和 A_v^- 的表达式, 定义见习题 5.7。

(c) 定义两个通用的差模增益误差项如下:

$$E^+ = (A_v^+ - A_{vQ})/A_{vQ}$$

$$E^- = (A_v^- - A_{vQ})/A_{vQ}$$

计算表示式 $(E^+ + E^-)$ 和 $(E^+ - E^-)$ 。

(d) 利用式(5.54)和式(5.57)比较(c)中结果, 并根据 E^+ 和 E^- 计算 HD_2 和 HD_3 。

(e) 利用(d)部分和习题 5.7 的结果计算在习题 5.7 的条件下图 5.8 中电路的 HD_2 和 HD_3 , 并和 5.3.2 节中的例子的结果作比较。

5.9 计算图 4.20a 中电路共源放大器接损耗负载的二次谐波失真, 正弦输入峰值为 0.1 V, V_{DD} 为 3 V, 假定调整直流输入使得直流输出为 1 V, 为简单起见, 假定两个晶体管除了阈值电压不同外其他参数相同。并使 $W/L = 100$, $k' = 200 \mu A/V^2$, $\lambda = 0$, 假定 $V_{th1}|_{v_{SB1}=0} = 0.6$ V, $V_{th2}|_{v_{SB2}=0} = -0.6$ V, $\phi_1 = 0.3$ V 且 $\gamma = 0.5$ V^{1/2}, 利用 SPICE 验证这一结果。

5.10 图 5.10 中电路 $V_{CC} = 15$ V, $R_L = 2$ k Ω , $V_{BE(on)} = 0.6$ V 且 $V_{CE(sat)} = 0.2$ V。

(a) 粗略画出从 V_i 到 V_o 的转移特性曲线, 假定晶体管导通并且电压 $V_{be} = V_{BE(on)}$ 。

(b) 粗略画出每个器件中的输出电压波形和集电极电流波形, 假定为正弦输入, 峰值分别为 1 V, 10 V, 20 V。

(c) 用 SPICE 检查(a)和(b)中结论, 假定 $I_S = 10^{-16}$ A, $\beta_F = 100$, $r_b = 100 \Omega$ 且 $r_c = 20 \Omega$ 。在(b)条件下, 用 SPICE 检查 V_o 中的二次和三次谐波失真。

5.11 图 5.10 所示电路, 假定 $V_{CC} = 12$ V, $R_L = 1$ k Ω , 而 $V_{CE(sat)} = 0.2$ V。假定在不引起 V_o 发生削波失真的情况下, 正弦输入电压 V_i 足够大。计算在不发生削波的情况下所能传送到 R_L 的最大平均功率, 以及相应的效率和最大器件瞬时功耗。忽略交越失真。

5.12 对于习题 5.10 中的电路, 计算而且粗略描绘器件 Q_1 上 I_{c1} , V_{ce1} 和 P_{c1} 一个周期内的波形。输出电压幅值分别为 11.5 V, 6 V 和 3 V, 忽略交越失真和假定为正弦信号。

5.13 在图 5.13 电路中, $V_{CC} = 12$ V, $I_Q = 0.1$ mA, $R_L = 1$ k Ω 且对所有器件 $I_S = 10^{-15}$ A, $\beta_F = 150$ 。计算每个器件中 V_i 的值和电流大小, V_o 分别取 0, ± 5 V 和 ± 10 V。然后描绘出 $V_o = 10$ V 到 $V_o = -10$ V 传输特性曲线。

5.14 对于图 5.18 中输出级, 假定 $V_{CC} = 15$ V 且对所有器件 $V_{BE(on)} = 0.7$ V, $V_{CE(sat)} = 0.2$ V 且 $\beta_F = 50$ 。

(a) 对 $R_L = 10$ k Ω 和 $R_L = 2$ k Ω , 计算 V_o 的最大正值和负值。

(b) 对 $R_L = 10$ k Ω 和 $R_L = 2$ k Ω , 在削波发生之前, 计算可能被传送到 R_L 的最大平均功率。计算相应的电流效率(只对输出元件)和每一个输出器件的平均功耗。忽略交越失真并假定正弦输入。

5.15 对于图 5.20 中输出级, 假定 $V_{CC} = 15$ V, $\beta_F(\text{pnp}) = 50$, $\beta_F(\text{nnp}) = 200$, 并对所有器件 $V_{BE(on)} = 0.7$ V, $V_{CE(sat)} = 0.2$ V, $I_S = 10^{-14}$ A。假定 Q_{13A} 中集电极的电流为 0.2 mA。

(a) 对 $R_L = 10$ k Ω , $R_L = 1$ k Ω , $R_L = 200 \Omega$, 计算 V_o 的最大正值和负值。

(b) 在削波发生之前, 计算可能被传送到 $R_L = 1$ k Ω 的最大平均功率和对应的电路效率(只对输出器件而言)。同时计算每个输出器件中的峰值瞬时功耗。假定正弦输入。

5.16 (a) 对于习题 5.15 的电路, 如果每个器件的瞬时功耗小于 100 mW, 计算可能被传送到负载 R_L 最大平均输出功率。同时计算 R_L 的对应值和电路效率(只对输出器件而言)。假定正弦输入。

(b) 重复(a)如果每个器件的最大的瞬时功耗是 200 mW。

5.17 对于题 5.15 的电路,计算当 $V_o = -10$ V, $R_L = 1$ k Ω 时 Q_{23} , Q_{20} , Q_{19} , Q_{18} 和 Q_{14} 中的偏置电流, 对所有器件 $I_s = 10^{-14}$ A。

5.18 一个全 npn 达林顿输出级如图 5.42 中所示,对所有器件 $V_{BE(on)} = 0.7$ V, $V_{CE(sat)} = 0.2$ V, $\beta_F = 100$ 。 Q_3 集电极中电流值是 2 mA。

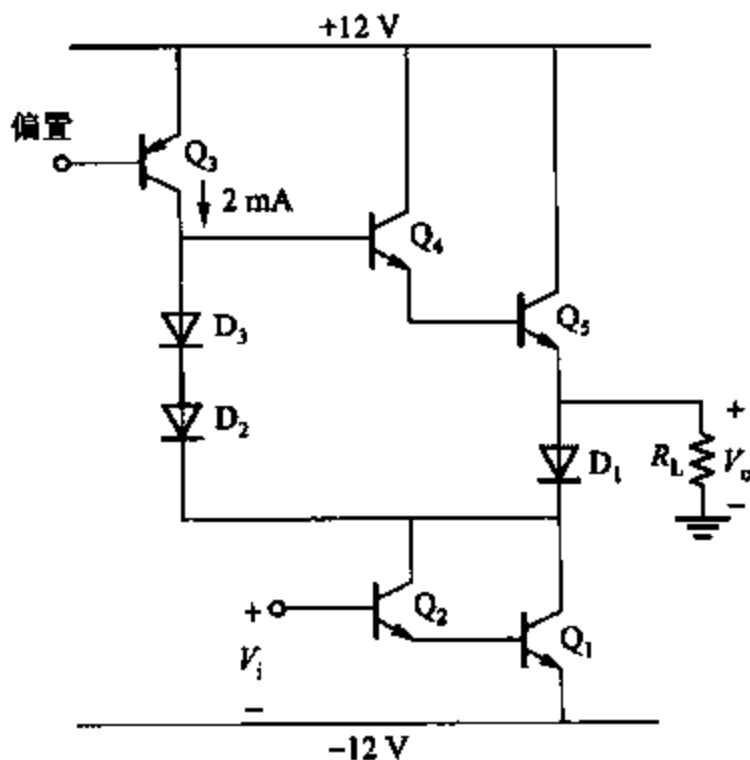


图 5.42 全 npn 达林顿输出级

(a) 如果 $R_L = 8$ Ω 计算 V_o 的最大正值和负值。

(b) $V_o = 0$ V 时,计算电路的功耗。

(c) 在削波发生之前,计算可能被传送到 $R_L = 8$ Ω 的最大平均功率和整个电路对应的效率。同时计算每个输出晶体管中的最大瞬时功耗。假定电路中使用了反馈,使得 V_o 接近正弦信号。

(d) 当 V_o 在整个输出电压范围内变化时,用 SPICE 画出 $R_L = 8$ Ω 时,从 V_i 到 V_o 的直流传输特性曲线,对于 Q_1 , Q_5 和 D_1 假定 $I_s = 10^{-15}$ A, $r_b = 1$ Ω , $r_c = 0.2$ Ω , $\beta_F = 100$ 且 $V_A = 30$ V。假定 Q_4 , Q_2 , D_2 和 D_3 是大器件尺寸的 1/100。对 Q_3 假定 $r_c = 50$ Ω 和 $V_A = 30$ V。

5.19 对于图 5.25 中电路,假定 $V_{CC} = 15$ V, $\beta_F(\text{pnp}) = 30$, $\beta_F(\text{nnp}) = 150$, $I_s(\text{nnp}) = 10^{-14}$ A, $I_s(\text{pnp}) = 10^{-15}$ A,并对所有器件 $V_{BE(on)} = 0.7$ V, $V_{CE(sat)} = 0.2$ V。假定 Q_5 和 Q_6 是 npn 型器件, Q_7 的集电极电流为 0.15 mA。

(a) 如果 $R_L = 1$ k Ω ,计算 V_o 的最大正值和负值。

(b) 对 $V_o = 0$ V,计算 $Q_1 \sim Q_7$ 中的静态电流。

(c) 如果在任何器件中的最大瞬时功耗是 100 mW,计算可能被传送到 R_L 的最大平均输出功率(正弦波)。并计算 R_L 的相应值,以及 Q_3 和 Q_4 的峰值电流。

5.20 一个 BiCMOS 甲乙类输出级如图 5.43 所示。器件参数为 $\beta_F(\text{pnp}) = 20$, $\beta_F(\text{nnp}) = 80$, $V_{BE(on)} = 0.8$ V, $\mu_p C_{ox} = 26$ $\mu\text{A}/\text{V}^2$ 且 $V_i = -0.7$ V。

(a) 对 $V_o = 0$,计算所有器件中偏置电流。

(b) 对 $R_L = 200$ Ω 计算 V_o 正值和负值极限。在削波发生之前,计算可能被递送到 R_L 的最大平均功率。

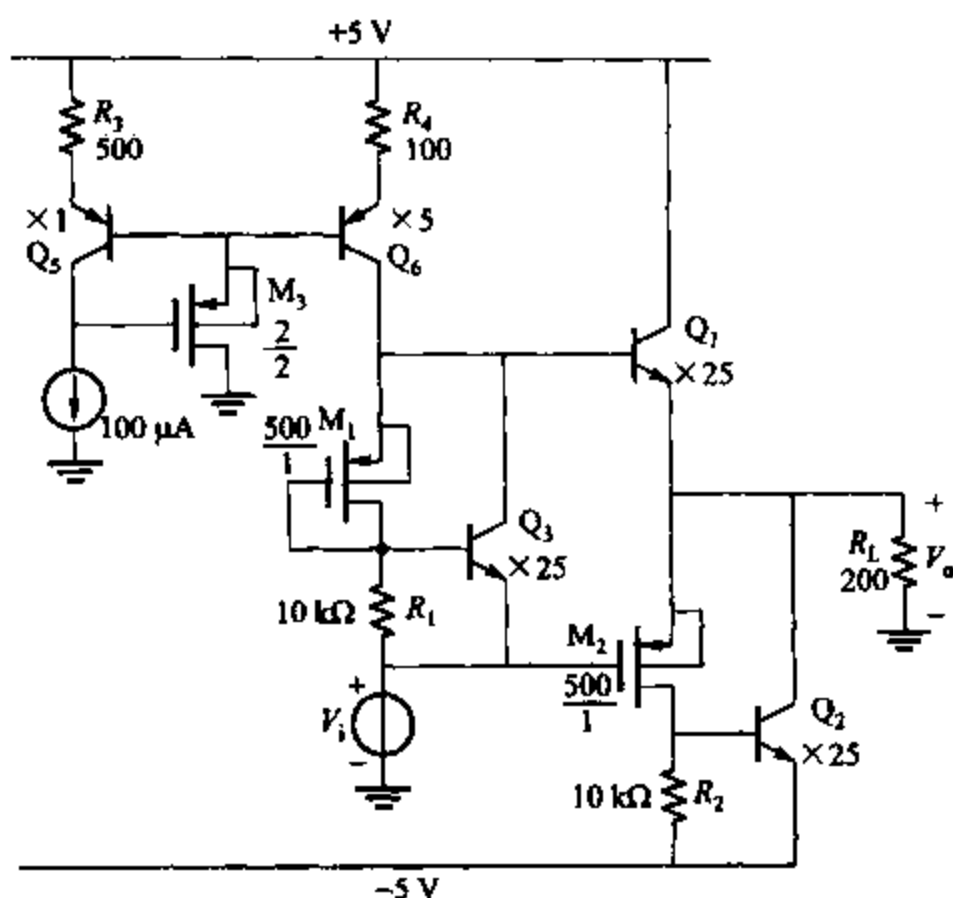


图 5.43 BiCMOS 甲乙类输出级

(c) 使用 SPICE 检验(a)以及整个电路从 V_i 到 V_o 的直流转移特性曲线。同时对于正弦输出电压 V_o 峰值为 2V 和 4V, 粗略画出 I_{c1}, I_{c2} 和 I_{d2} 的波形图。在仿真时, 双极型管参数同图 2.32 中相同, MOS 管参数同表 2.3 中相同(除了在上面已经给出的 β_F 和 $\mu_p C_m$)。

5.21 求出图 5.31 所示电路的最小输出电压。

5.22 设计基于图 5.31 电路的一个 CMOS 输出级, $R_L = 1\text{ k}\Omega$, $V_{DD} = V_{SS} = 2.5\text{ V}$, 发生削波前, V_o 能达到 $\pm 1\text{ V}$ 。 M_3 的偏置电流为 $10\text{ }\mu\text{A}$, M_1 和 M_2 中的空闲电流为 $100\text{ }\mu\text{A}$ 。设置 $(W/L)_1 = 50/1$, 和 $(W/L)_2 = 25/1$ 。指定为使总芯片面积减到最少的 $M_1 \sim M_6$ 的 W/L 值。使用表 2.3 中晶体管参数, 为简单起见, 假定 $L_{eff} = L_{drain}$ 。最小沟道长度为 $1\text{ }\mu\text{m}$, 假定所有的 n 沟道的晶体管的基底和 $-V_{SS}$ 相连, 所有 p 沟道的晶体管的基底和 V_{DD} 相连。利用 SPICE 画出 V_o 相对 V_i 的特性曲线来验证你的设计。

5.23 对于图 5.34 中的电路, 假设输入电压 V_i 足够高使得 M_1 工作在放大区, 但是 M_2 截止。在式 (5.116) 中, 使用相同的假设, 证明 V_o 和 V_i 的关系由以下表达式确定。

$$V_o = V_i + \frac{V_{ov}}{A} - V_{OSF} + \frac{1}{k' \frac{W}{L} A^2 R_L} - \frac{1}{k' \frac{W}{L} A^2} \sqrt{\frac{1}{R_L^2} + 2k' \frac{W}{L} \frac{A^2}{R_L} \left(V_i + \frac{V_{ov}}{A} - V_{OSF} \right)}$$

5.24 利用图 5.35 中的一个补偿电路, 概略画出下方的误差放大器和输出晶体管 M_2 的电路图, 它在图 5.32 中是以结构图形式表示的。在放大器中, 将晶体管如 $M_1 \sim M_{27}$ 分类, 例如, M_{11} 补偿 M_{11} , M_{22} 补偿 M_{12} 等, 分别对补偿 I_{BIAS} 和 I_{TAIL} 的电流源分类, 如 I_{BIASP} 和 I_{TAILP} 。

5.25 利用图 5.35 中的结构和题 5.24, 设计图 5.32 中显示的输出级, 满足以下要求:

- (a) $V_{DD} = V_{SS} = 2.5\text{ V}$ 。
- (b) 备用功耗不能超过 70 mW 。
- (c) $R_L = 100\text{ }\Omega$ 。

(d) 在零失调量和所有晶体管工作在放大区时的最大增益误差为 1%。

(e) 在图 5.35 中, $(W/L)_{17} = (W/L)_1/100$ 且 $(W/L)_{13} = (W/L)_{14} = (W/L)_1/10$ 。与此类似, 在习题 5.24 中, $(W/L)_{27} = (W/L)_2/100$ 且 $(W/L)_{23} = (W/L)_{24} = (W/L)_2/10$ 。

(f) 为控制静态电流, 误差放大器最大允许增益是 5。

(g) 你的解决方案可以使用 4 个理想电流源, 每个误差放大器中两个。在设计阶段, 并不要求用真实的晶体管代替理想电流源。当 $V_o \geq 0$ 时, 图 5.35 中理想电流源两端电压一定不小于 0.5 V。同样地, 当 $V_o \leq 0$ 时, 习题 5.24 的补偿电路中的每个电流源两端的电压一定至少是 0.5 V。

(h) 保证 M_{16} 和 M_{26} 在这些情况之下不会截止, 假定图 5.35 中 $I_{\text{TAIL}} = 5I_{\text{BIAS}}$, 习题 5.24 中 $I_{\text{TAILP}} = 5I_{\text{BIASP}}$ 。

(i) 对于 n 沟道和 p 沟道晶体管, 假定 $\lambda = 0$, $L_d = X_d = 0$ 并且忽略衬底效应。使所有晶体管 $L_{\text{drawn}} = 0$, 其余晶体管参数参见表 2.3。

(j) 输出级的失真在上述的情况之下应该被减到最小。

使用 SPICE 验证结论。

参考文献

1. E. M. Cherry and D. E. Hooper, *Amplifying Devices and Low-Pass Amplifier Design*, Wiley, New York, 1968, Ch. 9
2. E. Fong and R. Zeman, "Analysis of Harmonic Distortion in Single-Channel MOS Integrated Circuits," *IEEE Journal of Solid-State Circuits*, Vol. SC-17, pp. 83~86, February 1982.
3. Y. P. Tsividis and D. L. Fraser, Jr., "Harmonic Distortion in Single-Channel MOS Integrated Circuits," *IEEE Journal of Solid-State Circuits*, Vol. SC-16, pp. 694~702, December 1981.
4. E. M. Cherry and D. E. Hooper, Op. cit., Ch. 16.
5. J. Millman and C. C. Halkias, *Integrated Electronics*, McGraw-Hill, New York, 1972, Ch. 18
6. A. B. Grebene, *Analog Integrated Circuit Design*, Van Nostrand Reinhold, New York, 1972, Ch. 5~6.
7. T. M. Frederiksen and J. E. Solomon, "A High-Performance 3-Watt Monolithic Class-B Power Amplifier," *IEEE Journal of Solid-State Circuits*, Vol. SC-3, pp. 152~160, June 1968.
8. P. R. Gray, "A 15-W Monolithic Power Operational Amplifier," *IEEE Journal of Solid-State Circuits*, Vol. SC-7, pp. 474~480, December 1972.
9. R. G. Meyer and W. D. Mack, "A Wideband Class A B Monolithic Power Amplifier," *IEEE Journal of Solid-State Circuits*, Vol. 24, pp. 7~12, February 1989.
10. E. L. Long and T. M. Frederiksen, "High-Gain 15-W Monolithic Power Amplifier with Internal Fault Protection," *IEEE Journal of Solid-State Circuits*, Vol. SC-6, pp. 35~44, February 1971.
11. K. Tsugaru, Y. Sugimoto, M. Noda, T. Ito, and Y. Suwa, "A Single-Power-Supply 10-b Video BiCMOS Sample-and-Hold IC," *IEEE Journal of Solid-State Circuits*, Vol. 25, pp. 653~659, June 1990.
12. K. E. Brehmer and J. B. Wieser, "Large-Swing CMOS Power Amplifier," *IEEE Journal of Solid-State Circuits*, Vol. SC-18, pp. 624~629, December 1983.
13. B. K. Ahuja, P. R. Gray, W. M. Baxter, and G. T. Uehara, "A Programmable CMOS Dual Channel Interface Processor for Telecommunications Applications," *IEEE Journal of Solid-State Circuits*, Vol. SC-19, pp. 892~899, December 1984.
14. H. Khorramabadi, "A CMOS Line Driver

with 80 dB Linearity for ISDN Applications," *IEEE Journal of Solid-State Circuits*, Vol. 27, pp. 539 ~ 544, April 1992.

15. J. A. Fisher. "A High-Performance CMOS Power Amplifier," *IEEE Journal of Solid-State Circuits*, Vol. SC-20, pp. 1200 ~ 1205, December 1985.

16. K. Nagaraj. "Large-Swing CMOS Buffer

Amplifier," *IEEE Journal of Solid-State Circuits*, Vol. 24, pp. 181 ~ 183, February 1989.

17. H. Khorramabadi, J. Anidjar, and T. R. Peterson. "A Highly Efficient CMOS Line Driver with 80-dB Linearity for ISDN U-Interface Applications," *IEEE Journal of Solid-State Circuits*, Vol. 27, pp. 1723 ~ 1729, December 1992.

第六章 单端输出的运算放大器

在前面三章,读者已经学习了模拟集成电路(ICs)中最重要的—些电路模块。大多数模拟 ICs 主要是由基本电路组成的,把它们连接起来实现所需的功能。尽管一些标准的或特殊的 ICs 种类变换无穷,但也有一些标准电路在各种各样的系统中得到了广泛的应用。包括运算放大器、电压调整器、模数转换器(A/D)和数模(D/A)转换器。在本章里,将讲述单端输出的单片运算放大器,将其作为以前描述的电路模块的一个应用例子以及作为模拟电路这门课程的设计和应用来介绍。全差分输出的运算放大器将在第十二章讲述,电压调整器电路将在第八章讲述。A/D 和 D/A 转换器的设计虽然没有介绍,但它涉及了几乎整本书描述的电路技术。

单端输出的理想运算放大器有差分输入、无限大的电压增益、无限大的输入电阻和零值的输出电阻。电路原理示意图如图 6.1 所示。虽然实际的运算放大器没有这些理想特征,但是它们的性能良好,所以在大多数应用中,电路的特性非常接近理想的运算放大器。

在运算放大器设计中,双极型晶体管与类似的 CMOS 相比,有许多优点,例如,对于给定的电流有更高的跨导,更高的增益($g_m r_o$),更高的速度,更低的输入的偏移电压和更低的输入噪声电压。(噪声

的内容将在第十一章讲述。)所以,双极型晶体管运算放大器在许多时候有最好的性能,例如,需要直流耦合,低偏移量和低漂移的场合。因为这些原因,双极型运算放大器首先在商业上得到重要应用,并且通常提供了优异的模拟性能。然而,与双极型结构相比,CMOS 数字电路面积更小,消耗的能量更少,所以 CMOS 技术在构建信号处理系统数字部分的应用中具有主导地位。因为这些系统经常要对模拟电路产生的信号进行运算,如模拟的运算放大器输出要连接到数字 CMOS 电路。为了减少系统成本,同时增加可移植性,模拟和数字电路经常是集成在一起的,而且采用 CMOS 运算放大器主要是出于经济的考虑。

本章首先讨论运算放大器的若干应用,来说明模拟电路和系统设计的通用性。接下来将讲述 CMOS 运算放大器。然后分析一个通用的双极型单片运算放大器 741。并描述出电路在非理想情况下的特征,同时叙述了为提高单片运算放大器的低频性能而做的各方面的设计考虑。运算放大器的高频性能和瞬态响应将在第七章和第九章中讲述。

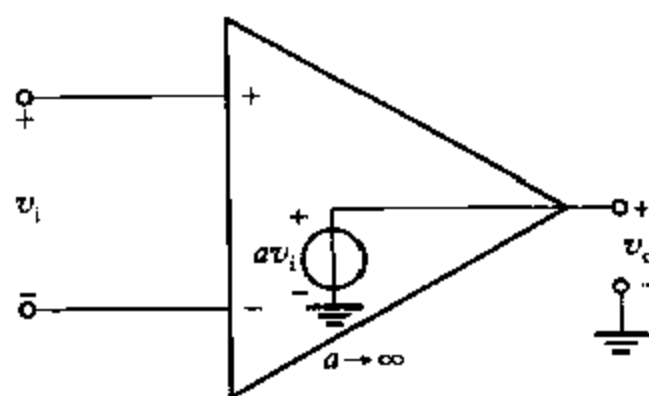


图 6.1 理想运算放大器

6.1 运算放大器的应用

6.1.1 反馈的基本概念

几乎所有的运算放大器都利用了反馈理论。反馈放大器将在第八章详细讲述;为了理解运算放大器电路,首先讲一些必要的基本概念。反馈放大器的概念框图如图 6.2 所示。 a 为正向或基本放大器, f 为反馈网络。当没有反馈网络时,基本放大器的增益被称为放大器的开环增益 a 。反馈网络的功能是检测输出信号 S_o 并产生反馈信号 S_b ,其值等于 fS_o , f 通常是小于 1 的。这个反馈信号减小了输入信号 S_i ,其差值 S_e 为基本放大器的输入。当存在反馈网络时,系统的增益被称为闭环增益。对于基本放大器,有

$$S_o = aS_e = a(S_i - S_b) = a(S_i - fS_o) \quad (6.1)$$

因此

$$\frac{S_o}{S_i} = \frac{a}{1 + af} = \frac{1}{f} \left(\frac{af}{1 + af} \right) = \frac{1}{f} \left(\frac{T}{1 + T} \right) \quad (6.2)$$

其中, $T = af$ 称为环路增益。当 T 与 1 相比足够大时,闭环增益变成

$$\lim_{T \rightarrow \infty} \frac{S_o}{S_i} = \frac{1}{f} \quad (6.3)$$

因为反馈网络由无源部件组成, f 的值可以被设置成任意精确度,如果 $T \gg 1$,就可以获得值为 $1/f$ 的增益,并且与开环增益 a 的变化是独立的。这种与有源放大器参数相独立的闭环特性是运算放大器在模拟电路中广泛使用的主要因素。

如图 6.2 所示的电路,反馈信号减小了 S_e 的值,使之小于开环情况下($f=0$)的值,前提是 a 和 f 符号相同。这种情况称为负反馈,它是本章中讨论最多的情况。

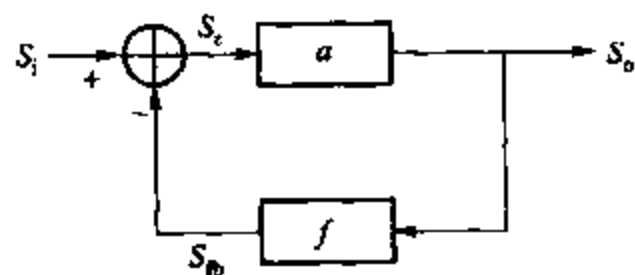


图 6.2 反馈放大器的概念性方框图

通过对反馈概念的简要介绍,讲述一些有用的运算放大器使用的例子。因为这些实例电路比较简单,用基尔霍夫定律来直接分析,比将它们作为反馈放大器来分析要容易。在第八章,将讲述更复杂的反馈电路,那时反馈概念作为一个分析工具比在这些简单例子中有更大的用处。

6.1.2 反相放大器

反相放大器的连接如图 6.3a 所示。^{1,2,3} 假设运算放大器输入阻抗是无限的,并且如图 6.1 所示,输出阻抗是零。在结点 X 处由 KCL 有

$$\frac{V_s - V_i}{R_1} + \frac{V_o - V_i}{R_2} = 0 \quad (6.4)$$

因为 R_2 连接在放大器输出和反相的输入之间,是负反馈。由于无限的开环增益, V_i 将被减

至零值。另一方面,对于有限开环增益 a 有

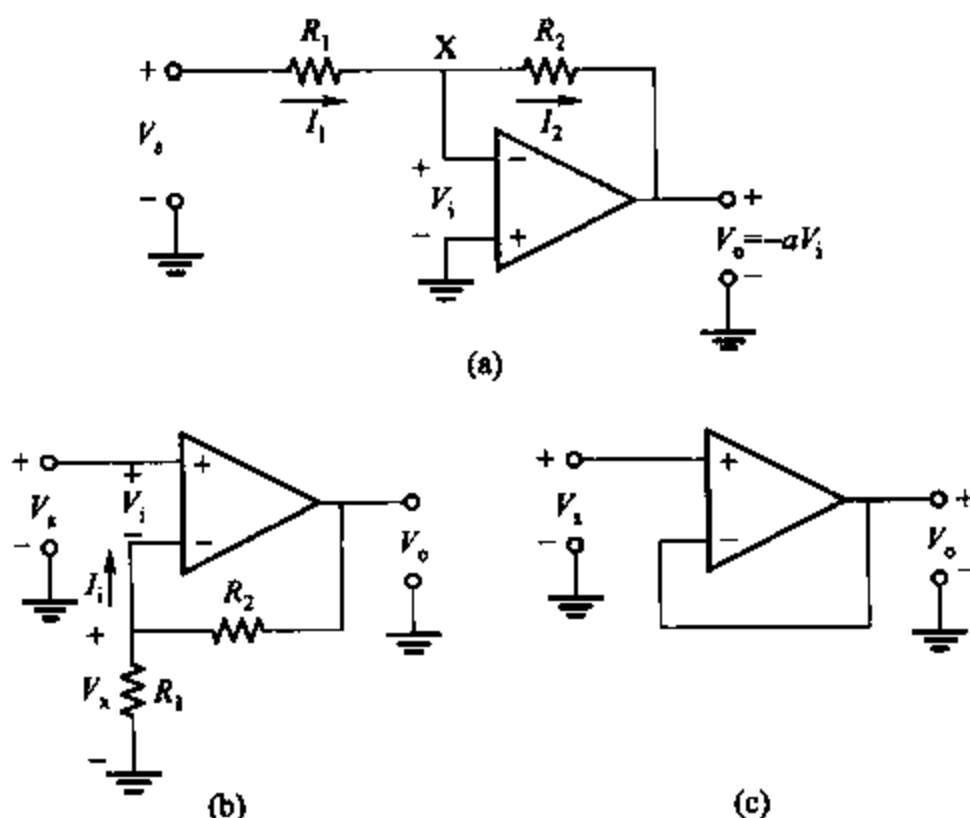


图 6.3 (a) 反相放大器结构;(b) 非反相放大器结构;(c) 电压跟随结构

$$V_i = \frac{-V_o}{a} \quad (6.5)$$

将式(6.5)代入式(6.4)并且整理得

$$\frac{V_o}{V_i} = -\frac{R_2}{R_1} \left[\frac{1}{1 + \frac{1}{a} \left(1 + \frac{R_2}{R_1} \right)} \right] \quad (6.6)$$

如果运算放大器的增益足够大,则

$$a \left(\frac{R_1}{R_1 + R_2} \right) \gg 1 \quad (6.7)$$

则闭环增益为

$$\frac{V_o}{V_i} \approx -\frac{R_2}{R_1} \quad (6.8)$$

如果不等式(6.7)成立,式(6.8)表明闭环增益主要取决于无源元件 R_1 和 R_2 。因为这些元件可以为任意的精度,这样就可以获得较高精度的闭环增益,而且不受有源设备(运算放大器)参数变化的影响。例如,如果运算放大器增益从 5×10^4 变到 10^5 ,增益值增加了 100% 将不会对闭环的性能有明显的影 响,这一点由式(6.7)证明。

示例

分别计算 $a = 10^4$ 和 $a = 10^5$ 时电路图 6.3a 的增益,其中 $R_1 = 1 \text{ k}\Omega$, $R_2 = 10 \text{ k}\Omega$ 。

当 $a = 10^4$ 时,由式(6.6)有

$$A = \frac{V_o}{V_i} = -10 \times \frac{1}{1 + \frac{11}{10^4}} \approx -9.9890 \quad (6.9)$$

当 $a = 10^5$ 时, 由式(6.6)有

$$A = \frac{V_o}{V_i} = -10 \times \frac{1}{1 + \frac{11}{10^5}} = -9.99890 \quad (6.9a)$$

运算放大器的高增益允许如图 6.3a 所示电路的近似分析可以使用求和点规则。¹ 如果运算放大器连接在负反馈电路, 且运算放大器的增益很大, 因为输出电压是有限的值, 所以输入电压一定近似为零, 因为

$$V_i = -\frac{V_o}{a} \quad (6.10)$$

因此, 可以通过假定运算放大器输入电压为零来近似分析这样的电路。这种分析方法的前提为电路是负反馈且有稳定的工作点, 此时式(6.10)有效。

$V_i = 0$ 的假设称为求和点规则。第二个限制是没有电流流进运算放大器输入端, 因为如果 $V_i = 0$, 则运算放大器的输入电阻两端没有电压。通过求和点的方法可以对图 6.3a 所示的反相放大器配置的工作原理有一个直观的理解。因为反相输入端被强制接地, 电阻 R_1 使电压 V_i 转变为 V_i/R_1 的输入电流值。电流不会流入理想运算放大器的输入端。因此, 电流通过 R_2 , 产生值为 $V_o R_2/R_1$ 的压降。因为运算放大器输入端接地, 由 V_i 看进去的整个电路的输入电阻为 R_1 。因为放大器的反相输入通过负反馈被强制接地, 有时被称为虚拟地。

6.1.3 非反相放大器

非反相放大器如图 6.3b 所示。^{1,2,3} 使用图 6.1, 假设没有电流流进反相的运算放大器输入端。如果开环增益是 a , 则 $V_i = V_o/a$ 。且

$$V_x = V_o \left(\frac{R_1}{R_1 + R_2} \right) = V_i - \frac{V_o}{a} \quad (6.11)$$

重新整理式(6.11)得

$$\frac{V_o}{V_i} = \left(1 + \frac{R_2}{R_1} \right) \frac{\frac{aR_1}{R_1 + R_2}}{1 + \frac{aR_1}{R_1 + R_2}} \approx \left(1 + \frac{R_2}{R_1} \right) \quad (6.12)$$

当 $aR_1/(R_1 + R_2) \gg 1$ 时, 近似式(6.12)有效。

对比于反相放大器, 因为使用反馈的类型不同, 该电路从 V_i 看进去显示出一个很高的输入电阻(见第八章)。与反相情况不同的另一点是: 非反相连接引起运算放大器的共模输入电压等于 V_i 。该连接的一个重要变化是: 当 $R_1 \rightarrow \infty$ 和 $R_2 = 0$ 时, 该连接表现为一个电压跟随器。若 $a \gg 1$, 增益接近 1, 这个电路如图 6.3c 所示。

6.1.4 差分放大器

差分放大器被用来放大两个电压之差,电路如图 6.4 显示。^{1,2} 对于该电路, $I_{ii} = 0$, 因此,电阻 R_1 和 R_2 形成了分压器。电压 V_x 为

$$V_x = V_1 \left(\frac{R_2}{R_1 + R_2} \right) \quad (6.13)$$

电流 I_1 为

$$I_1 = \left(\frac{V_2 - V_y}{R_1} \right) = I_2 \quad (6.14)$$

输出电压为

$$V_o = V_y - I_2 R_2 \quad (6.15)$$

若开环增益是无限的,求和点规则 $V_i = 0$ 有效,且强制 $V_y = V_x$ 。将 $V_y = V_x$, 式(6.13)和式(6.14)代入式(6.15),重新整理得

$$V_o = \frac{R_2}{R_1} (V_1 - V_2) \quad (6.16)$$

因此,电路放大了差分电压($V_1 - V_2$)。

差分放大器经常用来检测及放大两个可变电压之间的微小差别。例如,典型的应用是测量惠斯通电桥的两分支之间的差分电压。对于非反相放大器,图 6.4 所示的运算放大器有一个共模输入信号,当 $R_2 \gg R_1$ 时,其值等于输入端提供的共模电压 $(V_1 + V_2)/2$ 。

6.1.5 非线性的模拟运算

通过包括反馈网络的非线性单元,运算放大器能被用来对一个或多个模拟信号进行非线性运算。如图 6.5 所示的对数放大器是该应用的一个实例。对数放大器在仪器系统有广泛的应用,对于仪器系统,大动态范围的信号需要检测并被记录。通过求和点规则,该电路的运算可以进一步被理解。因为运算放大器的输入电压必须为零,图 6.5 为对数放大器结构。电阻 R 将输入电压 V_i 变换为电流。相同的电流流进晶体管的集电极。因此,电路强制晶体管的集电极电流与输入电压成比例。而且,因为 $V_{ce} \approx 0$,晶体管工作在正向放大区。因为工作在正向放大区域的双极晶体管的基极-发射极电压与集电极电流成对数关系,且因为输出电压为晶体管的基极-发射极的电压,所以产生对数转移的特征。根据方程

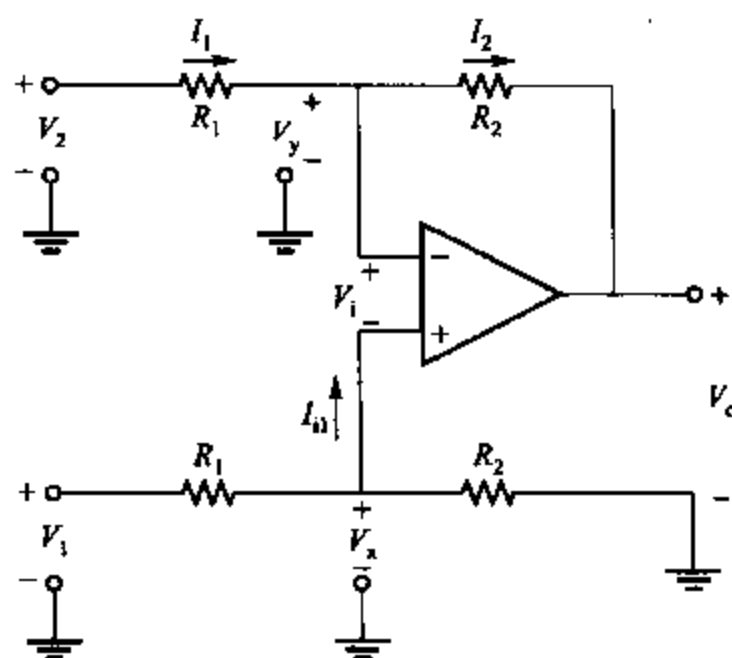


图 6.4 差分的放大器配置

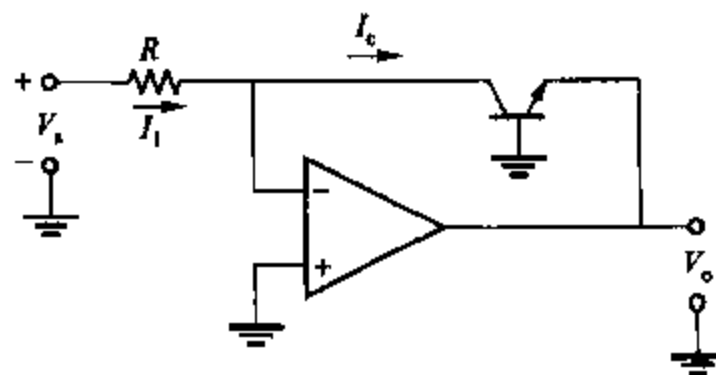


图 6.5 对数放大器结构

$$I_1 = \frac{V_s}{R} \approx I_c = I_s \left[\exp\left(\frac{V_{be}}{V_T}\right) - 1 \right] \approx I_s \exp\left(\frac{V_{be}}{V_T}\right) \quad (6.17)$$

且

$$V_o = -V_{be} \quad (6.18)$$

因此

$$V_o = -V_T \ln\left(\frac{V_s}{I_s R}\right) \quad (6.19)$$

对数放大器仅是各式各样的运算放大器应用的一个例子,在诸多应用中,非线性的反馈单元被用来实现非线性转移特性。例如,两个对数放大器能被用来实现两个不同的信号的对数关系。这些电压被累加,然后其结果的指数功能可被用来连接反相放大器,其中的 R_1 被二极管替代,其结果是一个模拟乘法器。另外的非线性运算,如限流,整流,峰值检波,平方,平方根,增大功率及除法等,可以用类似的方法实现。

6.1.6 积分器和微分器

积分器和微分器电路(如图 6.6 所示)是在反馈网络中使用带电抗元件的运算放大以实现所需的频率响应或时域响应的实例。^{1,2} 在积分器中,电阻 R 被用来实现与输入电压成比例的电流 I_1 。该电流流进电容 C ,其电压、电流 I_2 与时间的积分成比例。因为输出电压与电容器的电压反相,输出、输入电压与时间的积分成比例。根据方程,

$$I_1 = \frac{V_s}{R} = I_2 \quad (6.20)$$

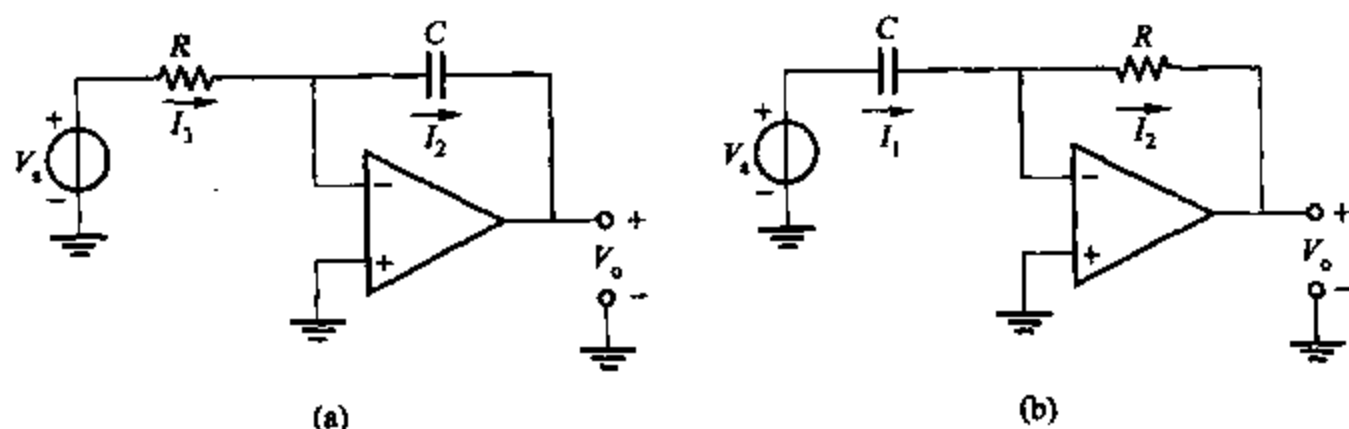


图 6.6 (a) 积分器结构;(b) 微分器结构

且

$$V_o = -\frac{1}{C} \int_0^t I_2 d\tau + V_o(0) \quad (6.21)$$

结合式(6.20)和式(6.21),有

$$V_o(t) = -\frac{1}{RC} \int_0^t V_s(\tau) d\tau + V_o(0) \quad (6.22)$$

实际的运算放大器的性能限制了 V_o 的范围和 V_o 的变化率,而维持了上述关系。

在微分器中,电容器 C 被连接在 V_s 和反相运算放大器的输入之间。通过电容器的电

流、电压与时间的导数成比例,该电压与输入电压相等。该电流流经反馈电阻 R ,在输出端产生与电容电流成比例的电压,该电流与输入电压的时间变化率成比例。根据方程,

$$I_1 - C \frac{dV_s}{dt} = I_2 \quad (6.23)$$

$$V_o = -RI_2 = -RC \frac{dV_s}{dt} \quad (6.24)$$

6.1.7 内部放大器

在整体的模拟子系统中使用运算放大器的目的,经常不同于那些使用外部的反馈单元的普通运算放大器。在整体的模拟子系统中,较少的放大器需要驱动输出芯片外的信号,在芯片外的信号中,电容及电阻的负载是重要且变化的。这些放大器将作为输出缓冲,而不在电路端口输出的放大器将是内部放大器。也许最重要的差别是内部放大器驱动负载被严格地定义了,且通常是皮法量级的纯电容。相反,独立的通用放大器,通常需要被设计完成一定的功能,如驱动独立的几百皮法电容和低于 $2 \text{ k}\Omega$ 甚至更低的电阻负载。

6.1.7.1 开关电容器放大器

在 MOS 技术中,代替电阻的电容器经常部分地在反馈放大器中作为无源器件使用,因为电容器经常是最容易得到的无源部件。同时,电容器能存储与模拟信号成比例的电荷,并且 MOS 晶体管能充当开关连接电容,而没有任何偏移量,仅带有少量泄漏,因此适合处理离散时间的模拟信号。MOS 开关电容器放大器是内部放大器的一个重要应用。这里,介绍这些应用是为了帮助解释 MOS 运算放大器的构造。

与图 6.3a 所示的带有电阻反馈的放大器相对比,图 6.7 显示了一个带有电容反馈的反相放大器。如果运算放大器是理想的,从输入变化量 ΔV_s 至输出变化量 ΔV_o 的增益仍可由反馈元件 C_2 的阻抗与输入元件 C_1 的阻抗的比率得到,即

$$\frac{\Delta V_o}{\Delta V_s} = - \frac{\frac{1}{\omega C_2}}{\frac{1}{\omega C_1}} = - \frac{C_1}{C_2} \quad (6.25)$$

不同于电阻作为无源单元的情况,该电路不为反相运算放大器输入提供直流偏置,因为两个电容器阻抗对于直流是无限大的。为克服这个问题,使用两个相位非重叠时钟的开关来控制上面的电路运算。该电路称为开关电容器放大器。

图 6.8a 所示为开关电容器放大器的结构。图中的每个开关被两个相位为 ϕ_1, ϕ_2 的时钟之一控制,时序图如图 6.8b 所示。假设当控制时钟信号为高时,每个开关关闭,当时钟信号是低时,开关打开。因为时钟 ϕ_1, ϕ_2 不会同时为高,当一个时钟控制的开关关上时,另一

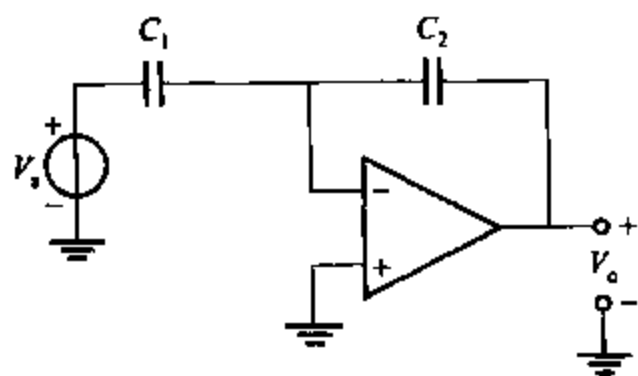


图 6.7 有电容反馈的反相放大器配置。对于反相运算放大器的输入没有直流偏置

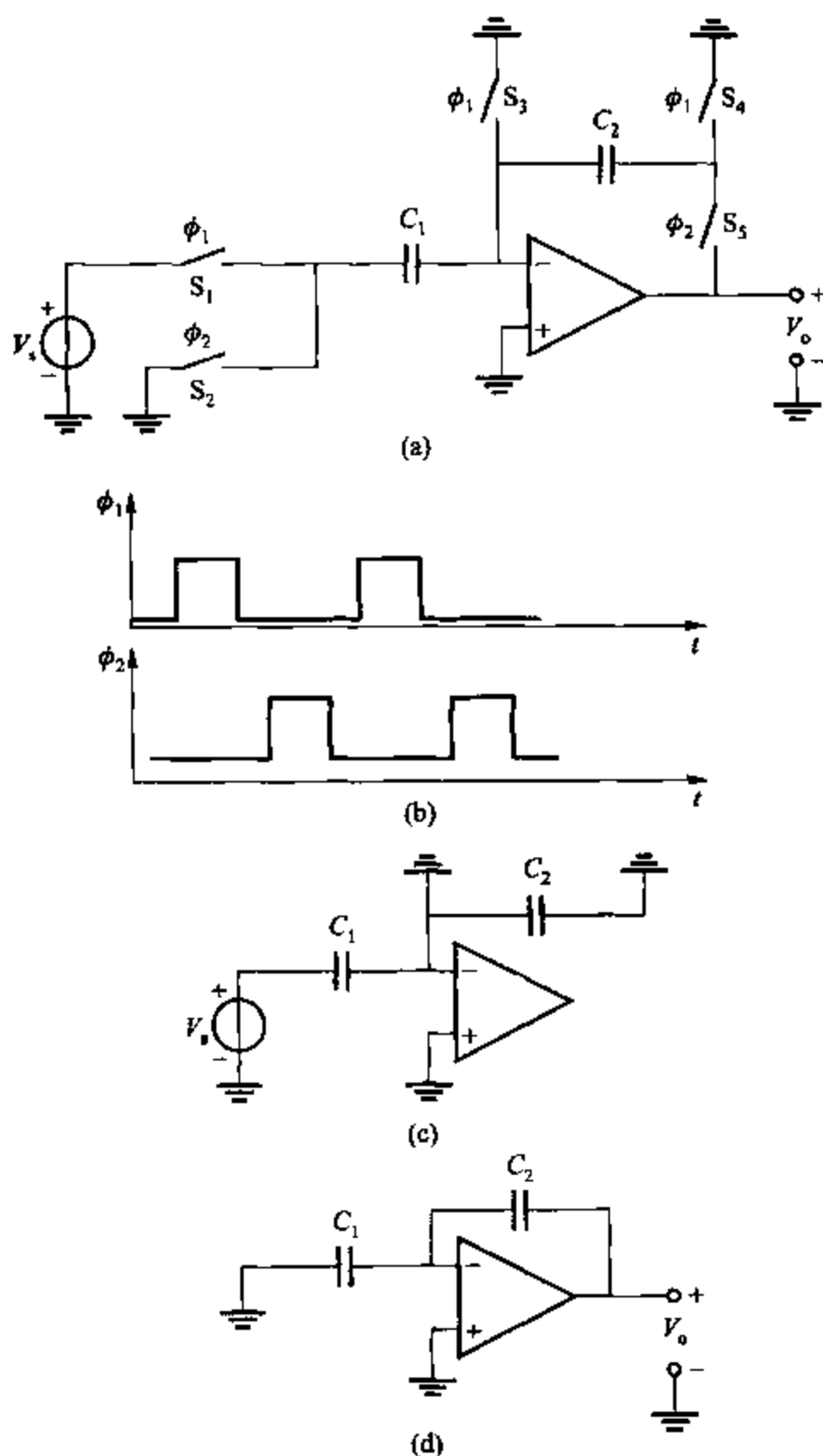


图 6.8 (a) 有理想开关的开关电容放大器的图解;
 (b) 时钟信号的时序表;(c) ϕ_1 期间的连接;(d) ϕ_2 期间的连接

个时钟控制的开关不会关闭。正因为这个性质,在图 6.8b 的时钟信号将作为非混迭时钟信号。例如,当 ϕ_1 是高时, C_1 的左端通过开关 S_1 连接到输入 V_i , 当 ϕ_2 为高时, C_1 的左端通过开关 S_2 接地, 但该结点不会同时被连接到输入端和接地端。

为简化描述开关电容器的电路运算, 电路通常是重新画两次, 每一次针对非混迭时钟相位。图 6.8c 和 6.8d 分别显示了当 ϕ_1 是高(在 ϕ_1 期间)及当 ϕ_2 是高时(在 ϕ_2 期间)的连接情况。将关闭的开关假定为短路, 而打开的开关假定是开路的。

为求得给定输入的输出,使用基于电荷储存的分析方法。开关 S_1 打开后,连接运算放大器输入结点的电容器储存电荷直到该开关被关上。这个性质部分源于连接运算放大器输入结点的无源器件是电容器,而电容不能传输直流电流。另外,若运算放大器由 MOS 差分输入对所构造,该运算放大器输入端连接作为差分对管的栅极,且栅极不传导直流电流。最后,若假设开关 S_1 为开,开关 S_2 不传输电流,则当 S_2 是开时,储存的电荷将不会泄漏。

因为图 6.8c 中 C_2 的双端被接地,在 ϕ_1 期间,连接到运算放大器输入结点的电容器上储存的电荷是

$$Q_1 = (0 - V_s)C_1 + (0)C_2 = (0 - V_s)C_1 \quad (6.26)$$

因为输入电压在 ϕ_1 期间被采样并被存储在 C_1 上,该相位作为输入采样相位,若运算放大器是理想的,在 ϕ_2 期间通过负反馈使反相运算放大器输入端到地间的电压 V_i 为零。因此,在 ϕ_2 期间被存储的电荷为

$$Q_2 = (0)C_1 + (0 - V_o)C_2 = (0 - V_o)C_2 \quad (6.27)$$

因为采样电荷 ϕ_1 期间出现在 C_1 上,在 ϕ_2 期间出现在 C_2 上,因此将 ϕ_2 称为电荷传输相位。通过电荷储存, $Q_2 = Q_1$; 因此

$$\frac{V_o}{V_s} = \frac{C_1}{C_2} \quad (6.28)$$

在式(6.28)中, V_s 代表 ϕ_1 结束时的输入电压, V_o 代表 ϕ_2 结束时的输出电压。输出电压波形并不能由式(6.28)推出,而是取决于电容器在其充电、放电时的变换率。在实际中,这些变换率取决于运算放大器的带宽及关闭开关的电阻。若运算放大器是理想的,输入 V_s 是直流的,且 ϕ_1 和 ϕ_2 高电压之间的间隔足够长而能完成对相关电容器的充放电,此时式(6.28)的结果有效。在式(6.28)中, V_o/V_s 比率是正的,因为若在 ϕ_1 期间 $V_s > 0$, 在 C_1 左端和地面之间的电压在 ϕ_2 期间从正值减小到零。因此,在 ϕ_2 期间负方向变化的电压乘以负的闭环放大器的增益,将得到式(6.28)中的正值比率。

MOS 技术有两个关键因素决定它适合于构建开关电容器电路。首先,只要输入被连接到 MOS 晶体管的栅极,则流进 MOS 的运算放大器的输入端的直流电流为零。相反,双极运算放大器由于有限的 β_F 而引入了非零直流输入电流。第二,使用 MOS 晶体管,图 6.8 中的开关可以在没有任何偏移量的情况下实现,如图 6.9a 所示。 $M_1 \sim M_5$ 源极的箭头可以任意选择,即源极和漏极可互换。(因为源极在 n 沟道晶体管中是电子的来源,源极到地的电压低于漏极到地的电压。)假设时钟电压在 $-V_{SS}$ 和 V_{DD} 之间轮换变化,如图 6.9b 所示。同时假设所有结点的电压不低于 $-V_{SS}$ 且不高于 V_{DD} 。最后,假设晶体管阈值电压是正值。在这些条件下,当每个晶体管的栅极为低时,晶体管截止。同时,只要源极工作在低于 V_{DD} 至少一个阈值电压的情况下,当每只晶体管的栅极为高时,晶体管导通。若 V_i 是直流信号,因为电容器开始充电,所有的漏极电流接近零。因为漏极电流接近零, MOS 晶体管工作在三极管区,当漏极电流是零时,工作在三极管区的晶体管的漏-源电压是零。因此,输入电压 V_i 加在 C_1 上,而且 MOS 晶体管作为开关操作时偏移量为零。MOS 晶体管的这个性质对

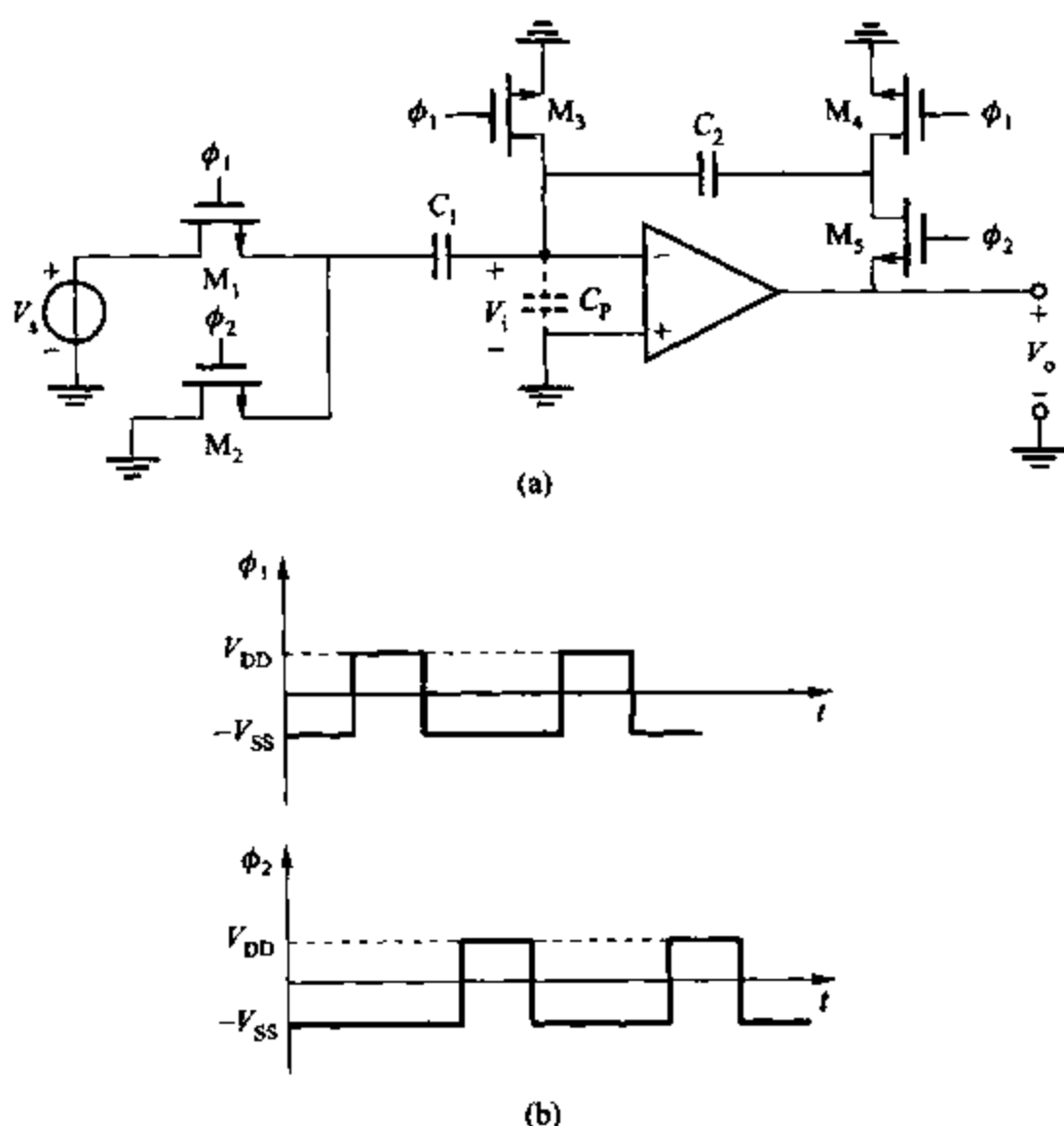


图 6.9 (a) 由 n 沟道 MOS 晶体管作为开关的开关电容器放大器结构图;
(b) 标注电压的时钟波形

于实现开关电容器电路是很重要的。相反,双极型晶体管作为开关时不能产生带有零集电极电流的零集电极-发射极电压。

因为该电路的增益对于电路所有的结点上出现的各种寄生电容依赖很小,因此图 6.9a 所示的开关电容器放大器在实践上非常重要。这些不期望得到的电容,部分来源于每只晶体管的漏极和源极的连接电容。同时,运算放大器的输入电容在运算放大器的输入结点上产生寄生电容。而且,如 2.10.2 节描述的,电容器 C_1 和 C_2 的底板上至少出现了一些到底层或是扩散的内在层的电容。因为在运算放大器输入结点上的储存电荷量决定了电路的增益,源于所有结点(除运算放大器输入至对地电压为常量的全部结点)的寄生电容不会影响电路的精确度。不会对电路的精确性带来差别。(然而,这样的寄生现象减小了最大的时钟频率)在另一方面,在运算放大器输入结点的寄生电容,影响了电路增益的精确性,但误差与运算放大器增益成反比,关于这一点的说明如下所述。

令 C_p 代表从运算放大器输入到所有对地有恒定电压的结点的总寄生电容。若运算放大器增益是 a ,在 ϕ_2 期间从反相运算放大器输入到地的电压由式(6.10)给出。因此,由于有限的运算放大器增益, C_1 和 C_p 在 ϕ_2 期间没有完全放电。在这些条件下,在 ϕ_2 期间,运算放大器输入结点的存储电荷变为

$$Q_2 = \left(-\frac{V_o}{a}\right)C_1 + \left(-\frac{V_o}{a}\right)C_p + \left(-\frac{V_o}{a} - V_o\right)C_2 \quad (6.29)$$

当运算放大器增益为无限时,如期望的那样,式(6.29)变为式(6.27)。由电荷守恒定律设式(6.29)中的 Q_2 与式(6.26)中的 Q_1 相等,则有

$$\frac{V_o}{V_s} = \frac{C_1}{C_2} \left[\frac{1}{1 + \frac{1}{a} \left(\frac{C_1 + C_2 + C_p}{C_2} \right)} \right] \quad (6.30)$$

该闭环增益可写为

$$\frac{V_o}{V_s} = \frac{C_1}{C_2} (1 - \epsilon) \quad (6.31)$$

其中, ϵ 是一个增益误差为

$$\epsilon = \frac{1}{1 + a \left(\frac{C_2}{C_1 + C_2 + C_p} \right)} \quad (6.32)$$

当 $a \rightarrow \infty$, $\epsilon \rightarrow 0$ 时,如式(6.28)给出的,开关电容放大器的增益接近于 C_1/C_2 。因此,电路增益寄生感应迟钝,这取决于运算放大器增益的范围。

图 6.9a 显示的开关电容器放大器的一个重要参数是最小时钟周期。这个周期被分成两个主要的部分,每一个针对一个时钟相位。 ϕ_2 的持续时间一定要足够长以使得运算放大器的输出能到达并保持在给定的精确范围内。这个时间作为运算放大器的设置时间来定义,并取决于开关电阻、电路电容及运算放大器性能。时间的设置通常由 SPICE 仿真来决定。这样的仿真应该对所有时钟相位都运行,因为实际中, ϕ_1 期间的运算放大器输出电压不容易控制。若运算放大器是理想的,该输出电压是零。然而,带有非零失调电压时,输出电压将在 ϕ_1 期间被驱动到非零值,而这要取决于失调电压和运算放大器增益。若运算放大器增益很大,该失调量能很容易地达到足够大,来强制输出电压钳位在规定值的附近。在 ϕ_1 结束时,输出电压可以考虑作为一个在 ϕ_2 期间的电路起始条件。若起始状况和在 ϕ_2 结束时期望的最后输出有较大的不同,则输出在 ϕ_2 期间达到所给精确度的所需时间将增加。而且,非零偏移量增加了对运算放大器输出电压在 ϕ_1 期间达到恒定水平所需的时间。尽管在式(6.30)定义的电路输出电压仅出现在 ϕ_2 期间,没有在 ϕ_1 期间到达恒定输出电压,将导致上面定义的初始状况发生变化,需依靠在前面 ϕ_2 时期的结束时的 V_o 值。由于记忆效应,电路将作为一个过滤器(可能是非线性的),综合先前多次的输入采样来决定给定的输出。关键点是任何相位的最小持续时间的增加将要求最小时钟周期的增加。在仿真中,这种效应在仿真非零失调电压时应该包括。

在最小时钟周期上减少非零失调电压效应的一个方法是包括一个运算放大器输出的复位开关,如图 6.9a 所示,运算放大器有单端输出,则这样的开关连接在运算放大器输出和偏置点(两个电源电压的)之间。在另一方面,如第十二章描述的,运算放大器有差分输出,这样的复位开关能在两个运算放大器输出之间被连接。在任何情况中,复位开关将在 ϕ_1 期间

打开,在 ϕ_2 期间关闭。该复位开关的主要意义在于可以减少在 ϕ_1 期间非零失调电压产生的最大输出电压及到达该值的所需时间,紧接着减小在两个相位的最小持续时间上的非零失调量的效应。

图 6.9a 显示的开关电容器放大器的精确性,将受若干其他的因素限制。现在作一个简短的解释。第一,即使有理想的运算放大器,增益还是取决于电容器 C_1/C_2 的比率,该比率因为随机失配效应而没有在实际中得到很好的控制。第二,运算放大器失调量限制了能在开关电容放大器从失调量中区分开来的最小信号。如 3.5.6 节所述,CMOS 差分对的参考输入的失调量,通常比起双极型的差分对显得更差。这个性质扩展到运算放大器,因为与相应的双极型结构相比,MOS 晶体管减少了从跨导到电流的比率,以及仅出现在 MOS 情况的阈值失配。第三,放大器在图 6.9a 中作为开关的 MOS 晶体管的栅极储存的电荷量将影响电荷守恒定律方程和开关电容放大器的精确性。如图 6.9a 中在 M_3 晶体管的栅极的一些存储的电荷在 M_3 关闭后,被注入运算放大器输入结点。在实际中,经常使用克服这些限制的技术,但是这里暂不予考虑。

6.1.7.2 开关电容器积分器

开关电容器积分器为内部运算放大器的另一个应用,在图 6.10a 给出了最简单的形式。作为整体的开关电容器的基本单元过滤器,有以下 2 个主要原因,使得该电路被广泛地利用。首先,积分器的频率响应对出现在电路所有结点的各种各样的寄生电容表现得并不敏感。第二,作为基本单元来使用开关电容器积分器,所需滤波器的频率响应的合成是相对直接的。在这节,将分析开关电容器积分器的频率响应。

积分器由运算放大器、采样电容器 C_s 、积分电容器 C_i 和四只 MOS 晶体管开关所组成。图中所显示的负载电容代表下列积分器的采样电容器和任何可能出现的寄生电容。采样、积分和负载电容的典型值如图 6.10a 所标注。

图 6.10b 显示出两个非重叠时钟信号的时序图 ϕ_1 和 ϕ_2 ,同典型的输入波形和输出波形一样控制电路的运算。当时钟相位 ϕ_1 是高的间隔期间,晶体管 M_1 和 M_3 工作在三极管区,并负责对采样电容器充电到与输入电压相等的电压。随后,时钟信号 ϕ_1 下降。时钟信号 ϕ_2 上升,导致晶体管 M_2 和 M_4 导通,采样电容连接在反相运算放大器输入之间,有时被称为累加结点和地。若运算放大器是理想的,在累加结点的电压的变化,引起运算放大器输出移动,使得累加结点的电压被驱动到地。当瞬间结束后,跨过 C_s 的电压被拉到零。

为找到输入和输出之间的关系,使用电荷守恒的分析方法。图 6.10a 中晶体管 M_1 导通后,连接 Top 结点并且反相运算放大器输入端的电容器板上的电荷被存储,直到 M_1 再次截止。定义 $[n]$ 和 $[n+1/2]$ 点作为时间索引,分别在图 6.10b 中标记出 ϕ_1 和 ϕ_2 的第一次下降的位置。 $[n+1]$ 点被定义作为下一次 ϕ_1 下降的时间索引。点 $[n]$ 和 $[n+1]$ 被一个时钟周期 T 分开。若开关和运算放大器是理想的,存储在时间索引 $[n]$ 的电荷为

$$Q[n] = (0 - V_s[n])C_s + (0 - V_o[n])C_i \quad (6.33)$$

在相同的条件下,存储在时间索引 $[n+1/2]$ 的电荷为

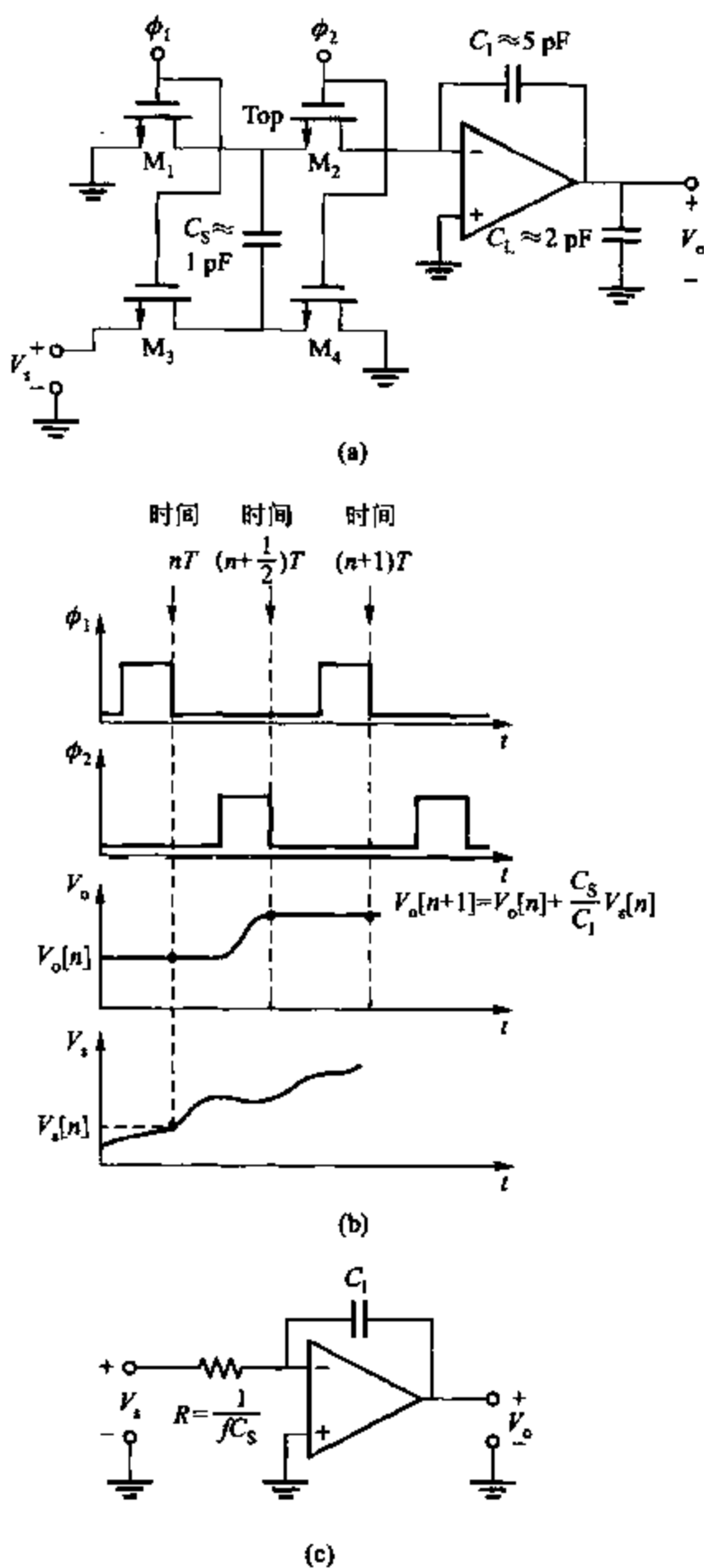


图 6.10 (a) 开关电容器积分器的图解; (b) 时序表;
(c) 对于输入频率远远小于时钟频率的连续时间等价电路

$$Q[n + 1/2] = (0)C_s + (0 - V_o[n + 1/2])C_1 \quad (6.34)$$

由电荷守恒, $Q[n] = Q[n + 1/2]$ 。同时, 在这些条件下, 在 C_1 上存储的电荷在 ϕ_1 期间是恒定的。因此, $V_o[n] = V_o[n + 1/2]$ 。由这些关系得

$$V_o[n+1] = V_o[n] + \left(\frac{C_s}{C_1}\right) V_s[n] \quad (6.35)$$

这样,一个完全的时钟周期,将导致与输入电压值及电容器比率成比例的积分器输出电压的变化。

事实证明,在时间域上的时钟周期 T 延迟一个信号,对应于在频域上乘上因子 $e^{-j\omega T}$,式(6.35)可以用来得到积分器的频率响应。因此

$$V_o(j\omega) = V_o(j\omega)e^{-j\omega T} + \left(\frac{C_s}{C_1}\right) V_s(j\omega)e^{-j\omega T} \quad (6.36)$$

积分器的频率响应为

$$\frac{V_o}{V_s}(j\omega) = -\frac{C_s}{C_1} \left(\frac{1}{1 - e^{-j\omega T}} \right) = \frac{C_s}{C_1} \left(\frac{2j}{e^{j\omega T/2} - e^{-j\omega T/2}} \right) \left(\frac{e^{-j\omega T/2}}{2j} \right) \quad (6.37)$$

在式(6.37)中使用恒等式

$$\sin x = \frac{1}{2j}(e^{jx} - e^{-jx}) \quad (6.38)$$

有 $x = \omega T/2$, 得

$$\frac{V_o}{V_s}(j\omega) = \frac{C_s}{C_1} \left(\frac{\omega T/2}{\sin \omega T/2} \right) \left(\frac{e^{-j\omega T/2}}{2j\omega T/2} \right) = \frac{1}{j\omega} \left(\frac{\omega T/2}{\sin \omega T/2} e^{-j\omega T/2} \right) \quad (6.39)$$

ω_o

其中

$$\omega_o = \frac{C_s}{TC_1} = \frac{fC_s}{C_1} = \frac{1}{\tau} \quad (6.40)$$

其中, τ 是积分器的时间常数, f 是时钟频率, 等于 $1/T$ 。当输入频率远远小于时钟频率时, ωT 的值远小于单位值 1, 且在式(6.39)括号的最右式子减小到 1。剩下的式子简化为一个模拟积分器的频率响应。在实际的设计中, 在式(6.39)中的过量的相位和幅度误差通常应考虑。然而, 从概念上讲, 电路应提供信号的模拟积分。注意, 如果用值为 $1/(fC_s)$ 的连续值的电阻取代采样电容器和开关, 积分器的时间常数不变。该等价变换如图 6.10c 所示。

与连续时间的对应积分器相比, 开关电容器积分器的关键优点为开关电容器积分器的时间常数在实际中能被较好地控制。连续时间积分器的时间常数, 如式(6.22), 取决于电阻和电容的乘积。在整体技术中, 电阻和电容值是不相互跟随对方的。因此, 连续时间的积分器的时间常数, 在过程、电源及温度的变化时不易控制。然而, 开关电容器积分器的时间常数, 如式(6.40), 由两个电容值和时钟频率的比率决定。若两个电容有一样的性质, 甚至在绝对值没有很好地控制时, 比率仍能被控制得很好。因为时钟频率能由控制晶体的时钟发生器所精确地决定, 开关电容积分器的时间常数, 能在整体技术上被控制得很好。

对于图 6.9a 和 6.10a 所示运算放大器的关键要求是在输入端的直流电流很小来减小上面分析假设的电荷被保存所需时间内的电荷损失。因此, 开关电容放大器和积分器很理想地适用于带有输入级的 MOS 晶体管的运算放大器。

6.2 从理想运算放大器到实际运算放大器的偏离

实际运算放大器在某些重要特性上与理想状态有偏差。这些偏离的主要影响是：限制了能被精确放大的信号的频率范围，降低对能被检测的直流信号的幅度限制及提升了和放大器一起在反馈网络被使用的无源单元阻抗的幅度限制。这节将总结与理想状态相比最重要的偏移量及其在实际应用中的影响。

6.2.1 输入偏置电流

双极型晶体管的运算放大器的输入级如图 6.11 所示。这里， Q_1 和 Q_2 是放大器的输入晶体管。 Q_1 和 Q_2 的基极电流流入放大器的输入端，且输入偏置电流作为两个输入电流的平均值来被定义

$$I_{\text{BIAS}} = \frac{I_{\text{B1}} + I_{\text{B2}}}{2} \quad (6.41)$$

非零偏置电流违背在求和点分析得到的假设：流进输入端的电流是零。偏移电流的典型幅值是：对于 MOS 的输入设备不到 0.001 pA，对于双极型输入设备为 10~100 nA。在直流反相和非反相放大器中，偏置电流能导致在形成反馈网络的电阻上产生不期望的电压降，结果，若放大器在所有其他方面是理想的，则剩余的直流电压出现在输出端，且外部的输入电压是零。在积分器的电路上，输入的偏置电流很难从积分电流中区分出来，甚至当 V_i 为零时，导致输出电压以恒定的变换率变化。然而，为了使输入端电流相等，可以在一些应用中通过包括在输入端串联平衡电阻取消其效应，以便使同样的电阻看上去好象远离运算放大器的每个输入端。例如，相同的电流流进两个运算放大器输入端，图 6.4 的差分放大器将产生零输出， $V_1 = V_2 = 0$ 。然而，在实际中两个输入电流不是精确的相等，因为随机的失配，导致了当 $V_1 = V_2 = 0$ 时图 6.4 为非零输出。

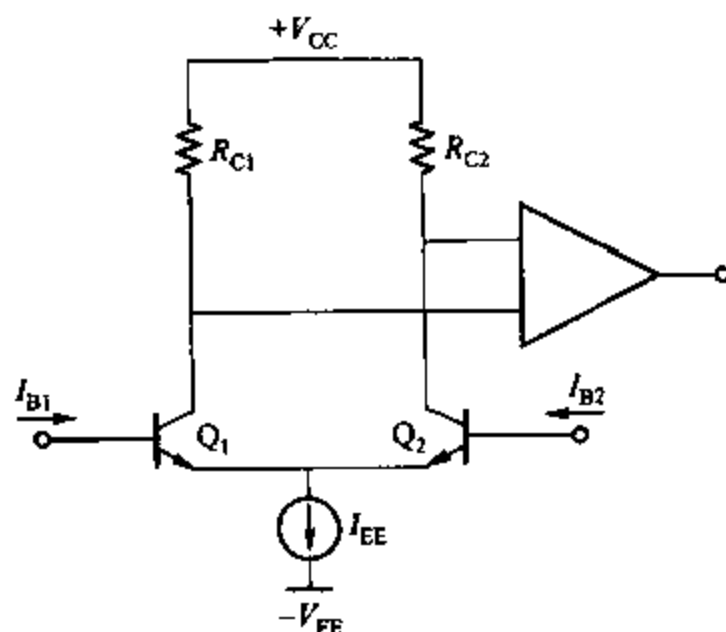


图 6.11 典型的运算放大器输入级

6.2.2 输入失调电流

对于图 6.11 所示的发射极对，只要两晶体管有相等的 β 值，两个输入失调电流将是相等的。几何形状完全相同的器件在相同 IC 印模上，特别地显示 β 的失配，这由正常带有平均值的百分比的标准偏离的分配来描述。因为这种两个电流的失配随机地从一个电路变化到另一个电路上，所以不能由固定的电阻来补偿。运算放大器的这个性能可由输入失调电流来表示，定义为

$$I_{\text{OS}} = I_{\text{B1}} - I_{\text{B2}} \quad (6.42)$$

分析图 6.4 所示的差分放大器。对于此电路的非零的 I_{OS} 和 $V_1 = V_2 = 0$, 重复 6.1.4 节的分析, 给出输出电压

$$V_O = (I_{R2} - I_{B1})R_2 = -I_{OS}R_2 \quad (6.43)$$

如果 $I_{OS} = 0$, 则 $V_O = 0$ 。该方程显示出直流输出电压的误差与在这些条件下的两输入失调电流和反馈电阻成比例。关键点是, 反馈电阻的大小受能提升的最大失调电流和实际中直流输出电压的允许误差的限制。见习题 6.6。

6.2.3 输入失调电压

如第三章所描述, 失配导致放大器的非零的输入失调电压。输入失调电压是用来驱动输出为零的差分输入电压。未修饰的单片运算放大器, 该失调量典型值对于双极型输入设备为 $0.1 \sim 2 \text{ mV}$, 对于 MOS 输入设备为 $1 \sim 20 \text{ mV}$ 。在独立的运算放大器的情况中该失调量对于外部电位计无效; 然而, 由温度引入的失调量的变化(称为温漂), 当输入失调量无效时, 不必为零。在直流放大器应用中, 失调量及温漂降低了对可以精确地放大的直流电压幅度的限制。在如开关电容滤波器等的一些采样数据应用中, 运算放大器的输入失调电压被采样, 并于每个时钟周期存储在电容器上。这样, 输入失调量将有效地被抵消, 而非临界参数。同样的原则适用于稳定断路器的运算放大器。

6.2.4 共模输入范围

共模输入范围是指直流的共模输入电压的范围。对此, 在运算放大器的第一级的所有晶体管工作在正向放大区。超出该范围, 运算放大器通常与其失调电压和输入失调电流一起正常工作。包括一个或两个共模输入范围内的电源电压有时是很重要的。

6.2.5 共模抑制比(CMRR)

如果运算放大器有差分输入和单端输出, 其小信号输出电压能用其差分模式输入电压及共模输入电压(v_{id} 和 v_{ic})描述, 如下列方程:

$$v_o = A_{dm} v_{id} + A_{cm} v_{ic} \quad (6.44)$$

其中, A_{dm} 是差模增益, A_{cm} 是共模增益。如式(3.187)定义, 运算放大器的共模抑制比是

$$CMRR = \left| \frac{A_{dm}}{A_{cm}} \right| \quad (6.45)$$

从应用角度讲, CMRR 能被认为是, 由共模输入电压的单位变化引起的输入失调电压。例如, 假设将零共模的输入电压用于该放大器, 然后将足够大的差分电压用于输入来驱动输出电压到零。使用的直流电压, 只是输入失调电压 V_{OS} 。如果保持使用的差分电压恒定, 并通过 ΔV_{ic} 增加共模输入电压, 则输出电压将变化, 其值为

$$v_o = \Delta V_o = A_{cm} \Delta V_{ic} = A_{cm} v_{ic} \quad (6.46)$$

为了驱动输出电压到零, 需改变差分输入电压

$$v_{id} = \Delta V_{id} = \frac{\Delta V_o}{A_{dm}} = \frac{A_{cm} \Delta V_{cm}}{A_{dm}} \quad (6.47)$$

这样,我们认为一旦共模输入电压改变有限的 CMRR 将引起输入失调电压的变化。使用式(6.45)及式(6.47),得到

$$CMRR = \left| \frac{A_{dm}}{A_{cm}} \right| = \left[\frac{\Delta V_{id}}{\Delta V_{ic}} \right]_{V_o=0}^{-1} = \left(\frac{\Delta V_{os}}{\Delta V_{ic}} \right)^{-1} \approx \left[\frac{\partial V_{os}}{\partial V_{ic}} \right]_{V_o=0}^{-1} \quad (6.48)$$

在如图 6.11 所示的差分放大器的电路中,作为共模输入信号的功能,产生了失调电压,同时在输出端产生与所需信号难区分的电压。对于 10^4 量级(或 80 dB)的共模抑制比,式 6.48 显示出 10 V 的共模信号在输入失调电压上产生 1 mV 的变化。

6.2.6 电源抑制比(PSRR)

在式(6.44)中,假设电源供应电压是恒定的,以便运算放大器输出电压仅取决于提供给运算放大器的差分及共模的输入电压。然而,在实际中电源供应电压并不是恒定的,在电源电压上的变化将影响运算放大器输出。图 6.12 所示为带有变化的电源供应电压的运算放大器的方框图。在正向和负向的电源上有小信号变化,分别是 v_{dd} 和 v_{ss} 。如果为了简化假定 $v_{ic} = 0$,产生的小信号运算放大器输出电压是

$$v_o = A_{dm} v_{id} + A^+ v_{dd} + A^- v_{ss} \quad (6.49)$$

其中, A^+ 和 A^- 分别是正向和负向的电源到输出小信号增益。因为运算放大器在差分模式对输入电压的变化敏感,但是对电源电压的变化不敏感,为简化对这些增益的比较,重写方程为

$$v_o = A_{dm} \left(v_{id} + \frac{A^+}{A_{dm}} v_{dd} + \frac{A^-}{A_{dm}} v_{ss} \right) = A_{dm} \left(v_{id} + \frac{v_{dd}}{PSRR^+} + \frac{v_{ss}}{PSRR^-} \right) \quad (6.50)$$

其中

$$PSRR^+ = \frac{A_{dm}}{A^+} \quad PSRR^- = \frac{A_{dm}}{A^-} \quad (6.51)$$

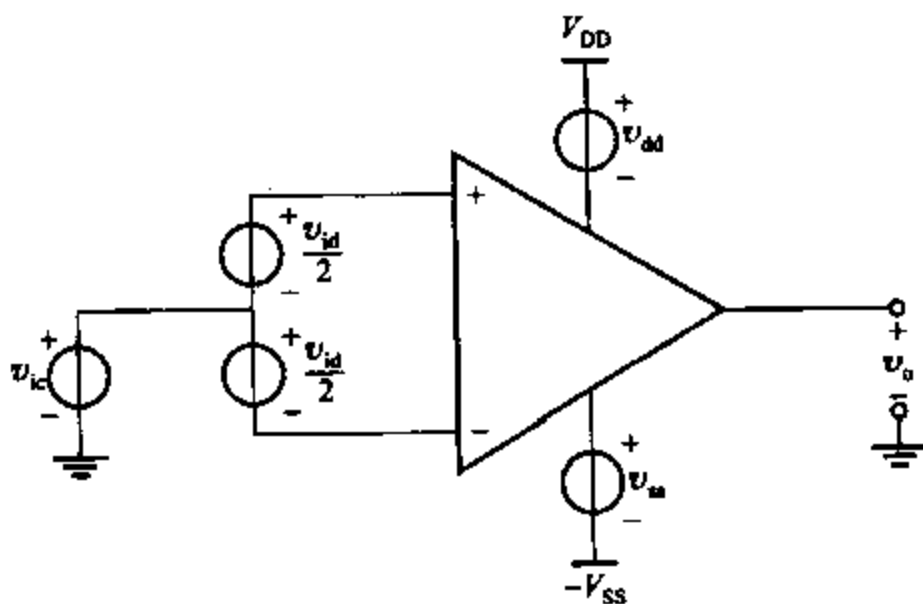


图 6.12 有电源电压变化的运算放大器的方框图

图 6.13 显示出一个解释式(6.50)的方法,且用恒定电源的运算放大器重新绘制了图 6.12

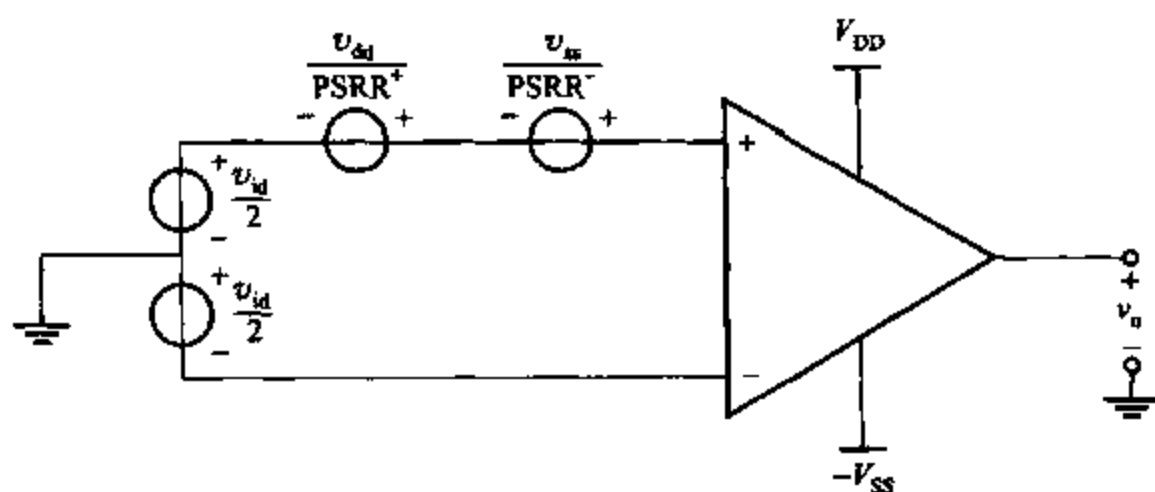


图 6.13 输入差分环内有电源变化及 $v_{ic} = 0$ 的运算放大器的方框图

所示的方框图。为使图 6.12 的输出等于图 6.13 的输出,图 6.12 的电源的变化作为相等的差分输入被包括在图 6.13 中。如式(6.50)和图 6.13 所示,电源抑制比应该被最大化来减小带给运算放大器输出电压所不希望得到的影响。在实际中,电源抑制比是频率功能,并通常减少所增加的频率。

随着集成水平的提高,电源抑制比在 MOS 放大器设计上成为日益重要的参数。在小规模集成电路,在一片上只能集成少量的晶体管。因此,模拟和数字功能要在不同的芯片上相互独立,避免一些从数字电路到模拟电源上的耦合。此外,这样的分离也有利于为去除数字电路中平行的线路在印制板上产生的外部电容干扰。

然而,对于大规模的集成电路,大量晶体管能在一片集成电路上集成。在相同的芯片上集成模拟和数字功能,将减少费用,但却增加了从数字电路到模拟电源之间的耦合。原则上,单片滤波器电容能被用来减少所产生的电源的变化;然而,这样电容的所要的面积在实际中是很大的。例如,如果氧化物厚度是 100 \AA ,电容的单位面积是 $3.45 \text{ fF}/\mu\text{m}^2$ 。对于 $0.01 \mu\text{F}$ 的电容器(在印制电路板上,为过滤电源通常用到的值),要求的面积是 1.7 mm^2 。因为许多集成电路占据的面积不到 100 mm^2 ,该单个电容的成本在集成电路总费用中占很大的比例。

为了减少费用,设计者并不仅是集中精力于通过滤波来减少电源波动,还可以构建对于电源供应变化低敏感度的电路。在这方面,全差分电路的技术作为重要工具出现了。全差分电路作为两个对应量如电压或电流差分,代表了所有需要的信号。如果两条相同的信号路径,被用来决定相应的数量,并如果从源端变化一个量的耦合,与到其他量的耦合一样,则在理论上,差分可以独立于电源变化和耦合。在实际中,失配导致了两条信号路径的差别,同时耦合也不能相同,导致了不完全的抵消。另外,如果电源噪声过大,产生了非线性,并限制了抵消的程度。尽管在这章讲解的运算放大器有差分输入,因为输出是单端,所以并非全差分。第十二章讲解全差分的运算放大器。

6.2.7 输入电阻

在双极型晶体管输入级上,输入电阻典型值在 $100 \text{ k}\Omega \sim 1 \text{ M}\Omega$ 范围内。然而,通常的电

压增益足够大,使得该输入电阻在闭环反馈配置的电路性能上影响较小。理论上,输入端连接到的 MOS 晶体管栅极的运算放大器具有无限大的输入电阻。然而,在实际中,通过封装管脚与外部连接的 MOS 晶体管栅极须防止静电的损坏。该保护通常通过连接 V_{DD} 和 V_{SS} 到栅极的回偏钳位二极管来完成,这样有效地输入漏电流,由漏接点决定,并且遵守 pico-amp 次序。然而,仅在集成电路的输入和输出要求该保护。在内部应用中,运算放大器的输入没有连接到集成电路的外部管脚上,没有要求保护,并且有 MOS 晶体管栅极作为输入的运算放大器可实现超高值的输入电阻。

6.2.8 输出电阻

一般用途的双极型运算放大器通常作为输出级的一个缓冲器,产生 $40 \sim 100 \Omega$ 的输出电阻。另一方面,在 MOS 技术上,内部运算放大器通常不需要驱动阻性负载。因此,内部 MOS 的运算放大器通常没有使用缓冲器输出级,结果输出电阻要比双极型情况大很多。然而,两种情况中,输出电阻并没强烈地影响闭环的性能,只是在大电容负载及在需驱动小电阻负载电源运算放大器的情况下,将影响稳定性。

6.2.9 频率响应

因为电容与运算放大器的设备相联系,电压增益在高频段上将减少。该降低通常由额外电容的增加所控制,称之为补偿电容,来保证反馈环连接后,电路不振荡(见第九章)。运算放大器这个方面的特性,由单位增益带宽来表示,增益带宽是指开环电压增益的幅度等于 1 时的频率。对于一般应用的放大器,该频率通常是在 $1 \sim 100 \text{ MHz}$ 范围内。这部分内容将在第七章和第九章详细讲解。

运算放大器高频性能的第二个方面是,输出电压在大信号条件下改变的比率受到限制。该限制源自电路中可利用的有限的电流,该电流为补偿电容充电。最大比率,又称为摆幅率,在第九章将更详细讲述这部分内容。

6.2.10 运算放大器的等效电路

通过使用图 6.14 显示出的等效电路,可以计算出在专用的运算放大器的低频性能上偏离理想情况的一些效应。(该模型不包括有限 PSRR 或 CMRR 的效应)这里,标识为 I_{BIAS} 的两个电流源代表了流进输入端的直流电流的平均值。图 6.14 所示的这些电流源的极性适用于 npn 晶体管的输入级。标记为 I_{OS} 的电流源代表了流进放大器输入端的电流间的差值。例如,若用一个特定的电路显示 $1.5 \mu\text{A}$ 的电流流进非反相的输入端和 $1 \mu\text{A}$ 电流流进反相输入端,则图 6.14 中 I_{BIAS} 的值将为 $1.25 \mu\text{A}$, I_{OS} 值将为 $0.5 \mu\text{A}$ 。

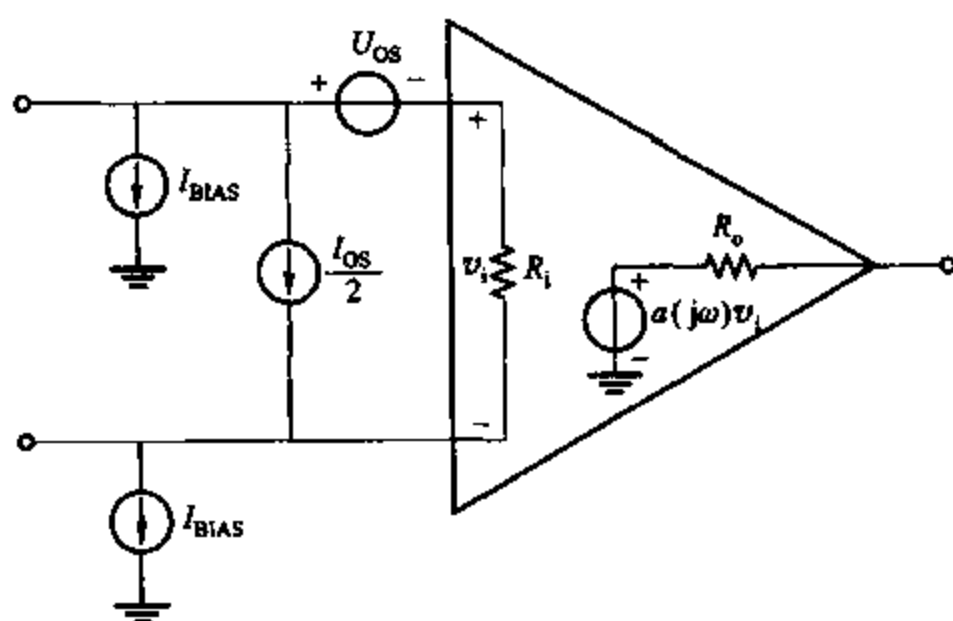


图 6.14 包括了输入失调电压和电流、输入和输出电阻及电压增益的运算放大器的等效电路

6.3 基本的二级 MOS 运算放大器

基本的二级 CMOS(互补金属氧化物半导体)运算放大器的原理图如图 6.15 所示。^{4,5,6} 差分输入级将驱动跟随第二个增益级的有源负载。输出级通常并没被使用,但可以为了驱动晶片外的重负载被加进去。该电路的配置提供较好的共模范围、输出摆幅、电压增益及简单电路中的 CMRR,它能用单个电容来补偿。图 6.16 重新绘制了电路,其中理想的电流源由晶体管镜像电流所取代。在这节,将分析 CMOS 运算放大器电路的各种性能参数。

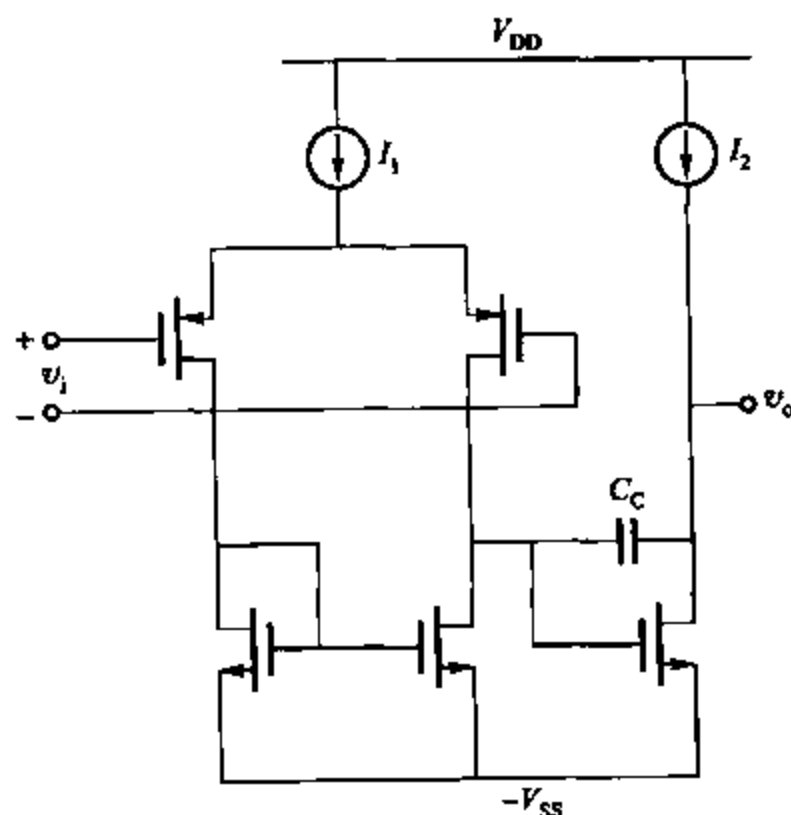


图 6.15 基本的二级 CMOS 运算放大器

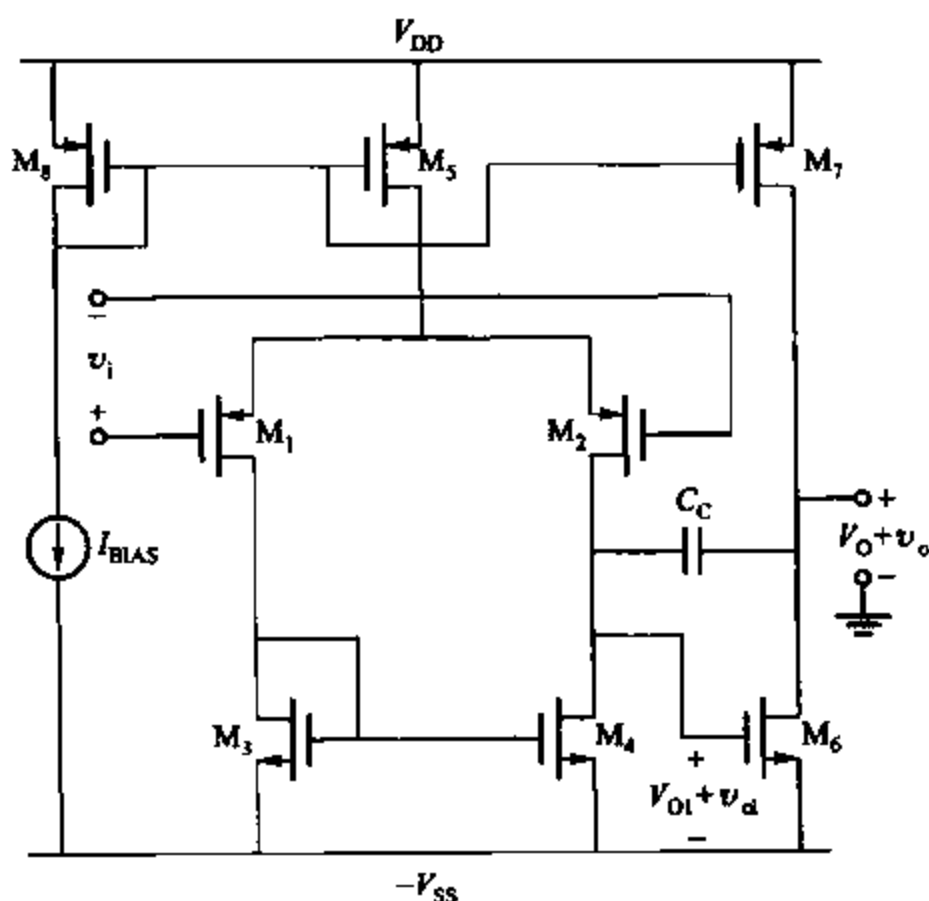


图 6.16 典型二级 CMOS 运算放大器的更多细节的方框图

6.3.1 输入电阻、输出电阻与开路电压增益

图 6.16 第一级由 p 沟道差分对 $M_1 - M_2$, n 沟道电流镜像负载 $M_3 - M_4$ 和 p 沟道尾电流源 M_5 组成。第二级由 p 沟道电流源负载 M_7 和 n 沟道共源放大器 M_6 组成。因为运算放大器输入被连接到 MOS 晶体管的栅极,当在内部应用中使用运算放大器时,输入电阻实质上是无限的,且不要求如 6.2.7 节所描述的保护二极管。同理,运算放大器的第二级的输入电阻实质上也是无限的。

通过运算放大器输入连接到小信号地,输出电阻如同返回的第二级的电阻

$$R_o = r_{o6} // r_{o7} \quad (6.52)$$

虽然该输出电阻总是比通用双极型运算放大器的输出电阻大,但当驱动纯电容负载时,通常不要求低输出电阻。

因为第二级的输入电阻实质上是无限的,通过独立研究两级电路可以得到图 6.16 所示放大器的电压增益。第一级放大器与 4.3.5 节所介绍的结构完全相同。小信号电压增益是

$$A_{v1} = \frac{v_{o1}}{v_i} = G_{m1} R_{o1} \quad (6.53)$$

其中, G_{m1} 和 R_{o1} 分别是跨导和第一级的输出电阻。由式(4.143)和式(4.149)有

$$A_{v1} = g_{m1} (r_{o2} // r_{o4}) \quad (6.54)$$

同样,第二级电压增益是

$$A_{v2} = -g_{m6} R_o \quad (6.55)$$

R_o 由式(6.52)给出。结果,放大器的总增益是

$$A_v = A_{v1} A_{v2} = -g_{m1}(r_{o2} // r_{o4})g_{m6}(r_{o6} // r_{o7}) \quad (6.56)$$

该式显示出总增益与数量 $(g_m r_o)^2$ 有关。回想式(3.27)有

$$g_m r_o = \frac{2V_A}{V_{ov}} \quad (6.57)$$

因此,总电压增益为厄尔利电压(与有效的沟道长度成比例)和过载(被偏置条件所设置)的函数。

示例

假设使用表 2.3 所描述的 $0.8 \mu\text{m}$ 技术,计算图 6.16 所示的运算放大器增益。此外,假定对于所有器件, $L_{\text{eff}} = 0.8 \mu\text{m}$ 和 $|V_{ov}| = |V_{GS} - V_t| = 0.2 \text{ V}$ 。

令 I_{D2} 、 I_{D4} 、 I_{D6} 、 I_{D7} 分别代表流进 M_2 、 M_4 、 M_6 、 M_7 晶体管的漏极偏置电流。因为 $I_{D4} = -I_{D2}$ 且 $I_{D7} = -I_{D6}$, 由式(6.56)得

$$\begin{aligned} A_v &= -g_{m1} \left[\frac{\frac{|V_{A2}|}{|I_{D2}|} \cdot \frac{V_{A4}}{|I_{D2}|}}{\frac{|V_{A2}|}{|I_{D2}|} + \frac{V_{A4}}{|I_{D2}|}} \right] g_{m6} \left[\frac{\frac{V_{A6}}{I_{D6}} \cdot \frac{|V_{A7}|}{I_{D6}}}{\frac{V_{A6}}{I_{D6}} + \frac{|V_{A7}|}{I_{D6}}} \right] \\ &= -\frac{g_{m1}}{|I_{D2}|} \cdot \frac{g_{m6}}{I_{D6}} \left[\frac{|V_{A2}| V_{A4}}{|V_{A2}| + V_{A4}} \right] \left[\frac{V_{A6} |V_{A7}|}{V_{A6} + |V_{A7}|} \right] \end{aligned} \quad (6.58)$$

其中使用绝对值,所以在式(6.58)中的每个量是正的。由式(1.181)有

$$A_v = -\frac{2}{|V_{ov1}|} \cdot \frac{2}{V_{ov6}} \left[\frac{|V_{A2}| V_{A4}}{|V_{A2}| + V_{A4}} \right] \left[\frac{V_{A6} |V_{A7}|}{V_{A6} + |V_{A7}|} \right] \quad (6.59)$$

因为 $I_{D1} = I_{D2}$, 并有零差分输入。从而式(1.163)为

$$V_A = L_{\text{eff}} \left(\frac{dX_d}{dV_{DS}} \right)^{-1} \quad (6.60)$$

将式(6.60)代入式(6.59),由表 2.3 所给的数据和 $\frac{dX_d}{dV_{DS}}$ 得

$$A_v = -\frac{2}{0.2} \times \frac{2}{0.2} \times \left[\frac{\frac{0.8}{0.04} \times \frac{0.8}{0.08}}{\frac{0.8}{0.04} + \frac{0.8}{0.08}} \right]^2 \approx -4400$$

通过增加器件的沟道长度来增加厄尔利电压或通过减少偏置电流来减少过载,增加总增益。

6.3.2 输出摆幅

输出摆幅被定义为输出电压 $V_o = V_O + v_o$ 的范围,对于所有的晶体管工作在放大区以便式(6.56)计算的增益近似为恒定的。观察图 6.16,如果输出电压低于 $V_{ov6} - V_{SS}$, M_6 将工作在三极管区。同样,如果输出电压大于 $V_{DD} - |V_{ov7}|$, M_7 工作在三极管区。因此,输出

摆幅为

$$V_{ov6} - V_{ss} \leq V_o \leq V_{DD} - |V_{ov7}| \quad (6.61)$$

该不等式表示当输出电压的摆幅在电源过载之内,运算放大器能提供高增益。在这些限制外,输出晶体管之一进入了三极管区域,放大器的总增益将极大地被减少。因此,输出摆幅能通过减少输出晶体管过载来得到增加。

6.3.3 输入失调电压

在 3.5.6 和 6.2.3 节,差分放大器的输入失调电压定义为差分输出电压为零的差分输入电压。因为图 6.16 所示的运算放大器由单端输出,这个定义必须修改。输出电压作为输出结点和地之间的参考电压,最直接的修改是将运算放大器的差分输入电压定义为运算放大器的输入失调电压,从而使输出电压为零。若 $V_{DD} = V_{ss}$,这个定义是正确的。因为在一个管子进入三极管区之前提供 $V_{ov6} = |V_{ov7}|$,设置输出电压为零使输出电压变化量最大化。然而,如果 $V_{DD} \neq V_{ss}$,输出电压该被设置成电源电压到最大输出电压摆幅之间的值。因此,定义差分输入单端输出的运算放大器的输入失调电压为差分输入电压,对此,直流输出电压为电源之间的值。

运算放大器的失调电压由两个部分组成:系统的失调量和随机失调量。前者源于电路的设计,甚至当电路所有的匹配设备是相同时也会出现。后者源于推测的设备相同,配对时的失配。

系统失调电压 在双极型技术中,运算放大器的每个级的增益都相当高(大概 500 量级),因为 $g_m r_o$ 的积通常比 1 000 大。结果,双极型运算放大器的参考输入的失调电压通常主要取决于第一级的设计。然而,在 MOS 技术中, $g_m r_o$ 通常大约在 20~100 之间,逐级增益递减并有时导致由第二级的失调量来主要决定运算放大器的失调电压。

为研究系统失调,图 6.17 将图 6.16 所示的运算放大器分成了两级,若第一级的输入被接地,且如果完全匹配,则 M_1 的直流漏-源电压一定与 M_3 的漏-源电压相等。这结果源自以下观察值:如果 $V_{DS3} = V_{DS4}$,则 $V_{DS1} = V_{DS2}$ 和 $I_{D1} = I_{D2} = I_{DS}/2$ 。因此, $V_{DS3} = V_{DS4}$ 则有 $I_{D3} = I_{D4} = I_{DS}/2$ 。结果,该结点是唯一的电流流出点,因为流出 M_2 漏极的电流与流入 M_4 漏极的电流相等,所以 V_{DS3} 一定与 V_{DS4} 相等。例如,增加 M_4 的漏-源电压将增加流入 M_1 的电流,但因为沟道长度调制效应,减少了流出 M_2 漏极的电流。因此, M_3 和 M_4 的直流漏-源电压在这些条件下一定是相等的。

另一方面, M_6 的栅源电压值,要求设置放大器的输出电压在电源电压和第一级的直流输出电压之间。例如,如果第一级增益是 50,则这些电压的每差别 50 mV 将导致 1 mV 的参考输入系统失调量。忽略 M_5 和 M_7 的沟道长度调制效应,假如 M_5 和 M_7 都工作在放大区则这些晶体管的电流将独立于它们的漏-源电压。为设置输出电压为电源电压之间的值,应该选择 M_6 的栅-源电压,以便当两个晶体管工作在放大区时, M_6 的漏极电流与 M_7 漏极电流相等。当第二级的输入被连接到第一级的输出时, $V_{GS6} = V_{DS4}$ 。在完全匹配及零输入电压情况下, $V_{DS3} = V_{DS4} = V_{GS3}$ 并且 $V_{D3} = V_{D4} = V_{D6}$ 。因此要求

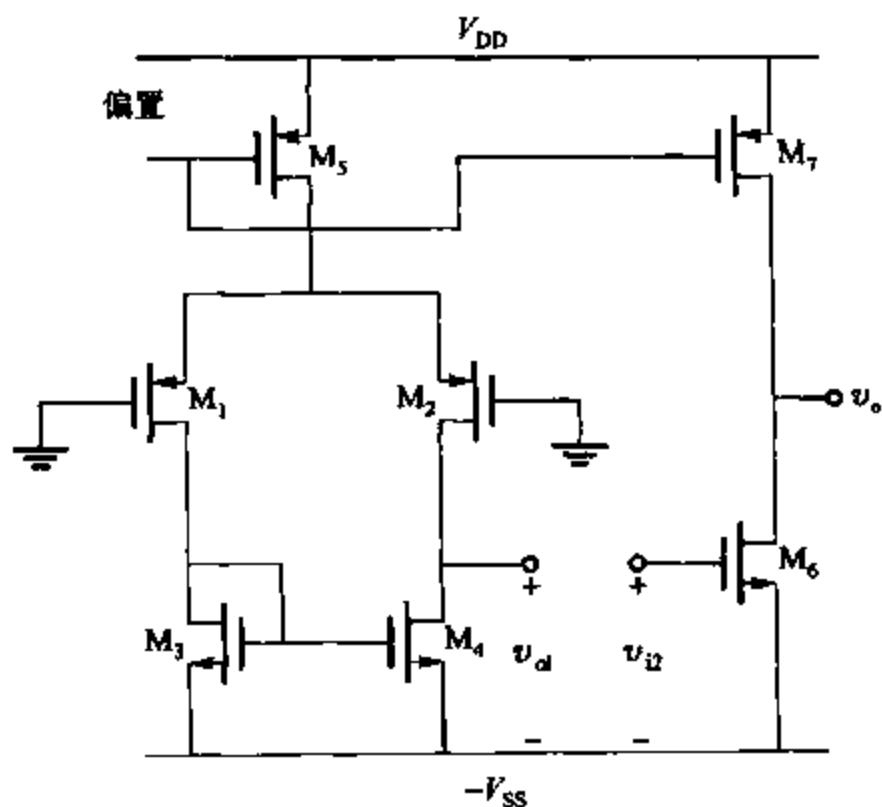


图 6.17 第一级和第二级不相连的二级放大器,以显示出参考输入失调电压的耦合效应

$$V_{ov3} = V_{ov4} = V_{ov6} \quad (6.62)$$

将式(1.166)代入式(6.62)得

$$\frac{I_{D3}}{(W/L)_3} = \frac{I_{D4}}{(W/L)_4} = \frac{I_{D6}}{(W/L)_6} \quad (6.63)$$

换句话说,要求晶体管有相等过载等价于要求有相等的漏极电流与 W/L 的比值(或电流密度)。因为 $I_{D3} = I_{D4} = |I_{D5}|/2$ 且 $I_{D6} = |I_{D7}|$, 有

$$\frac{|I_{D5}|}{2(W/L)_3} = \frac{|I_{D5}|}{2(W/L)_4} = \frac{|I_{D7}|}{(W/L)_6} \quad (6.64)$$

因为 M_5 和 M_7 有相等的栅源电压,则

$$\frac{I_{D5}}{I_{D7}} = \frac{(W/L)_5}{(W/L)_7} \quad (6.65)$$

将式(6.65)代入式(6.64)得

$$\frac{(W/L)_3}{(W/L)_6} = \frac{(W/L)_4}{(W/L)_6} = \frac{1(W/L)_5}{2(W/L)_7} \quad (6.66)$$

在选择满足式(6.66)的宽长比时, M_3 , M_4 和 M_6 工作在相等的电流密度下。在放大区元器件的电流密度不仅取决于器件的栅-源电压而且在一定程度上取决于它的漏-源电压。因为 M_3 , M_4 和 M_6 的栅-源电压和电流密度是相等的,这些晶体管的漏-源电压一定也是相等的。因此,在这些条件下,直流输出电压是

$$V_O = V_{DS6} - V_{SS} = V_{DS3} - V_{SS} = V_{GS3} - V_{SS} = V_{GS} + V_{ov3} - V_{SS} \quad (6.67)$$

为在运算放大器输出求取系统的失调电压,在电源之间的中间值电压应该从式(6.67)所示输出电压中减去。为了在运算放大器输入考虑系统的失调电压,该差值应该除以运算放大器增益。结果为

$$V_{OS(sys)} = \frac{V_{t3} + V_{ov3} - V_{SS} - \frac{V_{DD} - V_{SS}}{2}}{A_v} \quad (6.68)$$

其中, A_v 为式(6.56)给出的运算放大器增益。在大多数情况中, 直流输出电压将不是电源之间的中间值, 因为 $V_{GS3} = V_{t3} + V_{ov3} \neq \frac{V_{DD} + V_{SS}}{2}$ 。因此, 系统的失调通常是非零的。尽管系统的失调电压总的来说是非零的, 选择式(6.66)中的宽长比将得到对过程变化不敏感的工作点, 详细分析如下。

式(2.35)显示了通过由源极和漏极(L_d)的侧面扩散以及在漏极附近的耗尽区宽度(X_d)引起得到的失调项, MOS 晶体管的有效沟道长度不同于其拉伸长度。与此类似, 通过 2.9.1 节所描述的氧化物的鸟喙效应引起的失调量概念 dW , MOS 晶体管的有效宽度不同于拉伸宽度。为保持式(6.66)的比率在出现 L_d , X_d 和 dW 的过程感应变化时为恒定, 比率晶体管的拉伸沟道长度和宽度可以相同。在这种情况下, 式(6.66)中的比率, 能被设置为任何有理数 J/K , 通过连接 J 个相同的器件(称为 n 沟道单元)平行构成 M_3 和 M_4 , 而连接 K 个 n 沟道单元平行构成 M_6 。则若 M_5 由 $2J$ 个相同的器件(称为 p 沟道单位)构成, M_7 应该由 K 个 p 沟道单位构成。在匹配器件的实际应用中, 沟道长度从不直接被比率, 因为对于高速工作的器件使用的小沟道长度将导致器件对过程变化非常敏感。另一方面, 当沟道宽度足够大而能忽略器件对过程变化的敏感度时, 匹配设备的沟道宽度可以是直接被比率。

这个分析的关键点是, 对于 M_3 , M_4 和 M_6 使用相同的沟道长度, 将与其他需求产生矛盾。首先, 根据如第九章所描述的稳定性的原因, M_6 应该有一个较大的跨导, 因此需要短沟道长度。第二, 对于低噪声和随机输入失调电压, M_3 , M_4 应该有一个较小的跨导, 因此需要长沟道长度。噪声将在第十一章讲解, 而随机输入失调电压在下面讲解。

随机输入失调电压 如 3.5.6 节所描述的, 源耦合对一般比双极型部件显示出更高的随机失调量。忽略运算放大器第二级的对参考输入的随机失调的影响, 类似于对式(3.248)的分析, 直接对图 6.16 电路的失调电压进行分析, 得

$$V_{OS} \approx \Delta V_{t(1-2)} + \Delta V_{t(3-4)} \left(\frac{g_{m3}}{g_{m1}} \right) + \frac{V_{ov(1-2)}}{2} \left[\frac{\Delta \left(\frac{W}{L} \right)_{(3-4)}}{\left(\frac{W}{L} \right)_{(3-4)}} - \frac{\Delta \left(\frac{W}{L} \right)_{(1-2)}}{\left(\frac{W}{L} \right)_{(1-2)}} \right] \quad (6.69)$$

第一项代表阈值输入晶体管失配。第二项是阈值电流镜像负载的设备失配, 且通过选择负载设备的 W/L 比率使失配减至最小, 使它们的跨导与输入晶体管的相比较小。为这个原因, M_3 和 M_4 选择一个比 M_1 和 M_2 更长的沟道长度, 以减少随机输入失调电压。第三项, 代表在输入晶体管和负载上的 W/L 失配的效应, 并通过使输入晶体管工作在低过载值使失配量减至最小, 典型值为 50~200 mV。

6.3.4 共模抑制比

对于图 6.16 所示的运算放大器,式(6.45)给出了

$$CMRR = \left| \frac{A_{dm}}{A_{cm}} \right| = \left| \frac{\frac{v_o}{v_{id}}}{\frac{v_o}{v_{ic}}} \right| = CMRR_1 \quad (6.70)$$

$CMRR_1$ 是第一级的共模抑制比。因为第二级为单端输入和单端输出,第二级将不会影响运算放大器的共模抑制比。在式(4.182)和式(4.183)里,在假定完全匹配的情况下计算有差分对和镜像电流源负载的一级的共模抑制比。这里应用式(4.183)得

$$CMRR \approx (2g_{m(dp)} r_{o5}) g_{m(mir)} (r_{o(dp)} // r_{o(mir)}) \quad (6.71)$$

其中, $g_{m(dp)}$ 和 $r_{o(dp)}$ 是 M_1, M_2 的跨导及输出电阻, $g_{m(mir)}$ 和 $r_{o(mir)}$ 是 M_3, M_4 的跨导及输出电阻, r_{o5} 是 M_5 的输出电阻。通过类似式(6.59)的推导过程,该方程能被简化为

$$CMRR \approx \left| \frac{2}{V_{ov(dp)}} \frac{2}{V_{ov(mir)}} \left(\frac{V_{A(dp)} V_{A(mir)}}{|V_{A(dp)}| + |V_{A(mir)}|} \right) \right| \quad (6.72)$$

其中, $V_{ov(dp)}$ 和 $V_{A(dp)}$ 是过载和差分对的厄尔利电压,而 $V_{ov(mir)}$, $V_{A(mir)}$ 是过载和镜像的厄尔利电压。式(6.72)显示出运算放大器的共模抑制比能通过减少过载电压来得以增加。

增加共模抑制比的另一种方法是使用第四章讲解的高输出电阻的镜像电流源之一来替代简单的镜像电流源 M_5, M_6 。然而,其代价是使共模输入范围变差。

6.3.5 共模输入范围

共模输入范围是使运算放大器的第一级的所有晶体管工作在放大区的直流共模输入电压的范围。为在放大区域上工作, n 沟道晶体管的栅-漏电压必须低于其阈值,以便其沟道不会在漏极存在。同样,只要其漏极电压高于其阈值, p 沟道晶体管工作在放大区从而其沟道不存在于漏极。在纯共模输入时, V_{ic} 用于图 6.16 所示的运算放大器的输入,有

$$V_{DS4} = V_{DS3} = V_{GS3} = V_{i3} + V_{ov3} \quad (6.73)$$

M_1, M_2 的栅-漏电压为

$$V_{GD1} = V_{GD2} = V_{ic} - V_{i3} - V_{ov3} + V_{SS} \quad (6.74)$$

V_{ic} 被减小至 $V_{GD1} = V_{GD2} = V_{i1} = V_{i2}$ 的点上, M_1, M_2 工作在三极管区和放大区域边缘。该点定义了共模范围的下限,为

$$V_{ic} > V_{i1} + V_{i3} + V_{ov3} - V_{SS} \quad (6.75)$$

然而,如果 V_{ic} 过高, M_5 则工作在三极管区。 M_5 的漏-源电压是

$$V_{DS5} = V_{ic} - V_{GS1} - V_{DD} = V_{ic} - V_{i1} - V_{ov1} - V_{DD} \quad (6.76)$$

从漏-源电压的角度讲,只要其漏-源电压高于其过载, n 沟道晶体管工作在放大区。另一方面,只要其漏-源电压是低于其过载, p 沟道晶体管工作在放大区。因此,共模输入范围的上限为

$$V_{ic} < V_{i1} + V_{ov1} + V_{ov5} + V_{DD} \quad (6.77)$$

因为 M_1 和 M_5 是 p 沟道晶体管,其过载是负的;即对于存在源极的沟道,其栅-源电压必须低于其阈值。而且,如果 M_1 是增强型元件,因为它是 p 类,其阈值是负的。在这个假设下,式(6.75)和式(6.77)的共模范围限制能被重写为

$$V_{GS} - |V_{th}| + V_{ov3} - V_{SS} < V_{IC} < V_{DD} - |V_{th}| - |V_{ov1}| - |V_{ov5}| \quad (6.78)$$

该不等式显示出,过载项的幅度应该被减小至最小,以最大化共模的范围。同时,在输入晶体管上的衬底效应被用来增加范围。如图 6.16 所示, M_1 和 M_2 的衬底被连接到 V_{DD} ,当 V_{IC} 为高时,这些晶体管的源-衬底电压低。因此,在式(6.78)中的上限将近似通过使用 V_{th} 的零偏移值取得。另一方面,当 V_{IC} 减少时, M_1 和 M_2 的源-衬底电压变得更负,在源极附近拓宽耗尽区,并使这些晶体管电压的阈值变得更负。因此,衬底效应在共模范围内可用于负电源。

示例

对于图 6.16 所示的二级 CMOS 运算放大器,选择器件大小来给出大于 5 000 的直流电压增益及至少 1 V 的输出摆幅峰值电压。使用表 2.4 中的 $0.4 \mu\text{m}$ 的 CMOS 模型参数, $|I_{D1}| = |I_{D2}| = 100 \mu\text{A}$ 及 $I_{D6} = 400 \mu\text{A}$ 的偏置电流,假定 $V_{DD} = V_{SS} = 1.65 \text{ V} \pm 0.15 \text{ V}$ 。假定完全匹配及所有的晶体管工作在放大(或饱和)区,直流电压 $V_{IC} = 0$ (V_{IC} 是共模输入电压), $V_1 = 0$, $V_O \approx 0$ 。忽略衬底效应。

为简化设计,拉伸的沟道长度 $L = 1 \mu\text{m}$ 将被用于所有晶体管。该选择避免了短沟道效应,这将降低输出电阻,并导致背离平方律方程的晶体管运算。

因为输出摆幅峰值应该为 1 V 且每次电源的幅度至少为 1.5 V,由式(6.61)有

$$V_{ov6} = |V_{ov7}| < 0.5 \text{ V}$$

为了最大化每个器件的转变频率 f_T 来服从该限制,选择 $V_{ov6} = |V_{ov7}| = 0.5 \text{ V}$ 。根据 $|I_{D7}| = I_{D6} = 400 \mu\text{A}$,由式(1.157)得

$$\left(\frac{W}{L}\right)_7 = \frac{2|I_{D7}|}{k'_p(V_{ov7})^2} = \frac{2(400)}{64.7(-0.5)^2} \approx 50$$

及

$$\left(\frac{W}{L}\right)_6 = \frac{2I_{D6}}{k'_n(V_{ov6})^2} = \frac{2(400)}{194(0.5)^2} \approx 16$$

因为由 KVL 得 $V_{ov5} = V_{ov7}$ 且 $I_{D1} + I_{D2} = I_{D7}/2$,则

$$\left(\frac{W}{L}\right)_5 = \frac{1}{2} \left(\frac{W}{L}\right)_7 \approx 25$$

由式(6.66)有

$$\left(\frac{W}{L}\right)_3 = \left(\frac{W}{L}\right)_4 = \frac{1}{2} \frac{\left(\frac{W}{L}\right)_5}{\left(\frac{W}{L}\right)_7} \left(\frac{W}{L}\right)_6 \approx \frac{1}{2} \left(\frac{25}{50}\right) 16 = 4$$

因为共模输入范围应该包括 $V_{IC} = 0$, M_1 和 M_2 上的允许过载由式(6.77)所限制,由 $V_{IC} = 0$

和 $V_{DD} = 1.5 \text{ V}$ 重新整理方程有

$$V_{ov1} > V_{IC} - V_{D1} - V_{ov3} - V_{DD} = 0 - (-0.8 \text{ V}) - (-0.5 \text{ V}) - 1.5 \text{ V} = -0.2 \text{ V}$$

因此

$$\left(\frac{W}{L}\right)_1 = \left(\frac{W}{L}\right)_2 > \frac{2|I_{D1}|}{k_p'(V_{ov1})^2} = \frac{2 \times 100}{64.7 \times (-0.2)^2} \approx 77$$

由式(6.59)和式(6.60)且 $I_{eff} \approx I_{drawn} - 2I_d$, 使用表格 2.4 的数据得

$$\begin{aligned} A_v &= -\frac{2}{|V_{ov1}|} \cdot \frac{2}{V_{ov6}} \left[\frac{|V_{A2}| V_{A4}}{|V_{A2}| + V_{A4}} \right] \left(\frac{V_{A6} |V_{A7}|}{V_{A6} + |V_{A7}|} \right) \\ &= -\frac{2}{0.2} \times \frac{2}{0.5} \left[\frac{0.82 \times 0.82}{0.04 + 0.02} \right]^2 \approx -7500 \end{aligned}$$

该计算假设 dX_d/dV_{DS} 和 I_{eff} 对于每种类型的晶体管是恒定的, 所以允许使用恒定的厄尔利电压。然而, 在实际中, dX_d/dV_{DS} 和 I_{eff} 都取决于工作点, 并且, 当沟道长度低于 $1.5 \mu\text{m}$ 时, 电路设计者难以得到厄尔利电压的精确值。因此, 电路仿真是设计过程的重要部分。在上述条件下的运算放大器的 SPICE 仿真求得增益大约为 6200, 显示出手工计算只有 20% 的精确性。

6.3.6 电源抑制比(PSRR)

为计算出图 6.16 所示运算放大器的电源 V_{dd} 中的 PSRR, 将划分小信号增益 $A' = v_o/v_{dd}$ 为输入增益。为计算该值, 假设电源电压 V_{ss} 是恒定的, 并且图 6.16 所示的运算放大器输入都连接小信号的地。此时 M_8 的电流等于 I_{BIAS} 。如果该电流是恒定的, 因为 M_8 是二极管连接, M_8 的栅-源电压一定是恒定的。因此, $v_{gs6} = v_{gs5} = v_{gs7} = 0$, 且在 M_5 和 M_7 上的 g_m 发生器是无源的。因此, 如果 $r_{os} = r_{mil} \rightarrow \infty$ 且 $r_{o7} \rightarrow \infty$, 则 $v_o/v_{dd} = 0$ 。为求取 r_{o7} 和 r_{mil} 为有限值的增益, 研究图 6.18 显示的小信号方框图, 其中因为 M_5 和 M_7 是有源的, 所以 M_5 和 M_7 的 g_m 源被省略。在图 6.18a 中, 输出被定义为 v_{oa} , 且连接 r_{mil} 的 v_{dd} 电源变量被设置等于零。在图 6.18b 中, 输出被定义为 v_{ob} , 且连接 r_{o7} 的 v_{dd} 电源变量被设置等于零。分别找到 v_{oa} 和 v_{ob} , 并使其重叠来求取总增益 $v_o/v_{dd} = (v_{oa} + v_{ob})/v_{dd}$ 。

在图 6.18a 中, 第一级不变化且 $v_{gs6} = 0$ 。因此, g_{m6} 是无效的, 输出级就像是一个简单的对应电源变化的分压器。因为 M_6 中的直流漏极电流与 M_7 中的相等且反相, 有

$$\frac{v_{oa}}{v_{dd}} = \frac{r_{o6}}{r_{o6} + r_{o7}} = \frac{\frac{V_{A6}}{I_{D6}}}{\frac{V_{A6}}{I_{D6}} + \frac{|V_{A7}|}{I_{D6}}} = \frac{V_{A6}}{V_{A6} + |V_{A7}|} \quad (6.79)$$

在图 6.18b 中有

$$\frac{v_{ob}}{v_{dd}} = \frac{v_{gs6}}{v_{dd}} \frac{v_{ob}}{v_{gs6}} \quad (6.80)$$

其中,右端的第一个式子代表了第一级的增益,第二个式子代表第二级的增益。当 M_1 和 M_2 的栅被接地时,在 r_{tail} 的上端和地之间使用了图 6.18b 中的第一级的 v_{dd} 输入。这种情况等价于将 r_{tail} 的上端接地,并给 M_1 和 M_2 的栅极和地之间提供一个 $-v_{\text{dd}}$ 电压。换句话

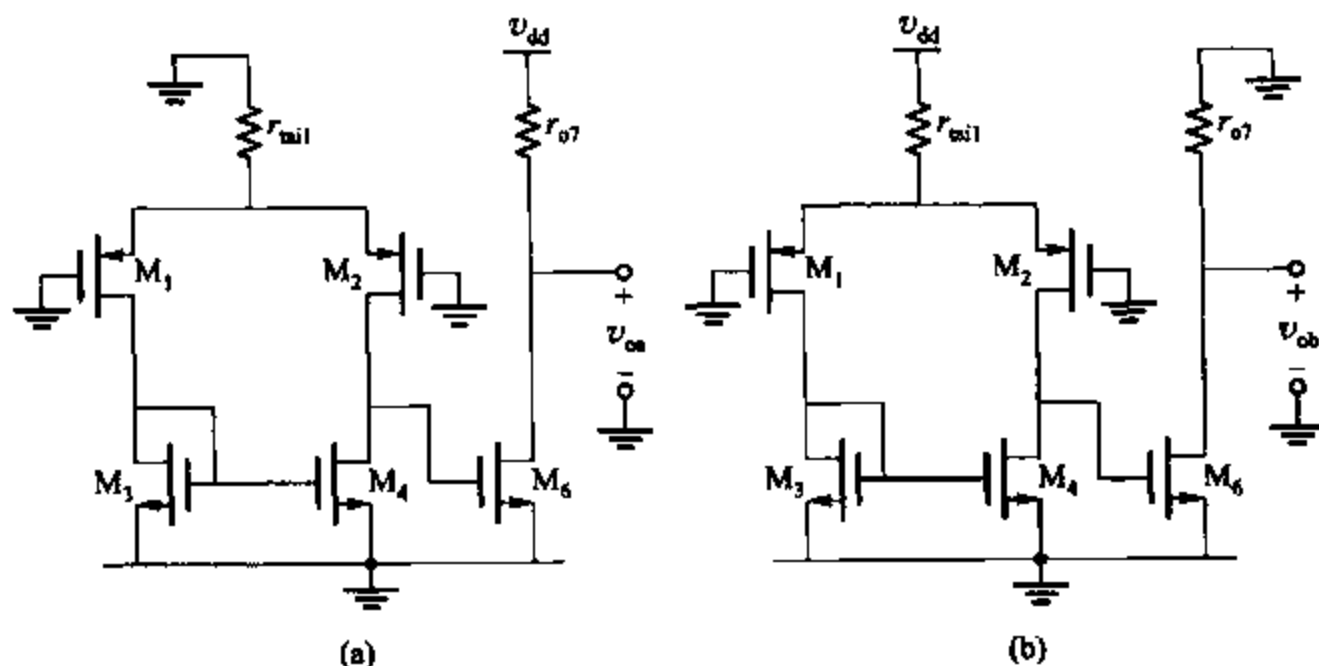


图 6.18 用来计算从 v_{dd} 到输出的耦合的二级运算放大器的小信号图

(a) 通过第二级计算 v_{dd} 到 v_{o6} 的耦合; (b) 通过第一级计算 v_{dd} 到 v_{o6} 的耦合

说,图 6.18b 中在第一级中输入 v_{dd} 作为第一级的共模输入 $v_{\text{ic}} = -v_{\text{dd}}$ 。因此,第一级的增益可以被表示为

$$\frac{v_{\text{o6}}}{v_{\text{dd}}} = -\frac{v_{\text{ic}}}{v_{\text{dd}}} = -G_{\text{m}}[\text{cm}]R_{\text{o1}} \quad (6.81)$$

其中, $G_{\text{m}}[\text{cm}]$ 是第一级的共模的跨导,并且 R_{o1} 是第一级的输出电阻。将式(4.149), (4.166), (4.173)和(4.179)代入式(6.81)得

$$\frac{v_{\text{o6}}}{v_{\text{dd}}} \approx \frac{g_{\text{m(dp)}}(r_{\text{o(dp)}} // r_{\text{o(mir)}})}{1 + 2g_{\text{m(dp)}}r_{\text{tail}}} \left(\frac{1}{1 + g_{\text{m(mir)}}r_{\text{o(dp)}}} + \frac{1}{1 + g_{\text{m(mir)}}r_{\text{o(mir)}}} \right) \quad (6.82)$$

如果 $2g_{\text{m(dp)}}r_{\text{tail}} \gg 1$, $g_{\text{m(mir)}}r_{\text{o(dp)}} \gg 1$ 且 $g_{\text{m(mir)}}r_{\text{o(mir)}} \gg 1$, 则

$$\frac{v_{\text{o6}}}{v_{\text{dd}}} \approx \frac{r_{\text{o(dp)}} // r_{\text{o(mir)}}}{2r_{\text{tail}}g_{\text{m(mir)}}(r_{\text{o(dp)}} // r_{\text{o(mir)}})} = \frac{1}{2g_{\text{m(mir)}}r_{\text{tail}}} \quad (6.83)$$

将式(6.83), (6.55)和(6.52)代入式(6.80)得

$$\frac{v_{\text{o6}}}{v_{\text{dd}}} = -\frac{g_{\text{m6}}(r_{\text{o6}} // r_{\text{o7}})}{2g_{\text{m(mir)}}r_{\text{tail}}} \quad (6.84)$$

如果为控制系统失调量使 $v_{\text{ov3}} = v_{\text{ov6}}$ (如式(6.62)所示), 则 $g_{\text{m6}}/g_{\text{m(mir)}} = I_{\text{D6}}/I_{\text{D3}}$ 。因为 M_6 的直流漏极电流与 M_7 的相等且反相, 则

$$\frac{v_{\text{o6}}}{v_{\text{dd}}} \approx -\frac{I_{\text{D6}}}{2I_{\text{D3}}} \left[\frac{\frac{V_{\text{A6}}}{I_{\text{D6}}} + \frac{|V_{\text{A7}}|}{I_{\text{D6}}}}{\frac{V_{\text{A6}}}{I_{\text{D6}}} + \frac{|V_{\text{A7}}|}{I_{\text{D6}}}} \right] \frac{|I_{\text{D5}}|}{|V_{\text{A5}}|} = -\frac{|I_{\text{D5}}|}{2I_{\text{D3}}} \left[\frac{V_{\text{A6}}}{V_{\text{A6}} + |V_{\text{A7}}|} \right] \frac{|V_{\text{A7}}|}{|V_{\text{A5}}|}$$

$$= -\frac{V_{A6}}{V_{A6} + V_{A7}} \quad (6.85)$$

因为 $V_{A5} = V_{A7}$ 且 $|I_{D5}| = I_{D3}$ 。联合式(6.79)和式(6.85)得

$$A^+ = \frac{v_o}{v_{dd}} = \frac{v_{oa} + v_{ob}}{v_{dd}} \approx 0 \quad (6.86)$$

因此由式(6.51)可知,对于完全匹配的低频 $PSRR^+ \rightarrow \infty$ 。因为由 v_{dd} 通过第一级至输出的耦合抵消了其通过第二级至输出的耦合。在实际中,如 4.3.5.3 节末所介绍的,失配能增加第一级的共模跨导,破坏这种抵消并减少低频率的 $PSRR^+$ 。

为计算图 6.16 所示运算放大器由电源 v_{ss} 产生的 $PSRR^-$, 将计算小信号增益 $A^- = v_o/v_{ss}$, 然后归一化至输入增益。为了计算,假设电源电压 v_{dd} 是恒定的,并且图 6.16 所示的两个运算放大器的输入接小信号地。在这些条件下, M_1 和 M_2 作为共栅放大器,试图保持 M_3 和 M_4 的偏置电流为常数。如果 M_3 的漏极电流是恒定的,因为 M_3 是二极管连接, M_3 的栅-源电压一定是恒定的。因此, $v_{gs3} = 0$ 。因为 $v_{ds3} = v_{gs3}$, 且在這些条件下 $v_{ds4} = v_{ds3}$, 则 $v_{ds4} = v_{gs6} = 0$ 。因此, g_{m6} 无效,输出级就像是一个简单的对应电源变化的分压器。因为在 M_6 的漏极电流与在 M_7 的相等且反相,则

$$A^- = \frac{v_o}{v_{ss}} = \frac{r_{o7}}{r_{o6} + r_{o7}} = \frac{\frac{|V_{A7}|}{I_{D6}}}{\frac{V_{A6}}{I_{D6}} + \frac{|V_{A7}|}{I_{D6}}} = \frac{|V_{A7}|}{V_{A6} + |V_{A7}|} \quad (6.87)$$

将式(6.59)和式(6.87)代入式(6.51)得

$$PSRR^- = \frac{A_{dm}}{A^-} = \frac{\frac{v_o}{v_{id}}}{\frac{v_o}{v_{ss}}} = -\frac{2}{|V_{ov1}|} \cdot \frac{2}{V_{ov6}} \left(\frac{|V_{A2}| V_{A4}}{V_{A4} + |V_{A2}|} \right) V_{A6} \quad (6.88)$$

这个方程由负电源中给出低频电源抑制比。该抑制比随着频率的增加变得更差。频率响应的内容将在第七章和第九章详细介绍,但在没有完全进行频率响应分析的情况下,也可以理解这个特性的本质。随着使用频率的增加,图 6.16 中的补偿电容 C_c 的阻抗减小了,对于高频信号就相当于短路了 M_6 的栅极和漏极。如果在 M_6 上的栅-源电压是恒定的,在负电源上的变化将直接反映到高频输出上。因此,在频率上使 $A^- \approx 1$ 足够高来短路 C_c ,假定 $C_c \gg C_L$, 其中 C_L 是运算放大器的负载电容,连接在运算放大器输出和地之间。同样的现象引起增益 A_{dm} 和 A^+ 来随着频率的增加而减少,以便随着频率增加 $PSRR^+$ 仍然是相对的恒定。然而,因为当 A_{dm} 减少, A^- 增加到单位值 1, $PSRR^-$ 将减小,并且在 $|A_{dm}| = 1$ 的频率上达到单位值 1。

电源抑制和电源电容 在电源和运算放大器输出之间的另一个对非零增益的重要影响是电源电容。^{7,8} 如图 6.19 所示,当运算放大器与反馈电容 C_f 连接时,该现象表明本身作为一个或两个电源和运算放大器输入之间的耦合电容。为了简化,假设运算放大器开环增

益是无限。如果电源耦合电容是 C_{sup} , 从 C_{sup} 到运算放大器输出的增益是 C_{sup}/C_1 。图 6.19 显示了电源电容的两个可能的来源, 即 M_1 的栅-漏电容和栅-源电容。能发生电源电容的 4 个重要的方法如下:

1. 如果 M_3 的漏极电流是恒定的, V_{ss} 的变化导致了从 M_1 的漏极与地的电压变化以保持 M_3 的栅-源电压恒定。通过 M_1 的栅-漏电容, 该变化耦合了求和结点, 即电源电容 $C_{\text{sup}} = C_{\text{gd1}}$ 。这个问题通常是通过使用输入晶体管的漏极串联串接放大器的晶体管来解决的。

2. 在 V_{dd} 或 V_{ss} 上的变化将引起流入尾电流源的电流的变化。为了理解这个偏置电流的变化效应, 研究图 6.20a, 图中所示为 p 沟道源极跟随器, 该跟随器的偏置电流源 $I_{\text{rail}} =$

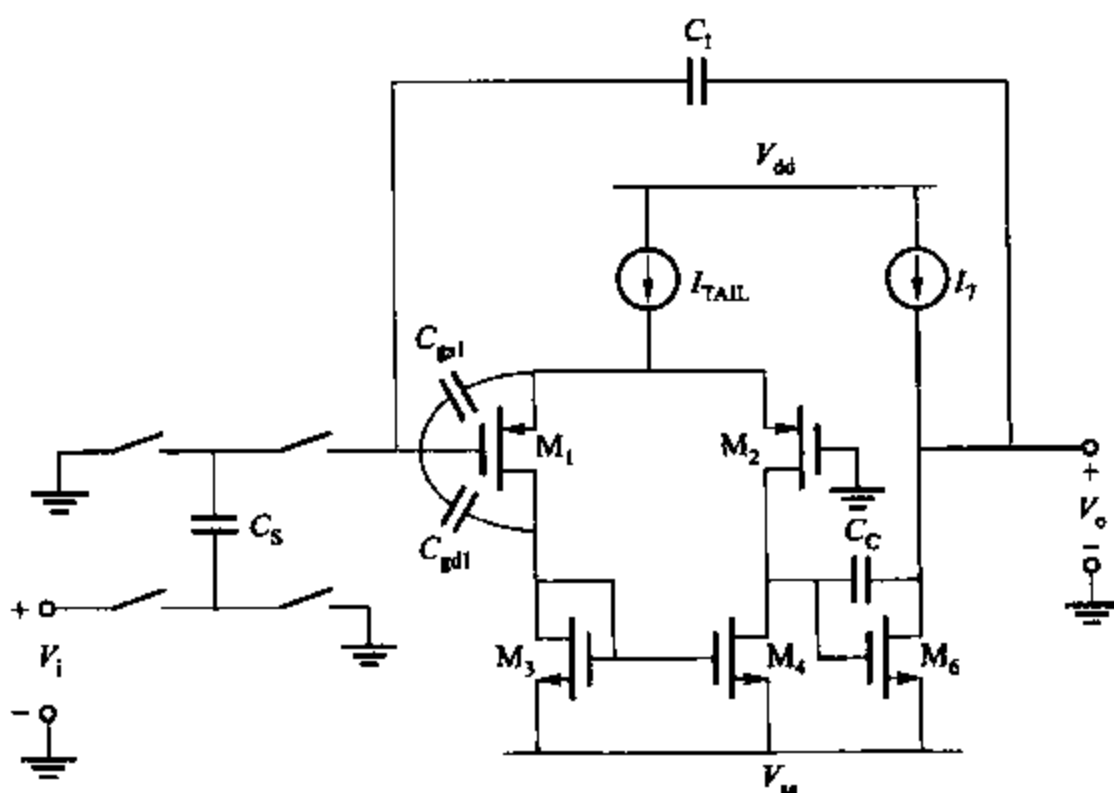


图 6.19 在有电容反馈的二级 MOS 放大器的电源电容

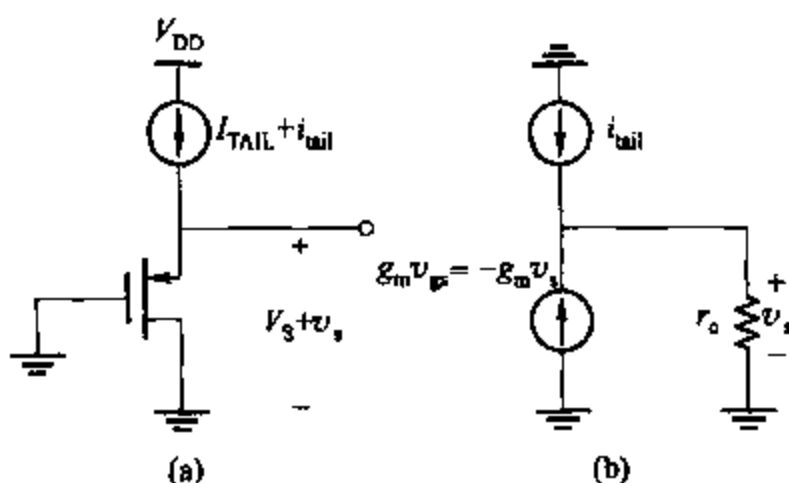
$I_{\text{TAIL}} + i_{\text{rail}}$ 并不是恒定的。源极跟随器模拟出了图 6.19 中 M_1 的性能, 从变量 I_{rail} 的角度讲, 有两个原因。首先, 从 M_1 的栅极到地间的电压通过负反馈被保持为小信号的地。第二, 在放大区上工作的 MOS 晶体管主要由其栅-源电压控制。为了简化, 将忽略衬底效应, 因为此时不需要说明这个问题。源跟随器的小信号方框图如图 6.20b 所示。在源极由 KCL 得

$$i_{\text{rail}} = g_m v_s + \frac{v_s}{r_o} \quad (6.89)$$

重新整理方程

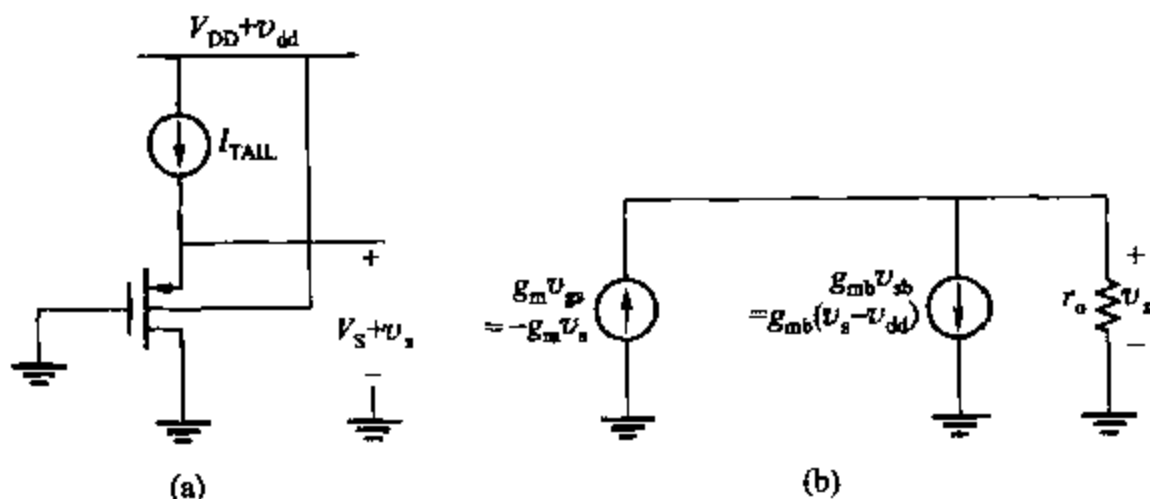
$$v_s = \frac{i_{\text{rail}} r_o}{1 + g_m r_o} \approx \frac{i_{\text{rail}}}{g_m} \quad (6.90)$$

因此, 从电源提升的非零 i_{rail} 将导致源跟随器的非零 v_s 。同样, 如图 6.19 所示从 M_1 的源极到地间的电压随着 I_{rail} 而变化。该变化通过 M_1 的栅-源电容耦合到求和结点, 即电源电容 $C_{\text{sup}} = C_{\text{gd1}}$ 。独立于电源的偏置参考, 通常被用来解决这个问题。

图 6.20 (a)源跟随器和(b)计算依赖于 i_{tail} 的 v_s 的小信号图

3. 如果输入晶体管的衬底端被连接到电源或与电源有关的电压上,则衬底偏置将变为电源变化电压。依次,衬底偏置变化将通过衬底效应来改变阈值,即改变栅-源电压。然后,可以在源跟随器的帮助下研究此原理,如图 6.21a 所示。这里假定 I_{TAIL} 恒定,但 $V_{dd} = V_{DD} + v_{dd}$ 变化。小信号电路如图 6.21b 所示。在源极由 KCL 得

$$g_{mb} v_{dd} = g_m v_s + g_{mb} v_s + \frac{v_s}{r_o} \quad (6.91)$$

图 6.21 (a)源极跟随器;(b)计算通过衬底效应依赖 v_{dd} 的 v_s 的小信号图

整理上式得

$$v_s = \frac{g_{mb} r_o}{1 + (g_m + g_{mb}) r_o} v_{dd} \approx \frac{g_{mb}}{g_m + g_{mb}} v_{dd} \quad (6.92)$$

因此,图 6.21 所示的源跟随器的非零 v_{dd} 导致了非零的 v_s 。同样,图 6.19 中,从 M_1 的源极到地间的电压随着 v_{dd} 而变化,并且该变化通过 M_1 的栅-源电容到求和结点而耦合,即电源电容 $C_{sup} = C_{gs1}$ 。

解决这个问题一个方案是:把输入晶体管放在阱中,并且把阱连接到输入晶体管的源极来消除衬底效应。该方案有两个潜在的不利条件。首先,否认了在输入设备上使用衬底效应来增加共模运算放大器的输入范围,如 6.3.5 节所描述。第二,该解决方案决定了在所给的进程中输入晶体管的极性。例如,在 p 阱的处理中,输入设备必须是 n 沟道来将其放入

p 阱。这个要求可能与由于其他原因决定的晶体管的极性发生冲突。例如, p 沟道输入晶体管将用于最小化输入参考的颤动噪声。(参见第十一章。)

4. 在运算放大器和系统布局互相连接交叉点,将在电源和求和结点之间产生不希望得到的耦合电容。在这种情况下,电源电容是寄生或不希望得到的电容。这个问题通常是通过精细的布局来解决。特别说明一个重要的布局技巧是通过将金属线接地来屏蔽运算放大器输入。

电源电容的结果在开关电容过滤和其他使用了电容反馈的采样数据的模拟电路上表现了较差的电源电容的抑制。除了上述解决问题的方案,其他的解决方案是使用有两个输出的全差分运算放大器。感兴趣的输出电压是这些输出之间的电压差。全差分运算放大器,在第十二章讲解,使给定电源到某一输出与到其他输出的耦合程度一致,解决了电源电容问题。

6.3.7 过载电压的效应

通过减小漏极电流的比率为 W/L , MOS 晶体管能减少其过载。通过增加式(6.59)的电压增益,减少图 6.16 所示运算放大器的过载电压可以改进运算放大器性能。通过式(6.61)显示的增加摆幅,减少式(6.69)中的输入偏移量电压,通过增加式(6.72)中的 $CMRR$,通过增加式(6.78)的共模范围以及通过增加式(6.88)的电源抑制比。如果在运算放大器的晶体管工作在强反型状态,这些分析是有效的。另外,增加沟道长度将增加相应式(1.163)的厄尔利电压,从而增加运算放大器增益、共模抑制比及电源抑制比,如式(6.59), (6.72)和(6.88)所示。然而, MOS 晶体管的转变频率与过载成正比例,与式(1.209)的沟道长度的平方成反比例。因此,减少过载,增加沟道长度将降低晶体管的频率响应,继而降低放大器的频率响应。这样在 CMOS 运算放大器设计中,要找到在频率响应和其他性能之间的平衡点。

6.3.8 布局的讲解

运算放大器设计的基本目的是,最小化在差分对的两个输入路径之间的失配以便最大程度地抑制共模的输入信号。失配影响了差分对的性能,不仅在直流情况下引入非零失调电压,而且在高频情况下减少共模和电源抑制比。

如图 6.22a 所示为差分对可能的布局。标记出的五个结点为两个栅极,两个漏极,一个源极。为了简洁,省略了到每个区域的连接。两个晶体管的源极通过合并两个源极到一个

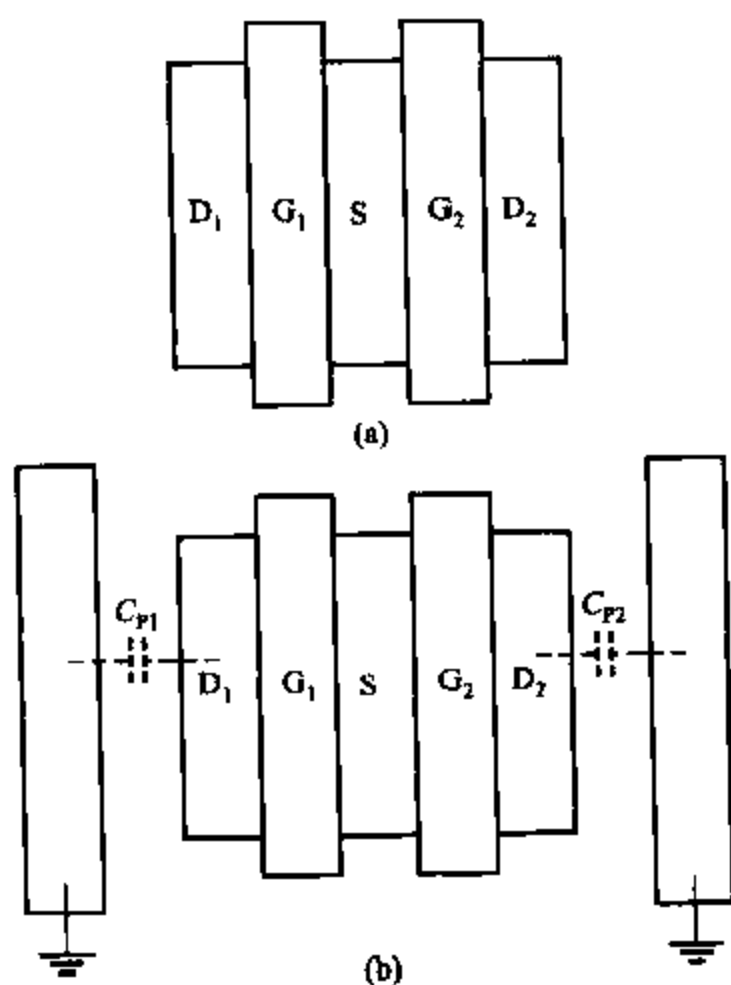


图 6.22 有镜像对称的差分对布局

扩散区来互相连接。尽管这样的布局,节省了面积,并最小化了连接到源极的不希望得到的电容,因为对在集成电路中的定义各种各样层的掩模之间的队列反向很敏感,但这种布局从部分匹配的角度讲,不是最佳的。关键问题是,图 6.22a 的布局仅使用了镜像对称,即每只晶体管是其他晶体管的镜像。例如,假定在布局中加入金属的两个附加接地的片段,如图 6.22b 所示。在确切的地点,从 D_1 到地间的寄生电容 C_{P1} 等于 D_2 到地间的寄生电容 C_{P2} 。然而,如果定义金属层的掩模相比于定义了扩散层的掩模转移到了右端, C_{P1} 将增加,但 C_{P2} 减少,并产生了失配。在实际中,以对队列反向不敏感的方式平衡寄生效应,在有差分输入和差分输出的放大器上是最重要的。如此的放大器在第十二章被讲解。

图 6.23 所示的布局解决了这些问题。图 6.23a~b,使用反向对称拉伸晶体管;每只晶体管是不带摆幅的一个其他的拷贝。另外的选择如图 6.23c 所示,每只晶体管被切成两片。为了保持同前图中一样的宽长比,图 6.23c 的每只晶体管的宽度减小了一倍。该结构有反向对称和镜像对称。有反向对称的结构对队列反向不敏感。

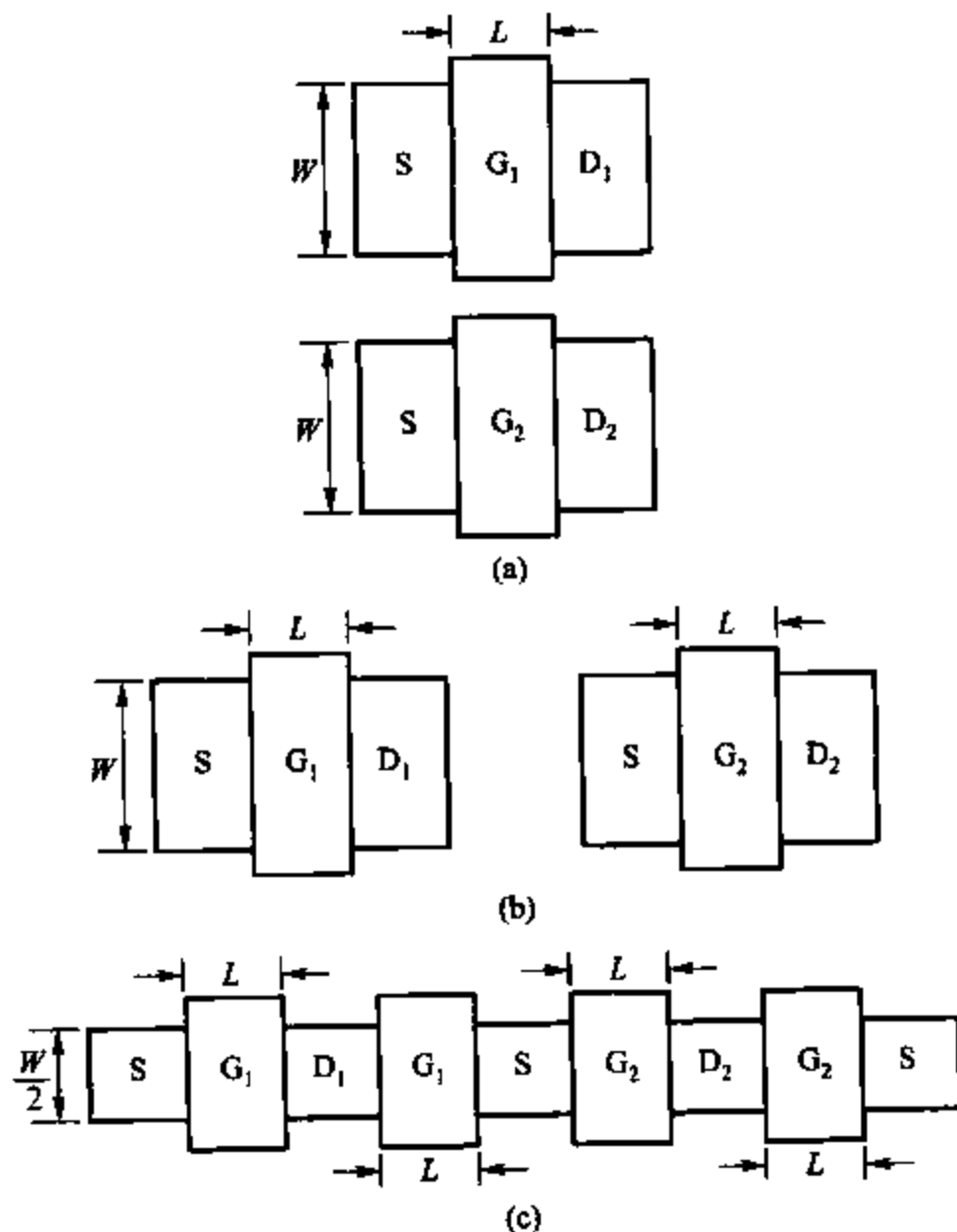


图 6.23 有反向对称的差分对布局

这些布局的限制是对处理对称线的垂直坡度敏感。例如,如图 6.23c 所示,假设氧化物的厚度从左端增加到右端。然后连接到 G_1 的栅极条纹的氧化物比连接到 G_2 的更薄,导致

了晶体管有不相等的阈值及不相等的跨导参数。与工艺相关的越过印模的梯度效应,通过使用普通矩心几何学而部分缓和。图 6.24 显示差分对的普通矩心布局。差分对的每个端被切成在布局上交叉连接的两个部件。从几何角度,组成器件的两个矩心在结构的中心。因为任何梯度都能被分解为水平和垂直部分,该布局解决了任何方向上的线性工艺的梯度效应。

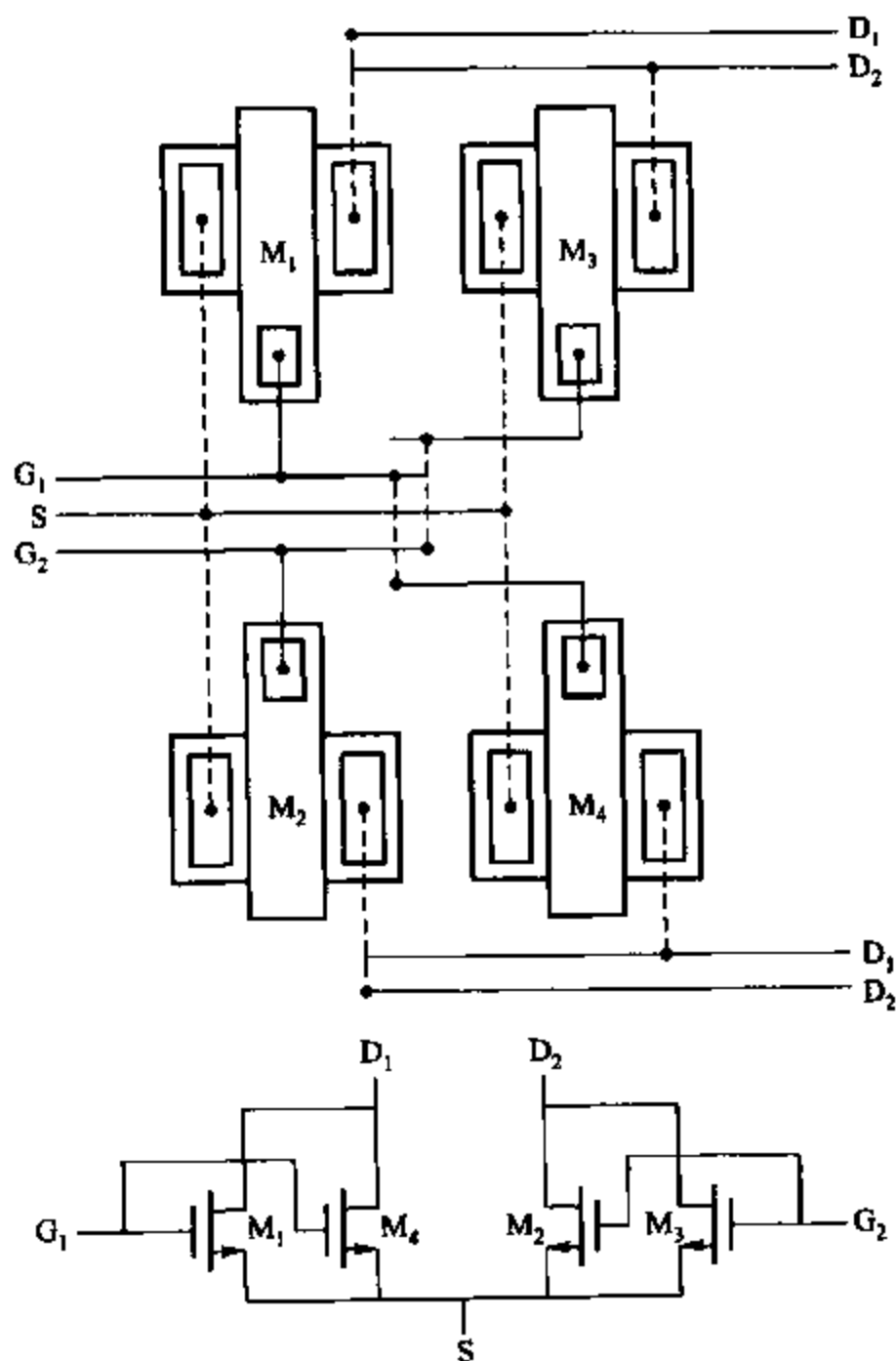


图 6.24 对于 MOS 的差分对的普通矩心结构

图 6.24 也显示了用来交接设备的两个金属层。一个金属层用实线画出,另一个用虚线画出。两层在交叉点处连接,交叉处仅用点画出。这里所画的交叉点,是移动非敏感的,从某种意义上说是平衡的,即为了在差分对的一个端上穿过一个结点的任何信号线也能经过另一个端上的相应结点。该平衡将保持了不希望得到的信号为共模的形式,因此能被差分对抑制。最后,唯一的经过了连接到两个输入栅极的金属层的线是到差分对的源极金属线。这个特性很重要,因为交叉点在两交叉的层间创造了一个小的寄生电容,并且允许不希望的信号来耦合运算放大器的输入。由于运算放大器设计成高增益,运算放大器输入在模拟集

成电路中是最敏感的结点。因此,如果任何信号线被允许穿过一个栅极,也应经过另一个栅极来平衡寄生电容。然而,在实际中寄生情况不可能完全匹配,所以避免穿过要优于平衡。如图 6.24 所示,因为晶体管本身已经以每只晶体管的栅-源电容的形式在每个栅极和源极之间提供一个大电容,允许栅极穿过差分对的源极。

普通矩心布局的不利条件也表现在图 6.24 中。即由于需要穿过并连接该设备,将增加匹配的设备间的分离,并且可能在线性过程坡度不是主要限制的情况中,使匹配更坏。因此,普通矩心布局的值必须由具体情况来决定。

6.4 具有串接放大器的二级 MOS 运算放大器

上述的基本二级运算放大器有广泛的应用,它带有很多优化自身某一性能的变量。这一节,在基本的电路上讲解一个重要的变量来增加电压增益。

图 6.16 所示的基本电路上有效的电压增益可能不适合于一个指定闭环增益精确度的应用。例如,假设基本的运算放大器使用了带有 $g_m r_o = 20$ 的晶体管,并且被连接在图 6.3c 所示的电压跟随器结构中。运算放大器增益由式(6.56)给出,在实际中,低于 $(g_m r_o)^2$ 。为了简化,假设运算放大器增益大约是 $(g_m r_o)^2$,或在这种情况下是 400。闭环增益在式(6.12)中给出,并且因为在跟随器配置中, $R_2 = 0$,所以近似为单位值 1。这种近似的误差是在运算放大器增益的一部分或至少是其 0.25%。在精密应用中,这个误差可能是很大的,以至于不能满足给定的要求,即要求增加运算放大器增益。

增加运算放大器增益的一个途径是,把其他的共源极增益放大电路加入运算放大器,从而使总增益近似于 $(g_m r_o)^3$ 而不是 $(g_m r_o)^2$ 。然而,该途径的一个重要问题源自运算放大器将使用于负反馈结构中。实际上运算放大器频率响应不是恒定的,如果运算放大器在某些频率上引起了 180° 的附加相位移动,特意使用的负反馈将在那个频率上成为正反馈,运算放大器可能是不稳定的。频率响应和稳定性的内容将分别在第七章和第九章详细讨论。如果运算放大器在给定的反馈配置中是不稳定的,这里的关键点是不再作为放大器而是作为闭锁或振荡器。为避免这个问题,通常运算放大器不会设计为超过两个增益级,因为每一级包含一个对地阻抗相当高的结点,并确定运算放大器传递函数中的重要极点。因为相位从接近 -90° 的一极渐近地转移,不超过二级的运算放大器将不能提供 180° 相位转移,该转移可改变负反馈成为正反馈。

为了不通过增加额外的共源增益级来增加电压增益,将用到共栅晶体管。和共源晶体管一起,共栅晶体管形成了串接放大器。与加入额外的共源级相比,串接放大器对于传递函数将少贡献一个重要极点,从而增加级的输出电阻和级增益。图 6.25 说明使用了串接放大器来增加二级放大器的电压增益。这里,串联连接的两只晶体管,即在一个共源连接和一个共栅连接,代替在第一级的每个共源晶体管。因此,图 6.25 中的 M_1 和 M_{1A} 代替图 6.16 中的 M_1 。同样,图 6.25 中的 M_2 和 M_{2A} 代替图 6.16 中的 M_2 。增加晶体管 M_0 和电流源 I_C 用于偏置栅极 M_{1A} 和 M_{2A} ,在实际中,选择 M_0 的 W/L ,使 M_1 和 M_2 恰好工作在放大区。在这

些替代效应中,将通过与串接放大器设备的 $g_m r_o$ 近似相等的因子来增加差分对的未加载的输出阻抗。

然而,如果镜像电流源 $M_3 \sim M_4$ 也不是串接放大器,包括镜像电流源负载的第一级的输出电阻将被镜像所限制。为解决这个限制,如图 4.9 所示的串接放大器的镜像电流源被取代。因此,包括负载级增益和输出电阻大致增加了 $g_m r_o$ 倍。在该电路上, M_{10} 和 M_{11} 包含在由 V_{GS10} 电位偏移第一级的输出中,以便第二级输入在其直流分量上由 $-V_{SS}$ 上的 V_{GS3} 的信号所驱动。如果选择相位比率满足式(6.66),且如果每个共栅晶体管与共源晶体管对应相同,则该电位偏移的系统的失调电压由式(6.68)给出,这里运算放大器增益为 $(g_m r_o)^3$ 的序列,而不是图 6.16 中的 $(g_m r_o)^2$ 。该电路的不利条件是共模输入范围有实质性的减小。(见习题 6.16。)为解决这个问题,用串接放大器取代第二级。然而,在那种情况下,运算放大器的输出摆幅将因串接放大器而降低。

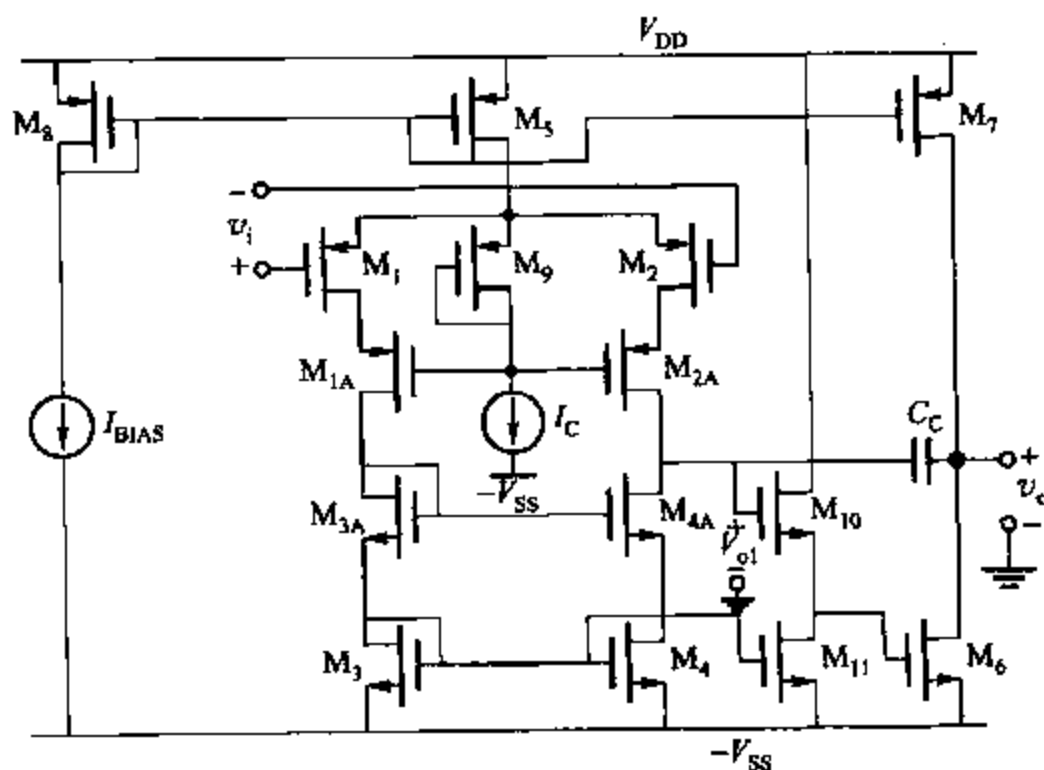


图 6.25 有串接放大器为第一个级的二级放大器

6.5 MOS 管可伸缩式串接运算放大器

如先前章节提及的,串接放大器配置可以被用来增加 CMOS 晶体管放大器级的电压增益。在许多应用中,级增益能足够地增加,以便单个串接的级能提供足够大的电压增益来满足精确性的要求。图 6.25 的第一级有时作为运算放大器来使用,并提供了可与图 6.16 所示二级运算放大器的增益相比较的增益。因为串接放大器串联在差分对的晶体管和电源之间,这结构被称之为伸缩式串接运算放大器,⁹ 导致了这样的结构:每个分支的晶体管像一个折光望远镜的透镜一样沿着一直线被连接着。伸缩式串接运算放大器的主要潜在的优点是,信号变化全部在给定的最高速极性晶体管中处理。这样的设计使用了全差分配置,并在第十二章讲解。

除了习题 6.16 中所计算的较差的共模输入范围,伸缩式串接运放的配置的另一个缺点是输出摆幅太小。例如,忽略图 6.25 的 M_6, M_7, M_{10}, M_{11} 和 C_C , 并定义交流运算放大器输出电压为从 M_{2A} 和 M_{4A} 的漏极到地间的电压 V_{O1} 。为了简化,假设所有的晶体管是带有相同的过载幅度的增强型模式。为计算输出摆幅,首先考虑自身的串接组态的镜像电流源。如果, $V_{SS} = 0$, 为使 M_4 和 M_{4A} 工作在放大区的最小输出电压由式(4.59)给出。带有非零的 V_{SS} , 该条件变为

$$V_{O1(\min)} = -V_{SS} + V_{in} + 2V_{ov} \quad (6.93)$$

该方程的阈值项是一个重要的限制,因为它会导致输出摆幅的大幅降低。幸好该限制能通过使用串接组态的镜像电流源的高摆幅来解决,如图 4.11 和 4.12 所示,将消除由式(6.93)的阈值并得

$$V_{O1(\min)} = -V_{SS} + 2V_{ov} \quad (6.94)$$

伴随着这个变化,可知为了在一个级中取得可与 $(g_m r_o)^2$ 相比较的增益,摆幅最好被限制在与电源电压相差两个过载电压的范围内。相反,图 6.16 所示的基本二级运算放大器给出了大致一样的增益,但允许输出摆幅在每个电源过载内,如式(6.61)所示。

为了找到伸缩式串接运算放大器的最大输出电压摆幅,考虑图 6.25 所示的串接运算放大器差分对。假设从 M_1 和 M_2 的栅极到地间的共模输入是 V_{IC} 。从 M_1 和 M_2 的源极到地间的电压是

$$V_S = V_{IC} + |V_{tp}| + |V_{ov}| \quad (6.95)$$

为了使 M_5 工作在放大区, M_5 的源-漏电压应至少为 $|V_{ov}|$ 。因此

$$V_{DD} - V_S \gg |V_{ov}| \quad (6.96)$$

将式(6.95)代入式(6.96),重新整理得

$$V_{IC} \leq V_{DD} - |V_{tp}| - 2|V_{ov}| \quad (6.97)$$

如果假设 M_9 和 I_C 被选择工作在 M_1 和 M_2 放大区的边缘上,为此 M_2 和 M_{2A} 在放大区工作的最大的输出电压是

$$V_{O1(\max)} = V_S - 2|V_{ov}| \quad (6.98)$$

将式(6.95)代入式(6.98)得

$$V_{O1(\max)} = V_{IC} + |V_{tp}| - |V_{ov}| \quad (6.99)$$

该式从输出摆幅的角度显示出伸缩式串接运算放大器的其他限制,即最大的输出电压取决于共模输入。然而,与习题 6.16 所计算的共模输入范围的限制一样,该限制可以通过开关电容器电路消除。这样的电路允许运算放大器共模的输入电压在同样的集成电路上被设置成独立于所有其他共模电压的电平。该性质是因为唯一的到运算放大器输入信号的耦合,是通过电容器的,这样即使带有非零直流电压降,直流电流也是零。假设运算放大器输入被偏置为最大共模的输入电压,为此 M_5 在放大区上工作,将最大值 V_{IC} 由式(6.97)代入式(6.99),将得到最大的输出电压

$$V_{O1(\max)} = V_{DD} - 3|V_{ov}| \quad (6.100)$$

这个式子表明伸缩式运算放大器(由带有优化共模输入偏差的图 6.25 所示的第一级电路构

成)的最大输出电压比正电源电压小三个过载电压值。该结果源于对三个晶体管(M_5 , M_2 和 M_{2A}) 在 V_{DD} 和输出间连接的观察。相反,式(6.94)表明最小输出摆幅由两个过载电压限制。

为了决定所要求的最小电源电压的差值,将式(6.100)减去式(6.94),将得出

$$V_{OL(max)} - V_{OL(min)} = V_{DD} - (-V_{SS}) - 5|V_{ov}| \quad (6.101)$$

假设所有的过载的幅度都是相等的。重新给出这个方程为

$$V_{DD} - (-V_{SS}) = V_{OL(max)} - V_{OL(min)} + 5|V_{ov}| \quad (6.102)$$

该式表明,在伸缩式串接运算放大器的电源电压之间的最小差别,必须是至少等于峰-峰输出信号摆幅加上五个在放大区上工作的所有晶体管的过载电压。例如,对于每只晶体管有 1 V 的峰-峰输出摆幅及 $|V_{ov}| = 100$ mV,电源电压之间的最小差别是 1.5 V。

在实际中,该计算有两个主要限制。首先,如果晶体管有意在放大区的边缘上偏置,则工艺、电源或温度上的微小变化,将引起一个或多个晶体管在三极管区域上工作,从而减少了输出电阻及运算放大器的增益。为避免该问题,在实际的运算放大器中的晶体管通常被偏置,以便每只晶体管的漏-源电压的幅度要大于对应的典型值至少 100 mV 为差值的过载。差值允许每只晶体管直接加上最小的所需电源的电压差。第二,该计算仅对晶体管在输出结点和每个电源之间决定着电源要求,其他分支可以要求比式(6.102)所给的更大的电源差别。例如,图 6.25 中通过 M_5 , M_1 , M_{1A} , M_3 和 M_{3A} , 描述从一个电源到另一个电源的路径。为了简化,忽略衬底效应。因为 M_3 和 M_{3A} 是二极管连接,每个漏-源极电压是 $V_t + V_{ov}$ 。而且,如果 M_{3A} 的 W/L 被四个因素中的一个因素减少来构建高摆幅串接放大器的镜像电流源,如图 4.11 所示,从 M_{3A} 漏极到 M_3 源极的电压降是 $2V_t + 3V_{ov}$ 。如果在这条路径上的其他三个晶体管被偏置了,因而 $|V_{DS}| = |V_{ov}|$,为使这条路径上的所有晶体管工作在放大区所要求的电源差别是 $2V_t + 6|V_{ov}|$ 。如果 $2V_t + |V_{ov}|$ 大于峰-峰输出摆幅,该要求超过式(6.102)所给出的要求,然而,这结果不会引起对最小所需电源电压的基本限制,因为低阈值设备有时是有效的。

在式(6.102)的最小电源电压差别包括了五个过载项。相反,图 6.16 所示的运算放大器的相应方程将只包括两个过载项,一个为 M_6 而另一个为 M_7 。这三个额外的过载项的出现,增加了最小所要的电源差别或为给定的电源差别减少了所允许的过载。式(6.102)的三个过载项源自两个串接放大器和尾电流源。由串接放大器引入的过载,应视为使用串接放大器的代价;然而,尾电流源的过载能通过使用下节所描述的电路的最小所要的电源差别得到消除。

6.6 MOS管折叠串接运算放大器

图 6.26 显示出两个串接放大器电路,其中为了简化设 $V_{DD} = 0$ 。图 6.26a, M_1 和 M_{1A} 是 p 沟道器件。图 6.26b, M_1 仍然是 p 沟道器件,但 M_{1A} 则是一个 n 沟道器件。然而,在以上两种情况下, M_1 被连接成共源极结构, M_{1A} 被连接成共栅极结构。在两种情况下, M_1 漏极

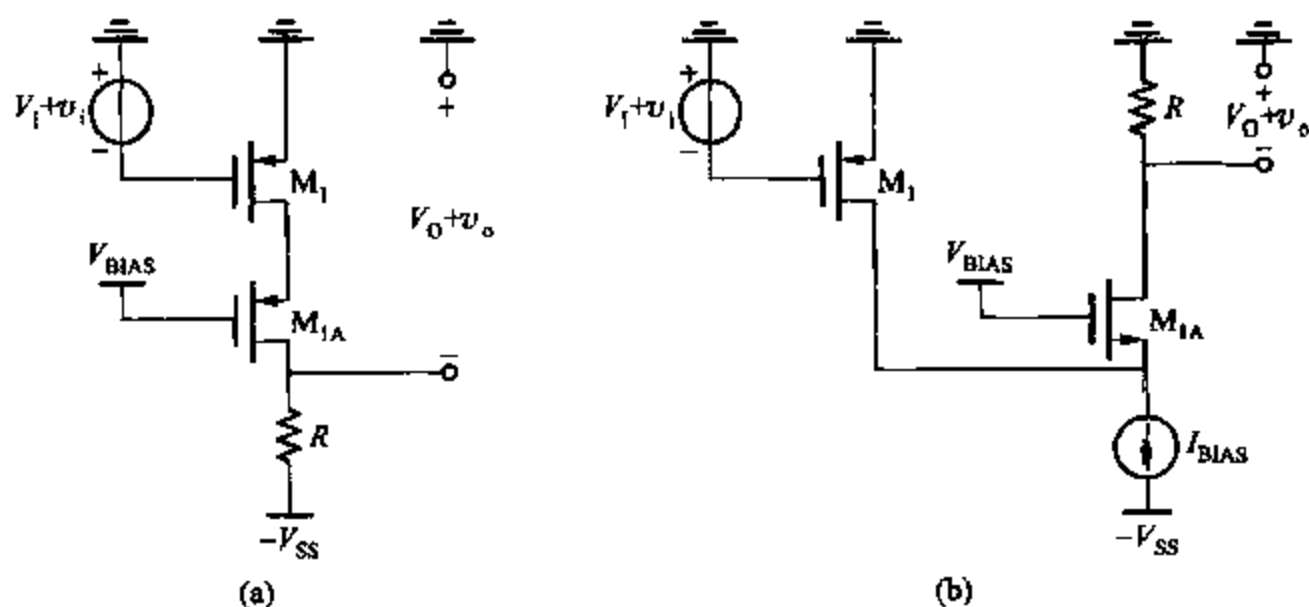


图 6.26 (a) 标准的串接放大器配置; (b) 折叠串接放大器配置

电流的小信号变化主要都是通过 M_{1A} , 因为 I_{BIAS} 是一个恒流源。因此, 两个电路都是串接电路。图 6.26b 所示的电路被称为折叠式串接电路, 因为它反转了信号的流动方向, 使得信号流回到地。当以差分对的形式出现时, 这种反转有两个好处。首先, 它可以增加输出的摆幅, 其次, 可以增加共模输入范围。

图 6.27 是一个在差分对的两边都运用折叠式串接结构电路的简化形式。同图 6.26b 一样, M_1 和 M_{1A} 组成一个折叠式串接结构, M_2 和 M_{2A} 组成另外一个折叠式串接结构。电流镜通过在 M_{1A} 的漏极电流向输出端传送变化的信号量, 将差分信号转换成单端输出。因此而

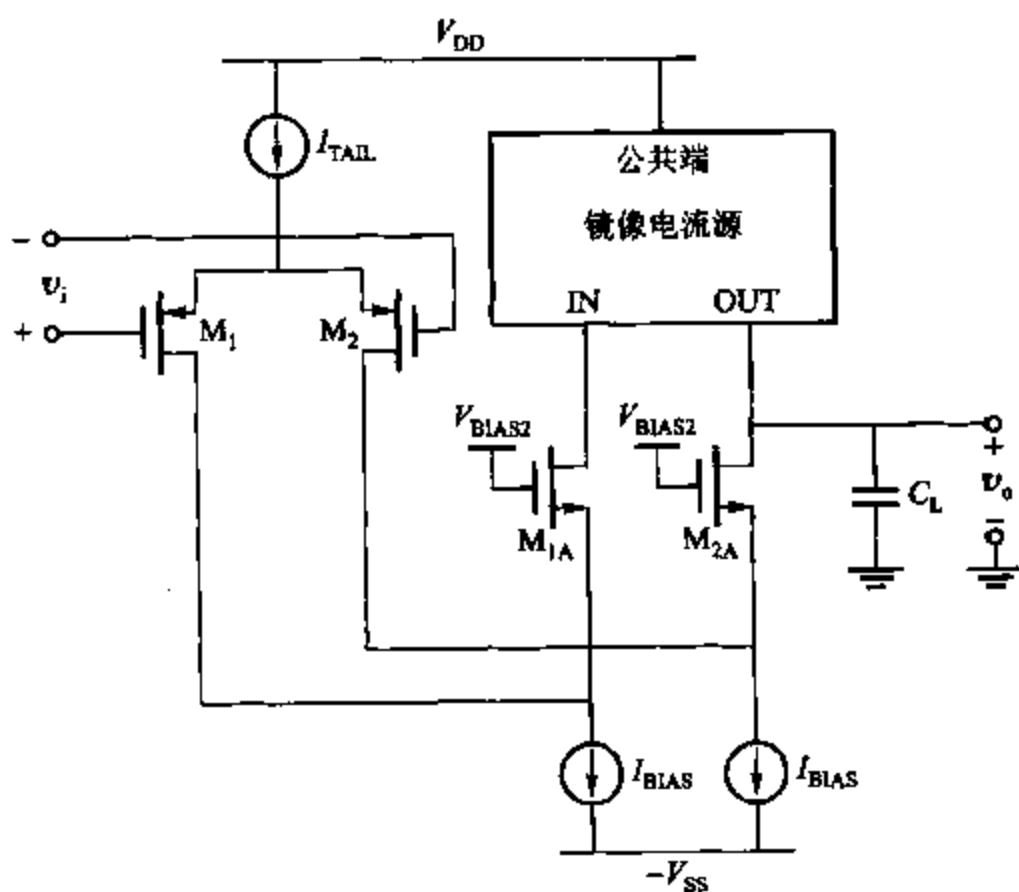


图 6.27 折叠式串接运算放大器的简化示意图

$$V_{OUT(min)} = -V_{SS} + 2|V_{ov}| \quad (6.106)$$

因此,折叠式串接运算放大器能够提供几乎恒定不变的电压增益,而同时它的输出幅度能够保证在两个电源的过载范围之内。与之相比较,伸缩式串接运算放大器在提供几乎恒定不变的电压增益时,只能保证在一个电源的过载范围之内的两个过载和另一个电源条件下的三个过载。

电路在低频段的小信号电压增益为

$$A_v = G_m R_o \quad (6.107)$$

其中, G_m 为跨导, R_o 为输出电阻。当所有的晶体管都工作在放大区时,典型的增益范围在几百到几千之间。由于 $M_3 \sim M_4$ 镜像电流源的作用,跨导将主要由 M_1 和 M_2 的漏极电流变化决定。因此

$$G_m = g_{m1} = g_{m2} \quad (6.108)$$

为了得到 R_o 的值,两个输入端都接到交流地。尽管在这种情况下输入电压没有变化,但是 $M_1 \sim M_2$ 的源极没有接到交流地。然而,如图 6.29a 中所示,将这个结点连到小信号模型的地对于 R_o 并没有大的影响。其原因是由于镜像电流源 $M_3 \sim M_4$ 的作用,其原理如下。

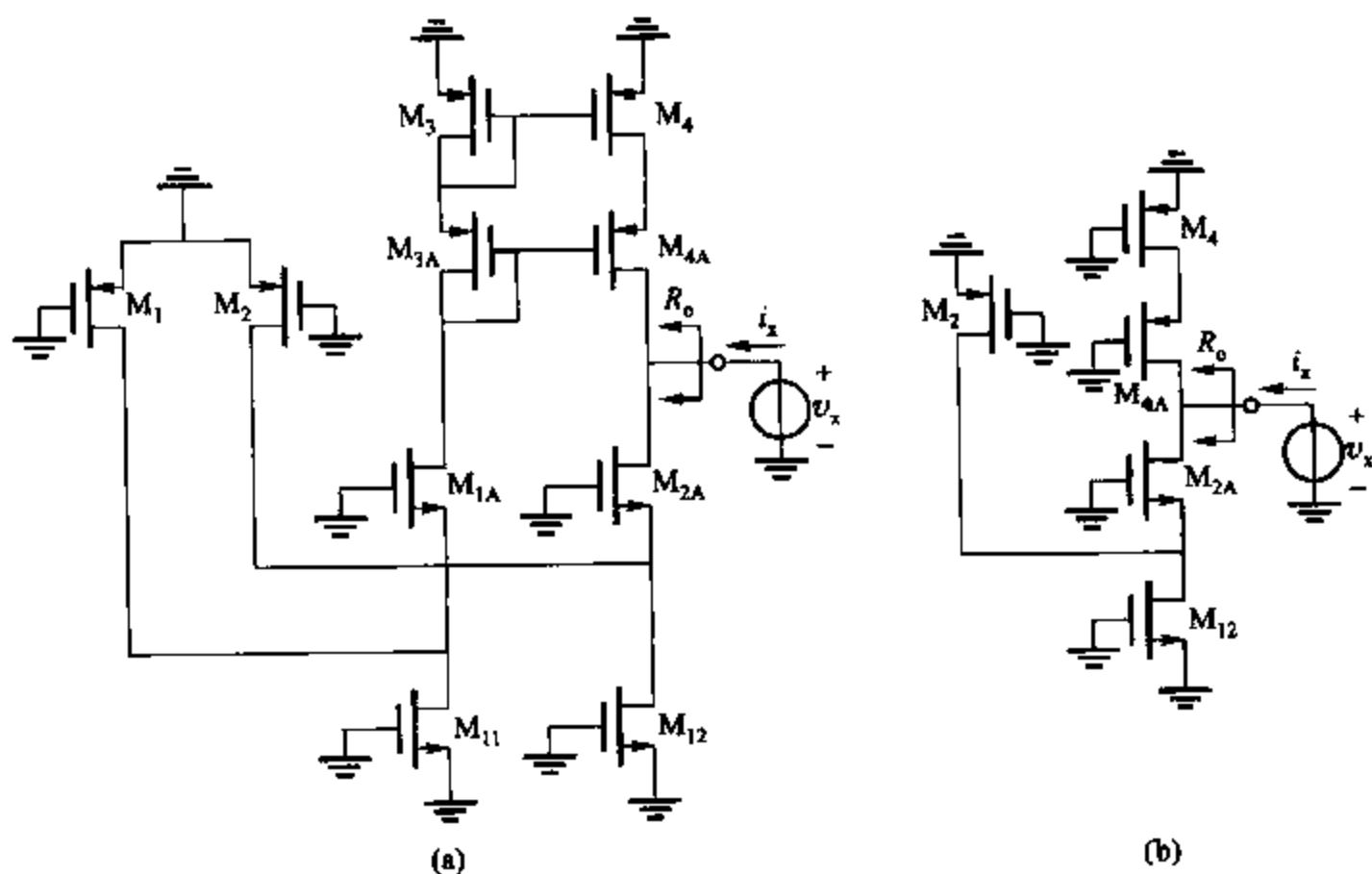


图 6.29 (a) 为计算输出电阻所用的测试电压源; (b) 简化电路

设 i_{d1} 和 i_{d2} 分别为 M_1 和 M_2 的小信号漏极电流, Δi_{d1} 和 Δi_{d2} 为将 M_1 和 M_2 的源极接到小信号地上(如图 6.29a 所示)所引起地 i_{d1} 和 i_{d2} 的变化量。如果 $r_o \rightarrow \infty$, 则由于这种连接对 M_1 和 M_2 的栅源电压引入相同的变化, 所以 $\Delta i_{d1} = \Delta i_{d2}$ 。 Δi_{d1} 流经 M_{1A} 的源极, 如果 M_3 和 M_4 的 $r_o \rightarrow \infty$, 那么 Δi_{d1} 的镜像电流流向输出, 增益为单位增益。在输出结点由 KCL 可

知,忽略 i_{d1} 和 i_{d2} ,对输出电流 i_x 和输出电阻 R_o 都没有影响。从而,假设 M_1 和 M_2 的源极接交流地,可以得到 R_o 的值。事实上,所有晶体管的 r_o 都为有限值,所以将这一结点接交流地对 R_o 有轻微的影响,其原因有两个。第一, Δi_{d1} 和 Δi_{d2} 在 r_o 为有限值的情况下并不是完全相等,因为在这种情况下, v_{ds1} 和 v_{ds2} 并不是精确地相等。 v_{ds1} 和 v_{ds2} 之间的差异是由于 M_1 和 M_{1A} 的 r_o 为有限值,而 M_1 和 M_{1A} 的 r_o 为有限值则是因为 M_3 和 M_{3A} 都为二极管连接形式,而对应的 M_4 和 M_{4A} 则不是。第二,当 r_o 为有限值时,电流镜的增益并非精确的单位增益,因为 v_{ds3} 和 v_{ds4} 并不是精确地相等。然而,由于这些考虑所引入的输出电阻的变化通常是可以忽略的。(这些作用同镜像电流源负载如何增加 4.3、5.3 节中所示差分对的共模抑制比有关。)

当 M_1 和 M_2 的源极接交流地时, M_1 的漏极电流为常数。而且, M_4 和 M_{4A} 之间的戴维宁等效电阻也很小,因为 M_3 和 M_{3A} 是连接成二极管形式。所以,假设 M_4 和 M_{4A} 的栅极接到交流地几乎没有引入任何误差。这样,计算 R_o 时可以利用图 6.29b,通过观察可得

$$R_o = (R_{out}|_{M2A}) // (R_{out}|_{M4A}) \quad (6.109)$$

第四章已经讨论过具有非零源电阻的晶体管电流源的输出电阻问题,对于带有源负反馈的共源放大器,其结果是相同的。 M_{2A} 的源极增量电阻是 M_2 的 r_o 和 M_{12} 的 r_o 的并联,而 M_{4A} 的源极增量电阻是 M_4 的 r_o 。由式(3.107)可得

$$\begin{aligned} R_{out}|_{M2A} &= (r_{o2} // r_{o12}) + r_{o2A} [1 + (g_{m2A} + g_{mb2A})(r_{o2} // r_{o12})] \\ &\approx [g_{m2A}(r_{o2} // r_{o12})] r_{o2A} \end{aligned} \quad (6.110)$$

$$\begin{aligned} R_{out}|_{M4A} &= r_{o4} + r_{o4A} [1 + (g_{m4A} + g_{mb4A})(r_{o4})] \\ &\approx (g_{m4A} r_{o4}) r_{o4A} \end{aligned} \quad (6.111)$$

这个电路的一个重要优点是负载电容 C_L 起到一个补偿作用(详见第九章)。因此,不用增加额外的电容(如上一个电路中的 C_c)来防止放大器在接入反馈环路时发生振荡。另外,在基本的二级运算放大器电路中, C_c 在高频段时会将信号的变化从电源前馈到运算放大器的输出,正如在 6.3.6 章节中所述。而这种前馈在诸如折叠式串接和伸缩式串接结构的单级运算放大器中不会出现,这样就提高了它们对电源 V_{SS} 的高频电源抑制比(PSRR)。

6.7 MOS 管有源串接运算放大器

一种增加折叠式串接运算放大器的增益但是不额外增加的放大级的方法,是增加一个串接层。见习题 6.21。尽管利用这种方法得到约为 $(g_m r_o)^3$ 的增益,但是它至少将输出摆幅在每个方向上降低了一个过载值。在工艺尺寸控制技术中,随着电源电压之间的差异的减少,这种降低变的越来越重要。为了增加运算放大器的增益,而同时不减少输出摆幅,可以运用第三章介绍过的有源串接技术。¹¹

图 6.30a 是一个带有有源串接的折叠式串接运算放大器。四个串接晶体管 M_{1A} 、 M_{2A} 、

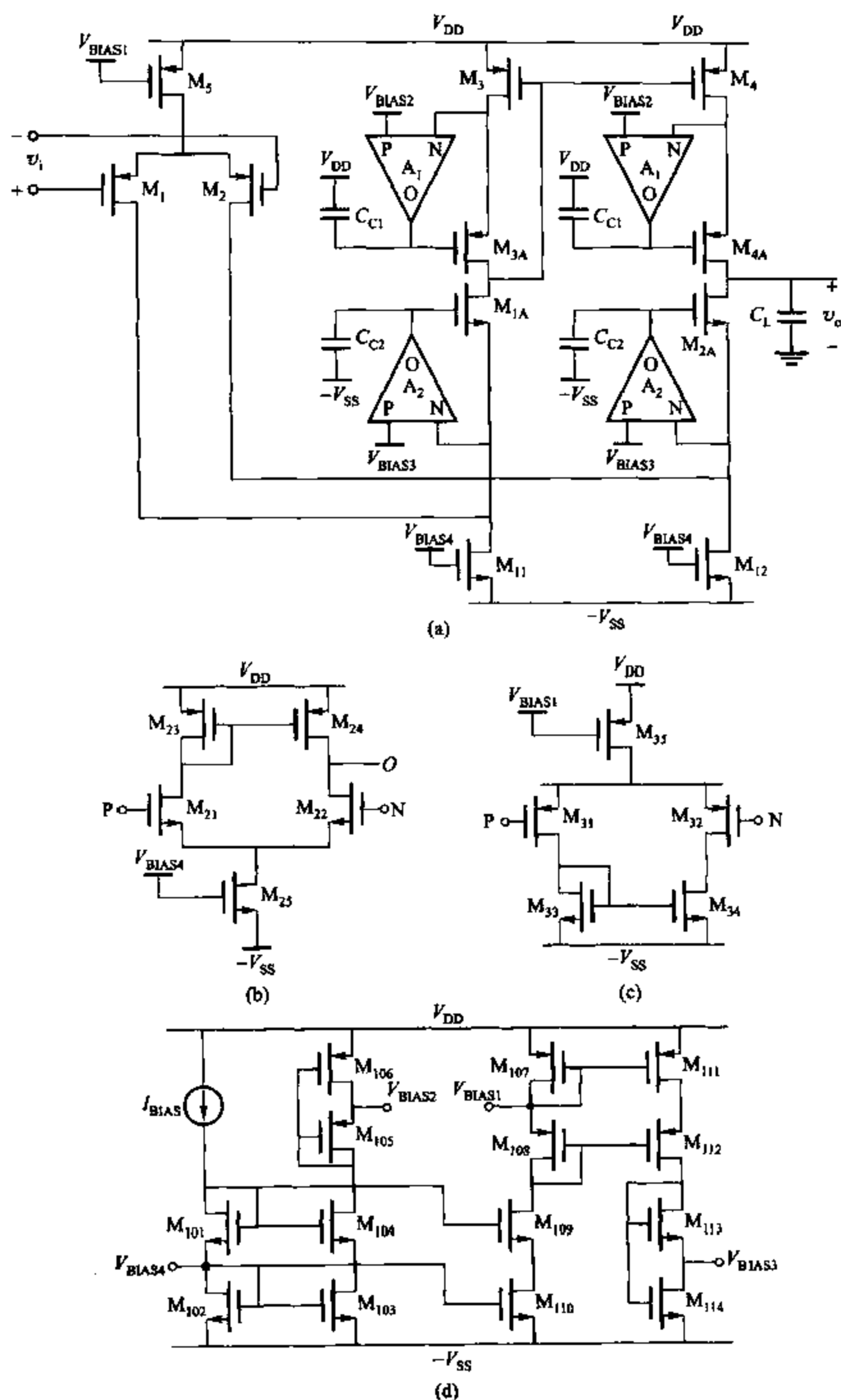


图 6.30 (a) 带有有源串接增益提高辅助放大器的折叠式串接运算放大器; (b) 增益为 A_1 的辅助放大器; (c) 增益为 A_2 的辅助放大器; (d) 偏置电路

M_{3A} 和 M_{4A} 的栅极不再是接入一个恒定的偏置电源,而是接入放大器的输出。而这些辅助的放大器本身则是连接在负反馈环路之中,以此来增加每一个从串接晶体管的漏极看进去的电阻。正如式(3.133)所示,有源串接形式的连接方式通过增加串接晶体管的有效跨导为原来的 $(a+1)$ 倍,从而增加了输出电阻。其中, a 是辅助放大器的电压增益。设驱动 M_{3A} 和 M_{4A} 的辅助放大器的增益为 A_1 。将式(3.133)代入式(6.111)中,可以得到从 M_{4A} 的漏极看进去输出电阻为

$$R_{out}|_{M4A} = r_{o4} + r_{o4A} \{1 + [g_{m4A}(A_1 + 1) + g_{mb4A}](r_{o4})\} \quad (6.112)$$

$$\approx (A_1 + 1)(g_{m4A} r_{o4}) r_{o4A}$$

设驱动 M_{1A} 和 M_{2A} 的辅助放大器的增益为 A_2 。将式(3.133)代入到式(6.110)中,可以得到从 M_{2A} 的漏极看进去的输出电阻为

$$R_{out}|_{M2A} = (r_{o2} // r_{o12}) + r_{o2A} \{1 + [g_{m2A}(A_2 + 1) + g_{mb2A}](r_{o2} // r_{o12})\} \quad (6.113)$$

$$\approx (A_2 + 1)[g_{m2A}(r_{o2} // r_{o12})] r_{o2A}$$

为了得到运算放大器的总增益,将式(6.112)和式(6.113)代入式(6.109),得到的结果代入式(6.107)。分析表明,折叠式串接运放增益的提高并不依赖于驱动 M_{1A} 和 M_{3A} 栅极的辅助放大器的使用。然而,图 6.30a 中仍然包括了这些辅助放大器,因为它们降低了折叠式串接运放的系统失调量。同时,使用完全相同的辅助放大器来驱动 M_{1A} 和 M_{2A} 的栅极能够在差分信号被镜像电流源转换为单端形式之前,保持两条信号路径的平衡。

在图 6.30a 中,增益为 A_1 的辅助放大器驱动 M_{3A} 和 M_{4A} 的栅极,以使得 M_3 和 M_4 的漏极与地之间地电压近似的等于 V_{BIAS2} 。为了简化,假设使所有 p 沟道和 n 沟道晶体管工作在放大区的过载电压分别为 V_{ovp} 和 V_{ovn} 。同时假设所有的 n 沟道晶体管的阈值为正,所有 p 沟道晶体管的阈值为负。为了使折叠式串接放大器的正输出摆幅最大, V_{DD} 同 V_{BIAS2} 之间的差值调节到接近 $|V_{ovp}|$ 。因此,增益为 A_1 的几个放大器必须工作在高共模输入的状态下。如果利用 p 沟道差分输入对,这些放大器的最大共模输入电压将不超过 $V_{DD} - |V_{tp}| - 2|V_{ovp}|$ 。为了克服这个限制,增益为 A_1 的放大器利用了 n 沟道差分输入对 M_{21} 和 M_{22} ,如图 6.30b 所示。实际上, V_{DD} 同增益为 A_1 的几个放大器的输出之间的直流电压约为 $|V_{tp}| + 2|V_{ovp}|$,以保证 M_3 和 M_4 的漏-源电压为 $|V_{ovp}|$ 。这样, M_{22} 的栅-漏电压接近 $|V_{tp}| + |V_{ovp}|$,而且 M_{22} 仅仅当它的阈值(考虑到沟道调制效应)大于这个值的时候才工作在放大区。

用类似的道理来解释为什么在增益为 A_2 的几个辅助放大器中使用 p 沟道差分输入对。如图 6.30c 所示。在这种情况下,共模输入接近 V_{SS} 。

图 6.30d 是一个用来产生图 6.30a~c 所需要的偏置的电路。 V_{DD} 与 V_{BIAS1} 之间的电压为 $|V_{tp}| + |V_{ovp}|$, V_{BIAS4} 与 V_{SS} 之间的电压为 $V_{tn} + V_{ovn}$ 。晶体管 M_{105} 迫使 M_{106} 工作在放大区,而且,如果满足

$$\left(\frac{W}{L}\right)_{106} \leq \frac{1}{3} \left(\frac{W}{L}\right)_{105} \quad (6.114)$$

那么,忽略式(4.73)中沟道调制效应,则 V_{DD} 与 V_{BIAS1} 之间的电压至少为 $|V_{ovp}|$ 。与此类似,如果满足条件

$$\left(\frac{W}{L}\right)_{114} \leq \frac{1}{3} \left(\frac{W}{L}\right)_{113} \quad (6.115)$$

那么, V_{BIAS3} 与 V_{SS} 之间的电压至少为 V_{ovn} 。

图 6.30a 所示的电路结构有一个潜在的问题,就是围绕辅助放大器的反馈回路的不稳定性问题。为了避免不稳定的情况发生,可以在每个辅助放大器的输出和小信号地之间放一个补偿电容。由于这些放大倍数为 A_1 的放大器是用来提高 p 沟道镜像电流源的性能,其中的信号都是以 V_{DD} 作为参考, A_1 放大器的补偿电容 C_{C1} 都接在 V_{DD} 上。与此类似,放大倍数为 A_2 的放大器的补偿电容 C_{C2} 都接在 V_{SS} 上。之所以要加这些电容,是因为通过观察,可以发现从 M_{1A} 、 M_{2A} 、 M_{3A} 和 M_{4A} 的栅极看进去的电容可能相当小,其原因,是因为这些晶体管的栅-源电容组成了自举电路。这意味着,当相应的漏极电流恒定时,源极将跟随栅极的变化而变化。如果栅-源的电压精确地为常数,将没有交流电流通过栅-源电容,因而从串接晶体管的栅极看进去的电容同它们的栅-源电容无关。事实上,由于折叠式串接放大电路的差分输入变化,引起漏极电流的变化,栅-源电压并非精确的常数,但是,自举效应则是相当重要的。其结果是,辅助放大器的负载电容将主要由寄生效应决定,而如果没有在每个辅助放大器的输出端增加一个电容,这种寄生效应在动态变化过程中将产生显著变化。关于反馈放大器的稳定性问题将在第九章详细讨论。

6.8 双极型运算放大器

大多数双极型晶体管运算放大器的简化拓扑结构如图 6.31 所示。与基本的二级 MOS 运算放大器一样,这个电路由输入级和第二级构成。其中,输入级包括一个差分对输入和一个镜像电流源负载,第二级由一个共射放大器和有源负载构成。大多数 MOS 工艺采用互补型工艺,因为在相同的工艺条件下, p 沟道晶体管的性能几乎和 n 沟道晶体管一样好。然而,正如在 2.5.2 章节中所介绍的,大多数双极型晶体管工艺制造的 pnp 晶体管,要远远比在相同加工过程中制造出来的 npn 管差,因为要用低掺杂 n 型外延材料来做 pnp 晶体管的衬底。因此,集电极与基极之间的耗尽层大部分向基极扩散,基极必须做的足够宽来容纳这一耗尽层。由式(1.211)可以得到,双极型晶体管的转折频率同这一宽度成反比, pnp 晶体管的 f_T 通常要比 npn 晶体管的 f_T 低得多。尽管 pnp 晶体管的性能能够通过增加集成电路工艺的复杂性得到

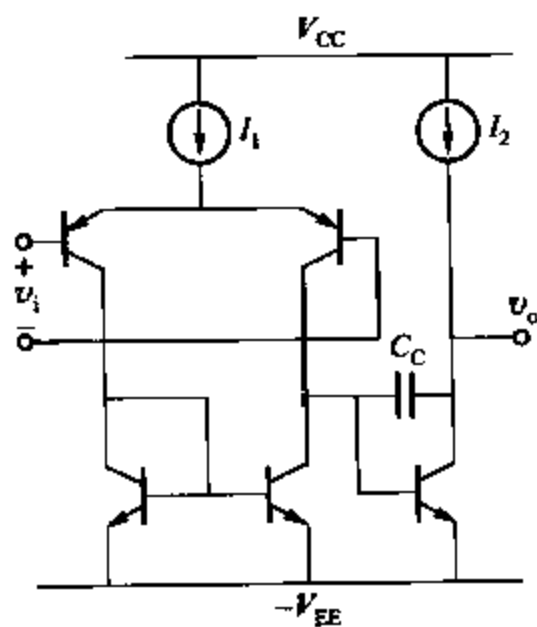


图 6.31 基本二级双极型运算放大器

提高,但是这种方法会增加成本。为了使成本最低,双极型运算放大器设计中的一个关键性的问题,通常是如何利用高速 npn 晶体管来设计高性能的运算放大器,而不是利用低速的 pnp 晶体管。一个典型的例子就是 741 运算放大器,其中的 pnp 器件是以一种可以降低它们对频率响应的影响的方式使用的。

在这一章节中,着重分析 741 运算放大器。这是一种广泛使用且性能优越的运算放大器。它之所以得到广泛应用,首先是因为它采用内部补偿的方式,其次,它是一个相对简单的电路,而且能够安装在小于 1 mm(40 mils)的模板上。它具有大的电压增益、良好的共模抑制比以及较大的差模输入电压范围。

741 电路如图 6.32a 所示。³ 对它的分析分为三部分。首先对电路的工作状态做定性的分析;然后对它做直流分析,以得到电路的静态工作电流和电压;最后,对电路做小信号分析,从而得到电路的电压增益、输入电阻和输出电阻。

电路的定性分析 图 6.32b 是一个简化的原理性电路图。输入晶体管 Q_1 和 Q_2 为射极跟随器,目的是得到高输入电阻,同时保持低输入电流。它们驱动 pnp 型共基差分对 Q_3 和 Q_4 的射极。晶体管 Q_5 和 Q_6 形成 Q_3 和 Q_4 的有源负载。这 6 个晶体管一起完成三个功能,这三个功能是实现单片集成运算放大器所必需的。

① 提供一个对共模电压相对不敏感的差分输入,具有高输入电阻,提供一定的电压增益。希望实现输入级的电压增益,因为在以输入作为参考时,与第二级和随后的放大级相关连的噪声和补偿电压,是分开讨论的。

② 电位偏移。标准的 IC 工艺做出来的 pnp 晶体管,如 2.5.2 章节所述,频率响应很差。所以运算放大器的最理想的实现方式,就是只使用 npn 晶体管。然而,在放大器电路中的某些环节,为了使输出信号的电压摆幅尽可能的大,必须有直流电位偏移电路将信号路径朝相反的方向平移。在诸如 741 这样的通用放大器中,这种平移通常是通过在信号路径中插入横向 pnp 晶体管来实现的。在 741 中,pnp 晶体管 Q_3 、 Q_4 的射极工作在输入电压的附近,而它们的集电极保持在一个与负电源很接近的电压。

③ 差分到单端的转换。这一章节考虑的都是差分输入单端输出运算放大器。所以,在电路中,必须有一个差分到单端的转换过程。最简单的方法就是简单地从射极耦合电路的输出当中抽取一个作为单端输出电路地输入。但是,正如在第四章中所述,这种方法对共模输入电压相当敏感。为了减小对共模输入电压的敏感程度,利用了一个有源负载电路,由 Q_5 和 Q_6 实现。

晶体管 Q_{16} 是一个射极跟随器,用来减小 Q_{17} 对带有有源负载的第一级的负载效应。而晶体管 Q_{17} 是一个共射放大器,其有源负载由 Q_{13B} 构成的。这一级放大电路能提供很大的电压增益。晶体管 Q_{23} 是另一个射极跟随器,用来防止输出级对放大级产生负载效应。 Q_{14} 和 Q_{20} 是一个的甲乙类输出级。

Q_{13} 是一个多集电极的横向 pnp 晶体管。其几何图形如图 6.33 所示。注意到,集电极环被分割成两个部分,一部分与射极外围的 3/4 相对,用来吸收从这些部位注入的空穴;另一部分与射极外围的 1/4 相对,用来吸收从这些部位注入的空穴。因此,这种结构类似于两

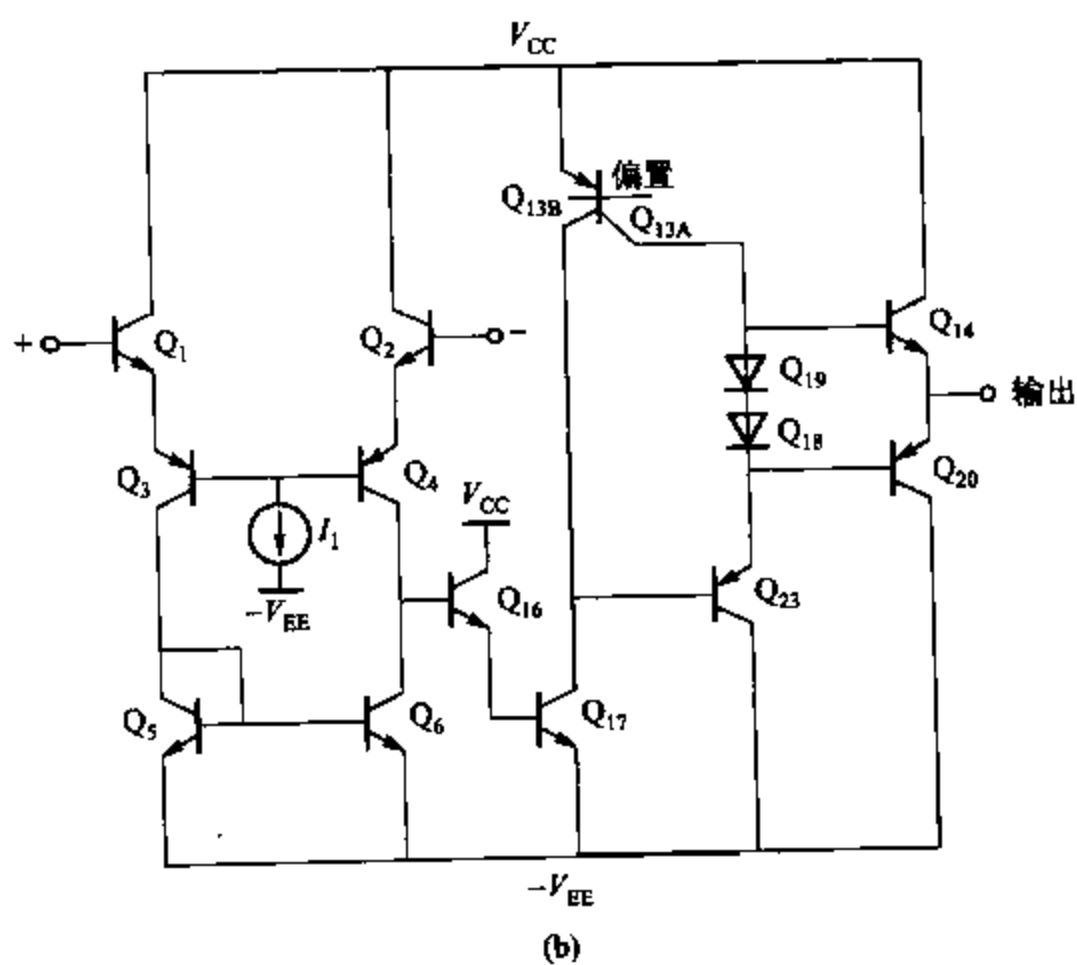
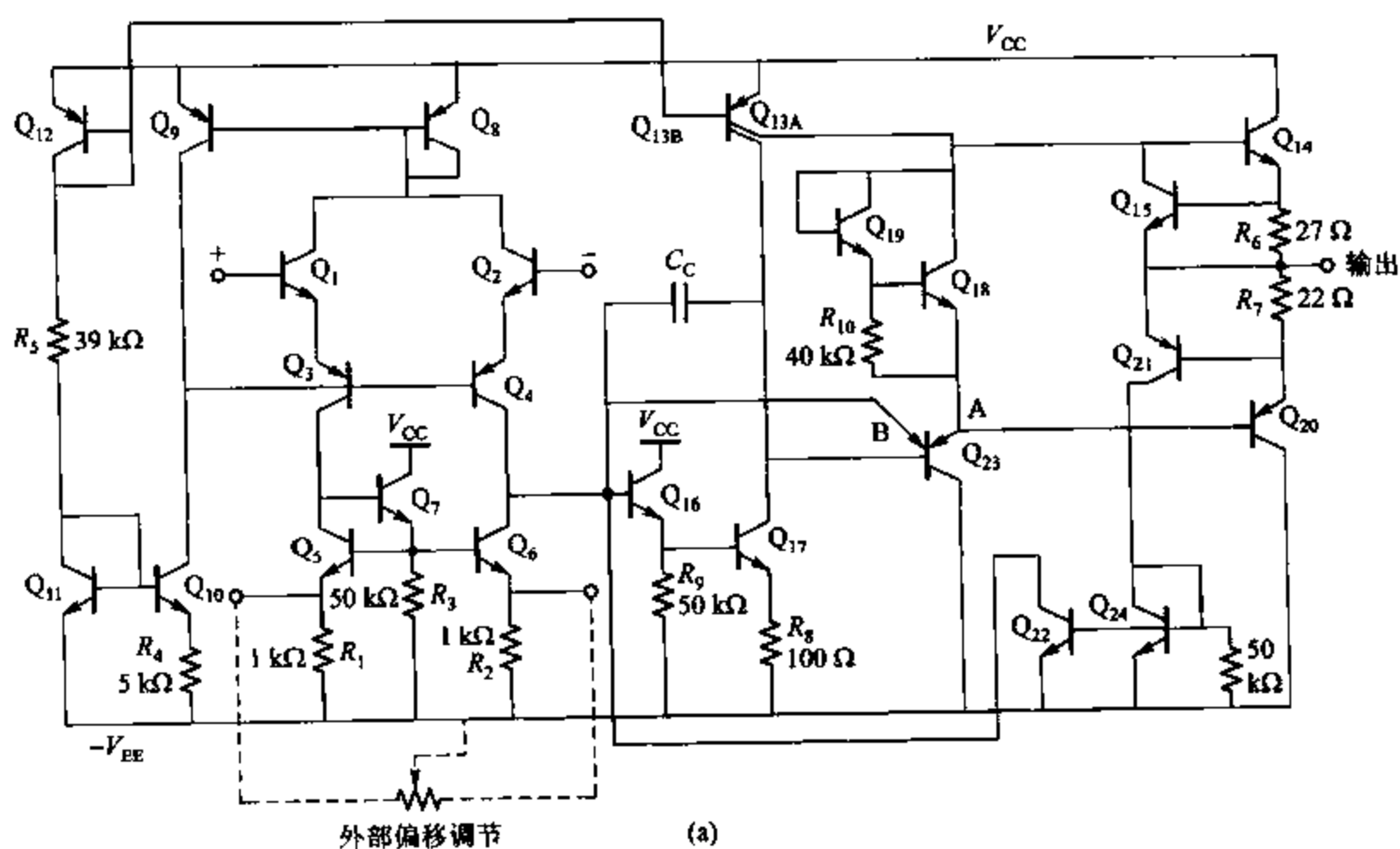


图 6.32 (a) 741 运算放大器电路; (b) 741 的简化概念性示意图

个基极和射极并联在一起的两个 pnp 晶体管, 其中一个晶体管的 I_s 是标准 pnp 晶体管的

1/4, 而另一个的 I_S 为射极完全闭合的标准 pnp 晶体管的 3/4。等效电路如图 6.33 所示。

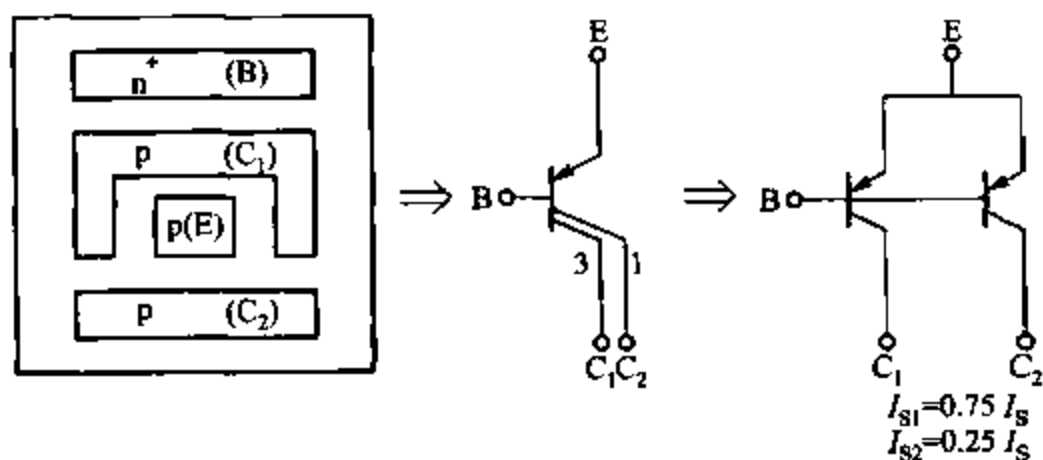


图 6.33 多集电极横向 pnp 管的等效电路(其中 I_S 等于两个集电极连在一起时的饱和电流)

6.8.1 741 运算放大器的直流分析

评价电路性能的第一步, 就是确定电路中所有晶体管的静态工作电流和电压。由于涉及极高的增益, 给这里的直流分析带来了一个特殊的问题。如果假设两个输入端都接地, 然后来计算输出电压, 会发现晶体管 β 值或者输出电阻的细微变化, 将会给计算的输出电压带来极大的影响。事实上, 通过计算, 可以发现, 输出级并不是工作在放大区, 而是始终有一个管子处于饱和和工作状态。在实际中, 这个问题是存在的。对于增益为 10^5 的放大器, 在 $\pm 10\text{ V}$ 电源供电、输入电压为零的情况下, 为使输出达到饱和, 仅仅需要 0.1 mV 的输入失调电压。因此, 为进行直流分析, 首先假设, 电路处在一个闭合的反馈回路中, 这一反馈使得输出处在一些特殊的电压下, 通常为零。这样, 就能重新来分析确定电路的工作点。

为了使分析简化, 做第二个假设。假设对于直流分析而言, 晶体管的输出电阻对于流经电路的直流电流没有很大的影响。这一假设在计算电流时可能带来 $10\% \sim 20\%$ 的误差。当然, 在小信号分析当中, 晶体管的输出电阻必须包含进去, 因为它将极大的影响有源负载放大器的增益。

首先计算图 6.32a 中偏置电流源 Q_{10} 和 Q_{13AB} 的电流。其子电路如图 6.34 所示。忽略基极电流, 同时假设晶体管工作在正向放大区, 计算出参考电流为

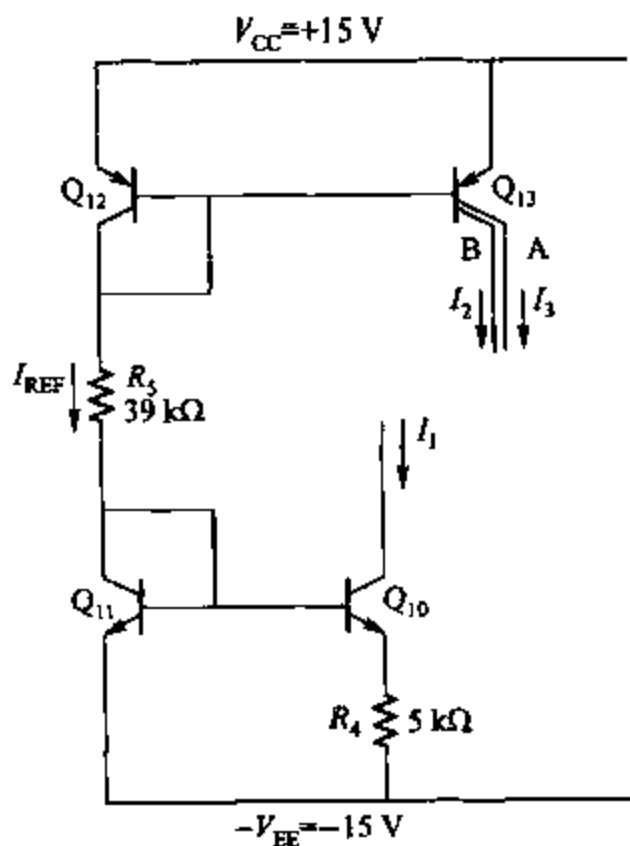


图 6.34 741 的偏置电流电路

$$I_{REF} = \frac{V_{CC} + V_{EE} - 2V_{BE(on)}}{39 \text{ k}\Omega} = 0.73 \text{ mA}$$

其中,假设 $V_{BE(on)} = 0.7 \text{ V}$ 。

在第四章已经阐述, Q_{11} 和 Q_{10} 组合起来构成一个 Widlar 镜像电流源。输出电流 I_1 必须通过用试探法解以下关系式得到

$$V_T \ln(I_{REF}/I_1) = (5 \text{ k}\Omega) I_1$$

其结果是

$$I_1 = 19 \text{ }\mu\text{A}$$

电流 I_2 和 I_3 分别是参考电压的 $3/4$ 和 $1/4$, 即

$$I_2 = 0.55 \text{ mA} \quad I_3 = 0.18 \text{ mA}$$

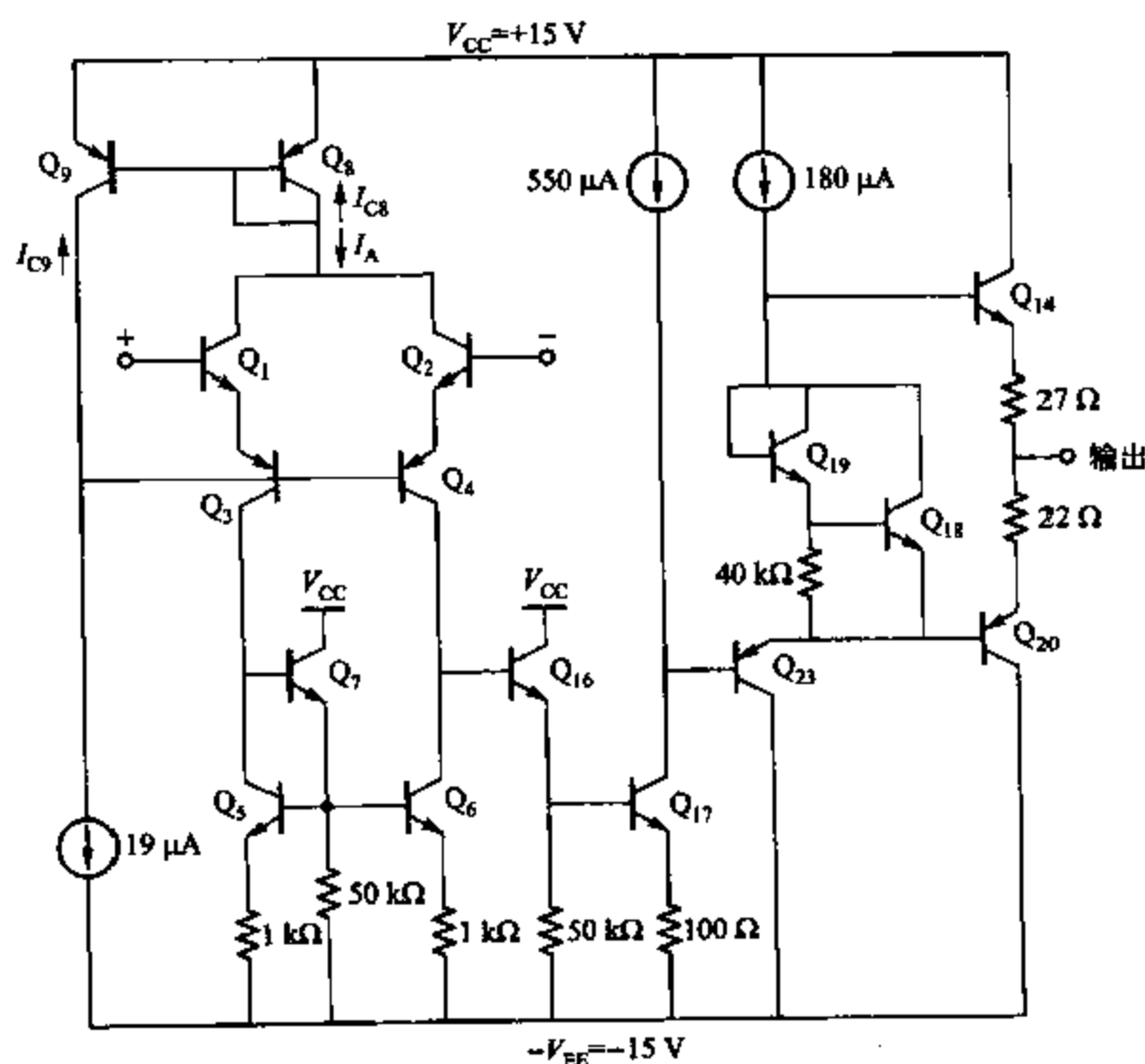


图 6.35 带有理想偏置电流源的 741 简化示意图

现在,电路就能简化成图 6.35 所示的形式。首先确定输入级的偏置电流。在进行这种分析时,忽略基极的直流电流流过 npn 晶体管时的影响,因为这些晶体管的 β 值通常可达数百。然而,由于横向 pnp 晶体管的 β 值通常远小于 npn 晶体管,需要考虑 pnp 管的基极电流的影响。由于 Q_8 和 Q_9 完全相同,并且厄尔利电压为有限值的影响也忽略不计,所以有 $I_{C8} = I_{C9}$ 。因此,在 Q_8 的集电极由 KCL 可得

$$I_A = -I_{C9}(1 + 2/\beta_{pnp}) \quad (6.116)$$

如果忽略 Q_1 和 Q_2 的基极电流,那么在 Q_1 和 Q_2 的集电极由 KCL 结合式(6.116)可以得到

$$I_{C1} + I_{C2} = I_A = I_{E3} + I_{E4} = -I_{C9}(1 + 2/\beta_{\text{pnp}}) \quad (6.117)$$

在 Q_9 的集电极,由 KCL 定律有

$$\begin{aligned} 19 \mu\text{A} &= -I_{C9} + I_{E3}/(1 + \beta_{\text{pnp}}) + I_{E4}/(1 + \beta_{\text{pnp}}) \\ &= -I_{C9}[1 + (1 + 2/\beta_{\text{pnp}})/(1 + \beta_{\text{pnp}})] \end{aligned} \quad (6.118)$$

其中用到了式(6.117)。将式(6.118)代入(6.116)得

$$I_A = 19 \mu\text{A} \left[\frac{1 + \frac{2}{\beta_{\text{pnp}}}}{1 + \frac{2}{1 + \beta_{\text{pnp}}}} \right] \approx 19 \mu\text{A} \left(1 + \frac{1}{\beta_{\text{pnp}}} \right) \quad (6.119)$$

将式(6.119)代入式(6.117),并利用 $I_{E3} + I_{E4} = (I_{C3} + I_{C4})(1 + 1/\beta_{\text{pnp}})$ 得

$$I_{C3} + I_{C4} = - \left[\frac{19 \mu\text{A}}{1 + \frac{2}{\beta_{\text{pnp}}(\beta_{\text{pnp}} + 2)}} \right] \approx -19 \mu\text{A} \quad (6.120)$$

式(6.120)表明 741 的输入级被偏置,因此 I_{C3} 和 I_{C4} 的和对 β_{pnp} 不敏感,并且在大小上与 I_{C10} 大致相等。通过观察 741 的输入级,也能得到这一结论,因为它利用了一个类似于威尔逊镜像电流源的结构。在图 4.14 中,晶体管 Q_1 和 Q_3 检测并反馈 Q_2 的电流,也就是威尔逊镜像电流源的输出电流。在图 6.35 中,晶体管 Q_8 和 Q_9 检测并反馈 Q_3 与 Q_4 的电流之和。因此,如果把 741 运算放大器中的 $I_{C3} + I_{C4}$ 看成威尔逊镜像电流源的输出,该镜像电流源的输入为 $I_{C10} = 19 \mu\text{A}$,则式(6.120)与式(4.100)相符。

如果差分运算放大器的输入电压为零,那么 Q_1 和 Q_2 的基极-发射极电压相等,电流 I_A 被分成相等的两部分。这样,如果 pnp 管的 β 足够大,则 $Q_1 \sim Q_6$ 每个晶体管的集电极电流大约为 $9.5 \mu\text{A}$ 。而另一方面,如果差分运算放大器的输入电压不为零,那么 Q_1 和 Q_2 的基极-发射极电压不相等。然而,在 Q_8 的集电极由 KCL 可知, $I_{C3} + I_{C4}$ 仍然可以由式(6.119)给出。

741 运算放大器输入级的反馈被用来稳定 I_{C3} 和 I_{C4} 的和,这是一个共模负反馈环路的例子。 $19 \mu\text{A}$ 的电流源下拉 Q_3 与 Q_4 的基极,增加 Q_3 、 Q_4 、 Q_1 和 Q_2 、 Q_8 和 Q_9 的电流,直到 $|I_{C9}| \approx 19 \mu\text{A}$ 并达到稳态。这种反馈作用只影响到共模(偏置)量,对电路中的差分信号没有影响,因为 Q_3 、 Q_4 的基极和 Q_1 、 Q_2 的集电极在差模信号下为交流地。共模反馈将在第十二章讨论。

如果忽略基极电流,晶体管 Q_5 和 Q_6 的集电极电流大小与晶体管 Q_3 与 Q_4 的集电极电流大小相等。现在,必须计算出 Q_7 管的集电极电流。 Q_7 的发射极电流由 Q_5 和 Q_6 的基极电流以及流过 $50 \text{ k}\Omega$ 电阻的电流组成,其中,将 Q_5 和 Q_6 的基极电流忽略。电阻两端的电压为 Q_5 和 Q_6 的基极-发射极压降同与 Q_5 和 Q_6 串联的 $1 \text{ k}\Omega$ 电阻的压降之和。假设 I_s 为

10^{-14} A, 同时集电极电流为 $9.5 \mu\text{A}$, 那么发射极 - 基极压降为 537 mV 。 $1 \text{ k}\Omega$ 电阻的压降为 9.5 mV , 所以, 流经 $50 \text{ k}\Omega$ 电阻的电流为 $547 \text{ mV}/50 \text{ k}\Omega = 11 \mu\text{A}$ 。即 Q_7 的集电极电流为 $11 \mu\text{A}$ 。

然后, 考虑图 6.35 中的 Q_{16} 。从 Q_{17} 到 $-V_{EE}$ 之间的电压等于 Q_{17} 的基极 - 发射极压降加上 100Ω 电阻上的压降。如果假设成立, 放大器的输出电压为零, 那么 Q_{17} 的集电极电流必须同电流源 Q_{13B} 所提供的电流相等, 为 $550 \mu\text{A}$ 。这样, Q_{17} 的基极相对 $-V_{EE}$ 的电压为

$$V_{B17} = 550 \mu\text{A} \times 100 + V_T \ln(550 \times 10^{-6}/10^{-14}) = (55 + 642) \text{ mV} = 697 \text{ mV} \quad (6.121)$$

假设 β 值为 250, Q_{17} 的基极电流为

$$I_{B17} = 550 \mu\text{A}/250 = 2.2 \mu\text{A} \quad (6.122)$$

因此, Q_{16} 的集电极电流为其发射极的 $50 \text{ k}\Omega$ 电阻的电流与 Q_{17} 的基极电流的和, 即

$$I_{C16} = 697 \text{ mV}/50 \text{ k}\Omega + 2.2 \mu\text{A} = 16 \mu\text{A} \quad (6.123)$$

下面分析图 6.36 所示的输出级, 暂时假设基极电流可以忽略。如果满足这个条件, 那么电流源产生的全部电流 $180 \mu\text{A}$ 都流过晶体管 Q_{23} 。现在, 必须确定 Q_{14} 、 Q_{18} 、 Q_{19} 和 Q_{20} 的直流偏置。假设电路以反馈方式连接, 调节输出电压为 0 V , 此时输出电流也为零。因此, I_{C14} 和 I_{C20} 大小相等。为得到 I_{C18} 和 I_{C19} , 使用一种交互式的方法。首先, 忽略晶体管 Q_{18} 的基极电流, 这样, Q_{19} 的集电极电流将约等于 $0.6 \text{ V}/40 \text{ k}\Omega$, 即 $15 \mu\text{A}$ 。在这种假设的前提下, Q_{18} 的集电极电流约为 $(180 - 15) \mu\text{A}$, 即 $165 \mu\text{A}$ 。其次, 将 Q_{18} 的基极电流考虑进来, 重新计算 Q_{19} 的集电极电流, 为

$$I_{C19} = 165 \mu\text{A}/\beta_F + V_T \ln(165 \mu\text{A}/10^{-14} \text{ A})/40 \text{ k}\Omega = 16 \mu\text{A} \quad (6.124)$$

从而, $I_{C18} = (180 - 16) \mu\text{A} = 164 \mu\text{A}$ 。需用更多的迭代增加精确程度。然而, 第二步迭代的结果与第一步的结果相差很小, 因此, 这个已经是较为满意的结果。

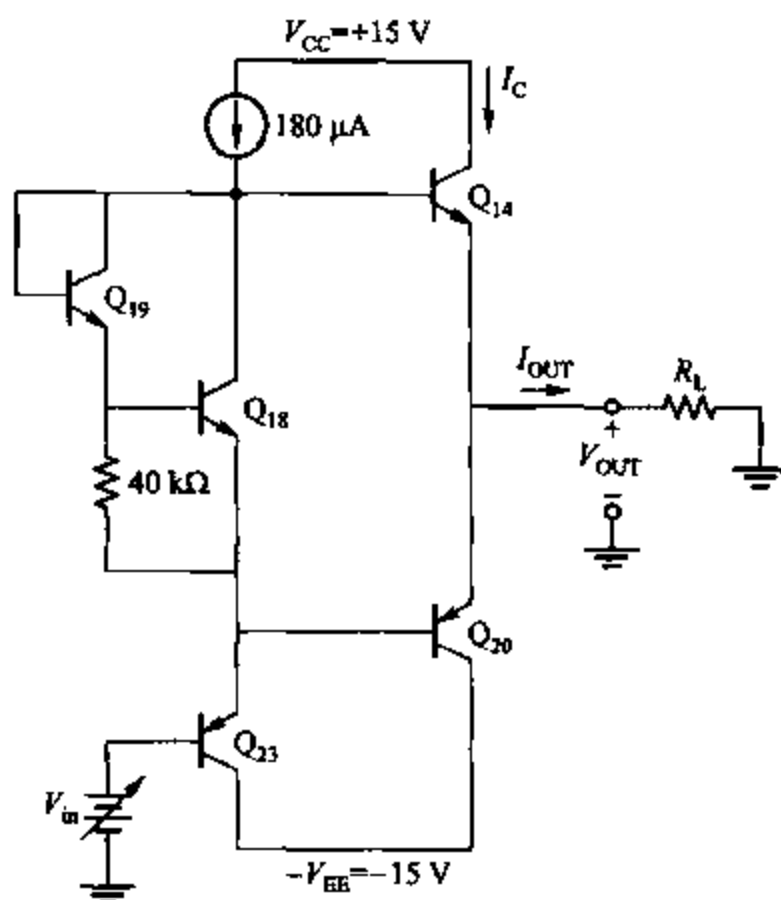
现在, 知道了 Q_{18} 和 Q_{19} 的电流, 就能利用式 (5.83) 来估计输出晶体管的偏置电流。为方便计算, 重新列出式 (5.83):

$$I_{C14} = -I_{C20} = \sqrt{I_{C19} I_{C18}} \cdot \sqrt{\frac{I_{S14} I_{S20}}{I_{S18} I_{S19}}} \quad (6.125)$$

这里, 忽略了与 Q_{14} 和 Q_{20} 的发射极串联的小电阻上的压降。输出电阻中的实际静态电流取决于它们的 I_S 值, 而 I_S 值取决于它们的物理尺寸。当用小电阻作为输出的负载时, 这两个晶体管都必须承载大电流, 并保持良好的 β 值, 所以它们的尺寸都比电路中的其他晶体管要大。具体的制造尺寸随制造工艺的不同而不同, 但是, 这些器件的 I_S 的典型值大概是小尺寸器件的三倍。因此

$$I_{C14} = -I_{C20} = \sqrt{(16 \mu\text{A} \times 164 \mu\text{A}) \times 3} \approx 154 \mu\text{A} \quad (6.126)$$

再次参考图 6.32a 所示的电路, 可以看到, 电路中包含一些仅仅在过载时才起作用的器件。晶体管 Q_{15} 、 Q_{21} 、 Q_{22} 、 Q_{24} 和 Q_{23B} 在通常状况下处于截止状态。 Q_{15} 仅仅在 R_6 两端的压降超过 550 mV 的时候才导通。当 Q_{15} 导通时, 它将 Q_{14} 的发射极电流限制在 $V_{BE(on)}/R_6$ 。当输出电流继续增加时, 增加的电流都流经 Q_{15} , 从它的集电极到发射极, 增益约为单位增

图 6.36 741 输出级示意图。为计算偏置电流, V_{in} 置为零

益。由于能够给 Q_{15} 提供的最大电流为 $I_{C13A} = 180 \mu A$, 所以最大的输出电流几乎完全通过 Q_{14} 的发射极, 约为 $0.55 V / 27 \Omega \approx 20 mA$ 。因此, Q_{15} 提供短路保护, 一旦输出被短路时, 它可以防止过大的电流和耗散功率对放大器造成损坏, 如将输出接在负电源上。

晶体管 Q_{21} 、 Q_{22} 和 Q_{24} 在输出为漏电流时起到一个类似的作用, 例如输出接在正电源上。正如在前一种情况下, Q_{21} 仅仅在 R_7 两端的压降超过 $550 mV$ 的时候才导通。然而, 在这种情况下, Q_{21} 的集电极不是简单地接在 Q_{20} 的基极, 因为 Q_{23A} 并不能起到电流源的作用。作为一个射极跟随器, 当它的基极电压降低时, Q_{23} 吸收增加的射极电流。为了限制流过 Q_{20} 的最大电流, 以保证不损坏它, Q_{23A} 的电流在这种情况下也必须加以限制。因此, 当电流流过 Q_{21} 时, 电流就通过 Q_{24} 镜像到 Q_{22} , 而 Q_{22} 下拉至 Q_{16} 的基极。由于从 Q_{16} 的基极到发射极的放大是同相的而从 Q_{17} 的基极到集电极的放大是反相的, 将 Q_{16} 的基极电位下拉将会增加 Q_{23A} 的基极电压。这一反馈环路将 Q_{20} 的最大电流限制在 $V_{EB21(\infty)} / R_7$, 即 $25 mA$ 。

最后, 如果允许 Q_{17} 达到饱和状态, 那么为了防止 Q_{16} 被烧毁, 需要在 pnp 晶体管 Q_{23} 的衬底上增加一个额外的发射极。可以把这个额外的发射极当作一个单端的晶体管 Q_{23B} 来考虑。假设反相输入端过载, 以使得它与同相输入端电位差足够大, 从而确保 Q_{17} 工作在截止状态。在没有 Q_{23B} 的情况下, 流经 Q_{16} 的基极的电流为 $19 \mu A$ 。这个电流将被放大 Q_{16} 的 β 倍, 这一 β 值可能高达 1000 , 这样, 发射极电流将达到 $19 mA$ 。这个电流流经 Q_{17} 的基极 (并使之饱和), 最后通过 Q_{17} 的发射极的 100Ω 电阻流向 $-V_{EE}$ 。其结果是, Q_{16} 的耗散功率将达到 $19 mA \times 30 V$, 也就是将近 $600 mW$ 。 Q_{23} 额外的发射极在 Q_{17} 的 V_{CB} 达到 $0 V$ 时, 可

以将基极驱动电路从 Q_{16} 转移开,从而防止 Q_{17} 进入饱和。由于 Q_{17} 不能达到饱和,其基极电流在所有的情况下都保持小电流,进而将 Q_{16} 的耗散功率限制到大约 $16 \mu\text{A} \times 30 \text{ V}$,即约 0.5 mW 。

6.8.2 741 运算放大器的小信号分析

下一个问题是确定放大器的小信号特性。将电路划分成三个级——输入级、放大级和输出级——然后确定每一级的输入电阻、输出电阻和跨导。首先考虑图 6.37 所示的输入级的交流电路。这里,假设电路只有差模输入,共模输入将随后再讨论。这样, Q_1 、 Q_2 的集电极和 Q_3 、 Q_4 的基极都接交流地。为了计算这一级的跨导,首先将输出接地,计算在差模输入时的输出电流。由于将第一级的输出接小信号地,有源负载 $Q_5 \sim Q_7$ 产生一个同 Q_3 的集电极电流 i_{c3} 大小大致相等、极性相反的电流 i_{c6} 。此时, i_{out} 等于 $-(i_{c4} - i_{c3})$,因此,为计算跨导 G_m 只需要考虑图 6.38a 所示的电路。由于 Q_3 的集电极电阻同它的 r_o 比较起来相对较小,在计算的过程当中不需要考虑晶体管的输出电阻。图 6.38a 的小信号等效半边电路如图 6.38b 所示。由半边电路可得

$$v_{id}/2 = v_1 - v_3 \quad (6.127)$$

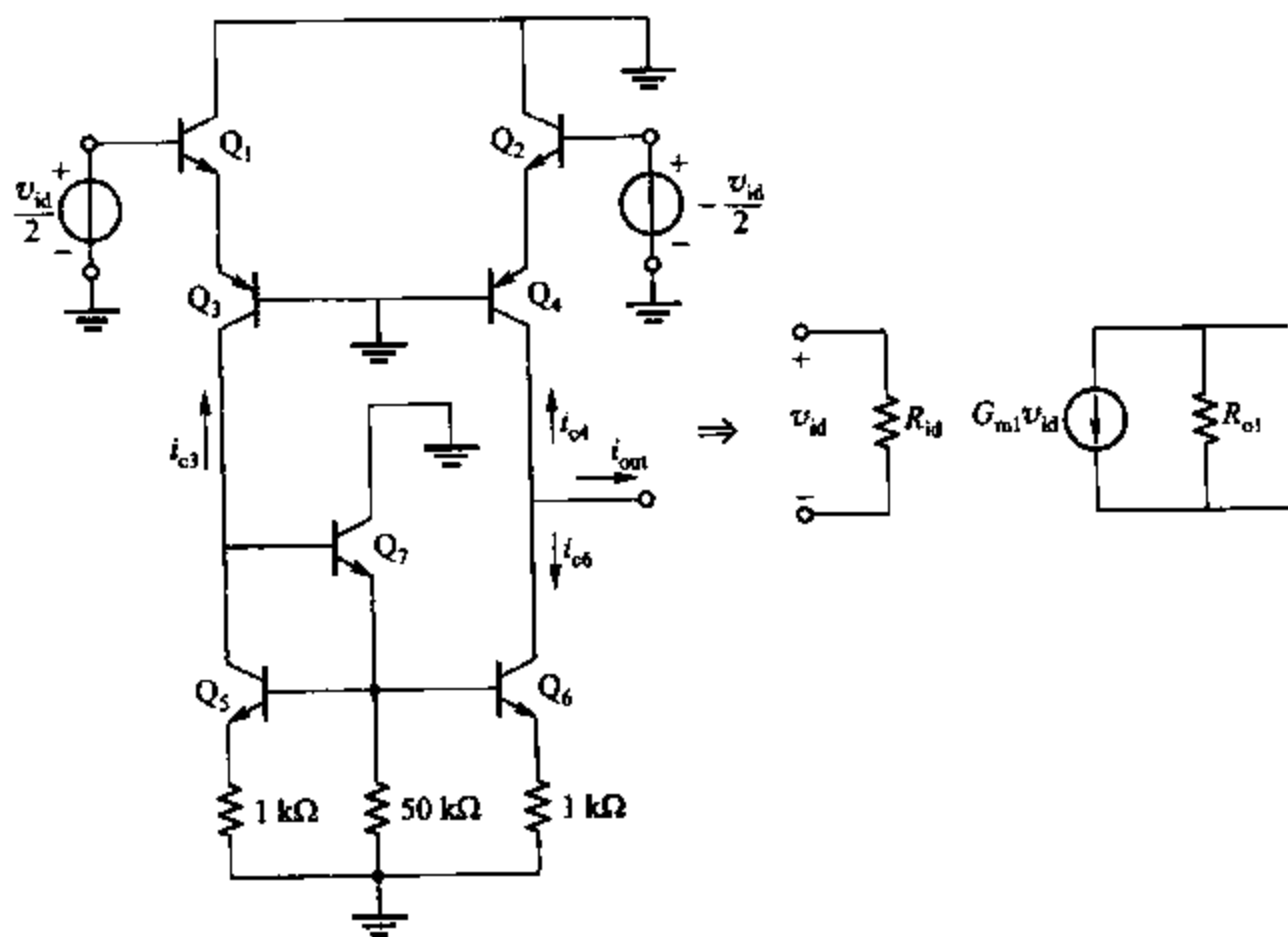


图 6.37 输入级的交流和小信号电路图以及其二端口等效电路

在发射极由 KCL 可得

$$v_1 g_{m1} \left(1 + \frac{1}{\beta_{o1}} \right) = -v_3 g_{m3} \left(1 + \frac{1}{\beta_{o3}} \right) \quad (6.128)$$

其中, β_{o1} 是 Q_1 的 β_o , β_{o3} 是 Q_3 的 β_o 。将两个等式联立,得

$$v_{id}/2 = -v_3 \left[\frac{g_{m3} \left(1 + \frac{1}{\beta_{03}} \right)}{g_{m1} \left(1 + \frac{1}{\beta_{01}} \right)} + 1 \right] \quad (6.129)$$

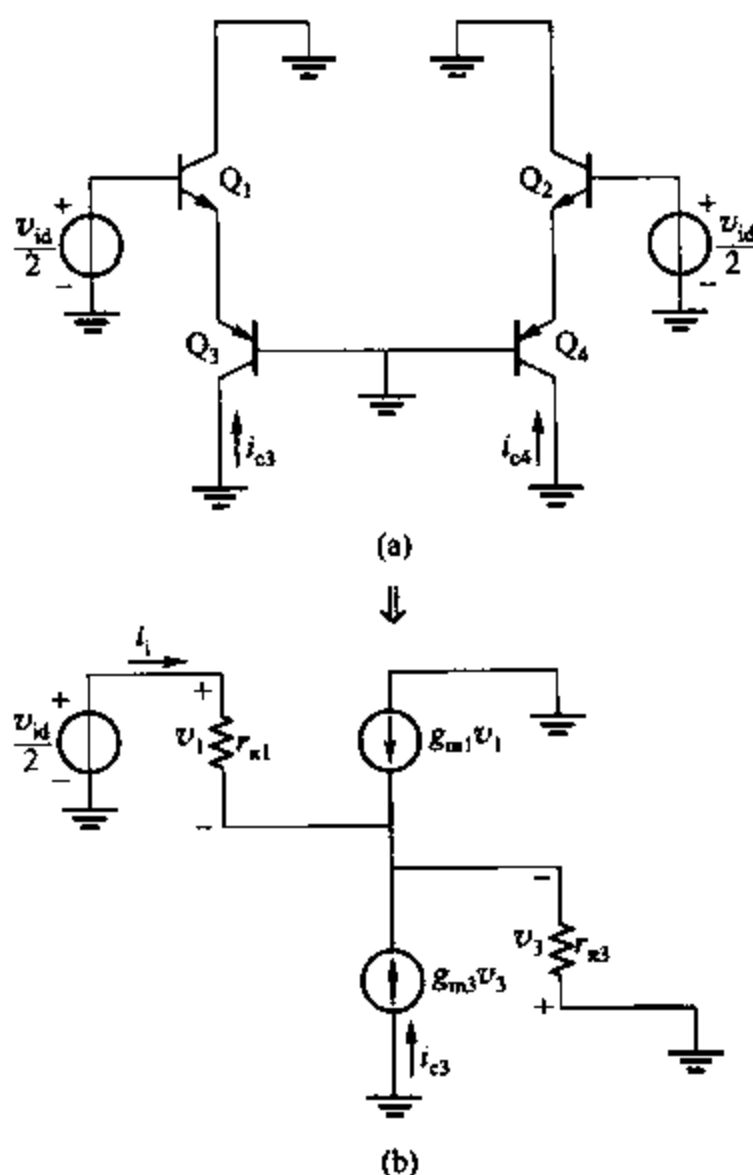


图 6.38 为了计算输入级的传输阻抗的等效电路图

(a) 交流电路; (b) 小信号等效半边电路

假设 $|I_{C1}| = |I_{C3}|$, 那么 $g_{m3} = g_{m1}$ 。同时, 假设 $\beta_{01}, \beta_{03} \gg 1$, 有

$$v_3 = -\frac{v_{id}}{4} \quad (6.130)$$

且

$$i_{c3} = -\frac{g_{m3} v_{id}}{4} \quad (6.131)$$

根据电路的对称性, 有

$$i_{c4} = +\frac{g_{m3} v_{id}}{4} \quad (6.132)$$

并且由图 6.37 有

$$i_{out} = -i_{c4} + i_{c3} = -\frac{g_{m3} v_{id}}{2} \quad (6.133)$$

因此, 输入级的总跨导为

$$G_{m1} = -i_{out}/v_{id} = g_{m1}/2 = 9.5 \mu A/2 V_T = \frac{1}{5.4 k\Omega} \quad (6.134)$$

由以上计算同样可以得出这一级的差模输入电阻。由图 6.38b, 从 Q_3 的发射极看进去的电阻 R_{eq} 为

$$R_{eq} = \frac{1}{g_{m3} \left(1 + \frac{1}{\beta_{03}} \right)}$$

这一电阻在 Q_1 的发射极上, 所以, 利用式(3.90), 可以得到

$$\frac{v_{id}}{2} = r_{\pi 1} + (1 + \beta_{01}) R_{eq} = r_{\pi 1} + \frac{(1 + \beta_{01})}{g_{m3} \left(1 + \frac{1}{\beta_{03}} \right)} \quad (6.135)$$

再次假设 $\beta_{01} \gg 1, \beta_{03} \gg 1$, 并且 $g_{m3} = g_{m1}$, 有

$$v_{id}/2 = (r_{\pi 1} + \beta_{01}/g_{m3}) i_i = (r_{\pi 1} + r_{\pi 1}) i_i \quad (6.136)$$

解得 R_{id} 为

$$v_{id}/i_i = R_{id} = 4r_{\pi 1} = 2.7 M\Omega \quad (6.137)$$

其中, 假设 $\beta_0 = 250$ 。

因此, 放大器的差模输入电阻为单个输入晶体管输入电阻的四倍。在以上的计算中, 忽略了这样一个事实: 当 v_{id} 变化时, 第一级的输出电压会随之改变, 并通过 Q_4 的输出电阻对输入产生反馈作用。这个结果将导致从两个输入端看进去时的输入电阻不一致。

现在来计算输入级的输出电阻 R_{o1} 。为了得到 R_{o1} , 先将两个输入端都接交流地。在这种情况下, 尽管输入电压没有变化, 但是 Q_1, Q_2 的集电极, 以及 Q_3, Q_4 基极并不是接在交流地。然而, 如图 6.39a 所示, 因为镜像电流源 $Q_5 \sim Q_7$ 的作用, 将这些结点接到小信号地几乎不会对 R_{o1} 产生什么影响, 其解释如下。

令 i_{cn} 为 Q_n 的小信号集电极电流, 其中 n 为 $1 \leq n \leq 7$ 的整数。同时, 令 Δi_{cn} 为将 $Q_1 \sim Q_2$ 的集电极和 Q_3, Q_4 的基极接交流地时 i_{cn} 的变化量, 如图 6.39a。如果 $Q_1 \sim Q_4$ 的 $r_o \rightarrow \infty$, 则 $\Delta i_{c3} = \Delta i_{c4}$, 因为将 Q_3, Q_4 的基极接交流地时对 Q_3, Q_4 的基极-发射极电压引起相等的变化。忽略基极电流, 那么 Δi_{c3} 流经 Q_5 的集电极, 然后镜像, 通过这一级的输出。如果 Q_5, Q_6 的 $r_o \rightarrow \infty$, 则镜像的增益为单位增益。因此, 在输出端, 由 KCL 可知, 忽略 Δi_{c4} 和 Δi_{c6} , 对输出电流 i_x 和输出电阻 R_{o1} 没有任何的影响。这样, 假设将 $Q_1 \sim Q_2$ 的集电极和 Q_3, Q_4 的基极接交流地, 就可以得到 R_{o1} 的值。在实际电路中, $Q_1 \sim Q_7$ 的 β_0 和 r_o 为有限值, 将这些点接在交流地时, R_{o1} 有轻微的改变, 其原因有两个。首先, Δi_{c3} 和 Δi_{c4} 在 r_o 为有限值的条件下并不是精确的相等, 因为 v_{ce3} 和 v_{ce4} 不相等。其次, 电流镜的小信号电流增益在 r_o 为有限值的条件下, 并不是精确的单位增益, 因为 v_{ce5} 和 v_{ce6} 不相等。同时, β_0 为有限值也给电流增益带来一些误差, 因为 Δi_{c3} 并非完全流经 Q_5 然后被镜像到输出。然而, 由于这些考虑所引入的输出电阻的变化通常可以忽略。(这些影响同镜像电流源负载如何提高

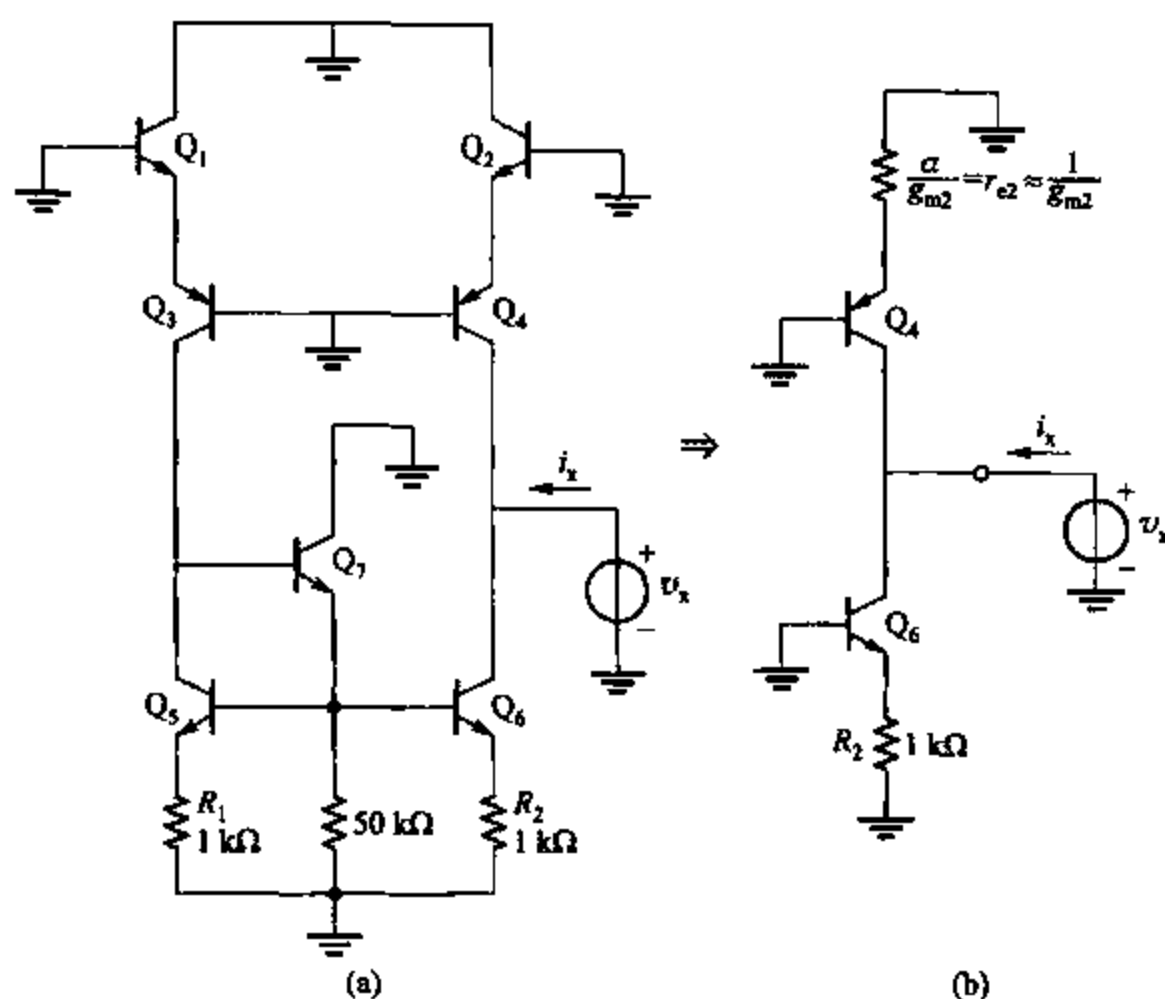


图 6.39 (a) 用在输入级输出端的为计算输出电阻而使用的测试电压源 v_x ;
(b) 简化电路

差分对的共模抑制比有关,具体见 4.3.5.3 章节。)

将 $Q_1 \sim Q_2$ 的集电极和 Q_3 、 Q_4 的基极接交流地时, Q_3 的集电极电流恒定。而且, Q_6 的基极戴维宁等效电阻同 Q_6 的 $r_{\pi 1}$ 相比很小, 所以假设 Q_6 的基极接交流地几乎不会引入误差。这样, R_{o1} 就能通过图 6.39b 算出。通过观察, 得

$$R_{o1} = (R_{out}|_{Q_4} // R_{out}|_{Q_6}) \quad (6.138)$$

Q_6 的发射极的增量电阻为 $1\text{ k}\Omega$, Q_4 的发射极的增量电阻为 Q_2 的 r_e 。发射极带有电阻的晶体管电流源的输出电阻, 已经在第四章讨论过了。对于带有射极负反馈的共射放大器来说, 结果是相同的。利用等式(3.98)可得

$$R_{o1} = \left[r_{o4} \times \left(1 + \frac{g_{m4} \frac{1}{g_{m2}}}{1 + \frac{g_{m4}}{\beta_{o4}}} \right) \right] // \left[r_{o6} \times \left(1 + \frac{g_{m6} \times 1\text{ k}\Omega}{1 + \frac{g_{m6}}{\beta_{o6}}} \right) \right] \quad (6.139)$$

假设 $\beta_{o4} \gg 1, \beta_{o6} \gg g_{m6}(1\text{ k}\Omega)$, 得

$$R_{o1} = 2r_{o4} // 1.36r_{o6} \quad (6.140)$$

对于 $\eta_{npn} = 2 \times 10^{-4}$, $I_c = 9.5\text{ }\mu\text{A}$, $\eta_{pnp} = 5 \times 10^{-4}$, 可得

$$R_{o1} = 6.8\text{ M}\Omega \quad (6.141)$$

因此,输入级的等效电路如图 6.40 所示。

现在来研究第二级,如图 6.41a。同样,必须计算出这一级的输入电阻,输出电阻和跨导。首先计算输入电阻。第一步,计算从 Q_{17} 的基极看进去时的戴维宁等效电阻,如图 6.41a 所示,令为 R_{eq1} 。射极带有电阻的共射放大器的输入电阻计算公式,在第三章中已经讨论过,利用它的结论有

$$R_{eq1} = r_{\pi 17} + (\beta_{017} + 1)100 \Omega \quad (6.142)$$

这里,忽略了 Q_{17} 的输出电阻的影响。实际上, r_{o17}

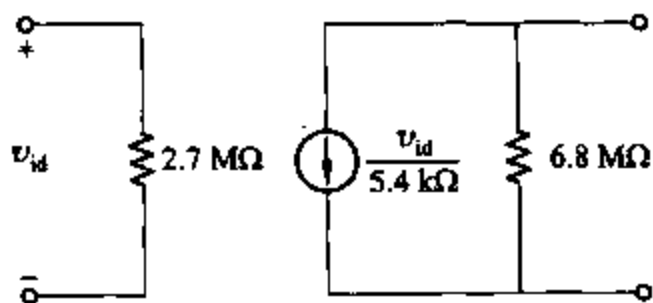


图 6.40 输入级的二端口等效电路

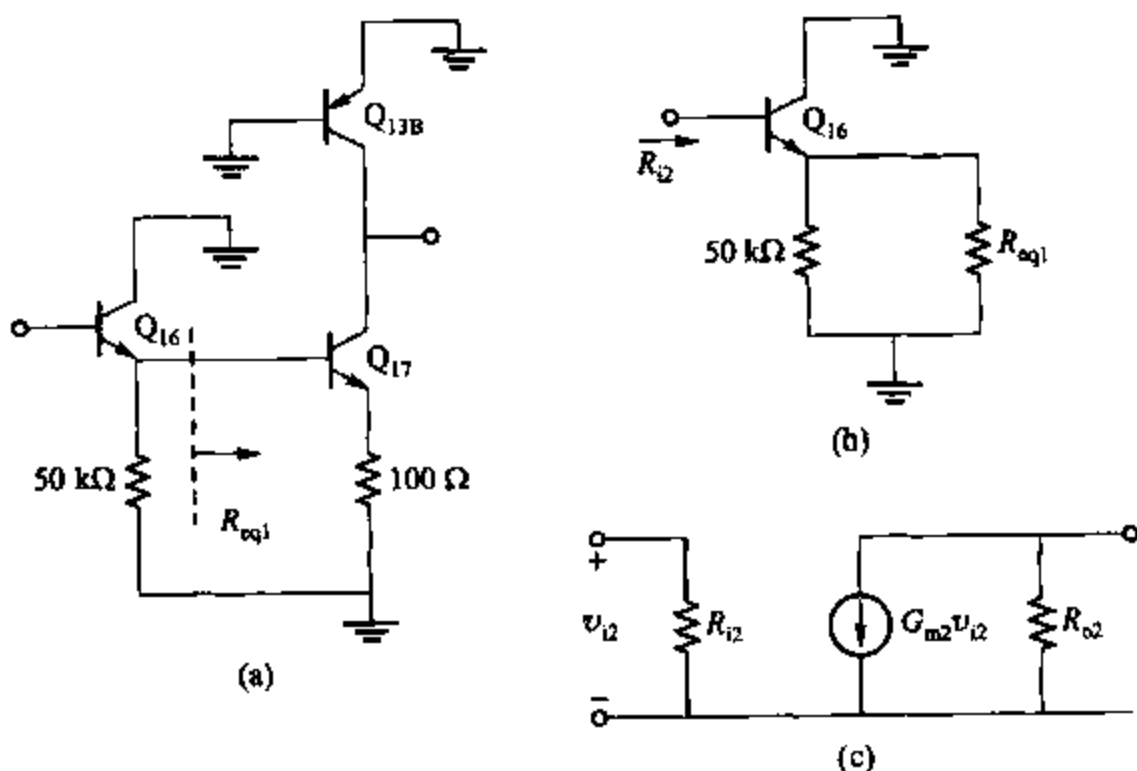


图 6.41 (a) 第二级的小信号等效电路; (b) 计算输入电阻的电路;
(c) 第二级的二端口等效电路

所引入的正反馈略微减少了 R_{eq1} 。

现在,电路可以简化为图 6.41b 所示的形式,这一级的输入电阻为

$$R_{i2} = r_{\pi 16} + (\beta_{016} + 1)(R_{eq1} // 50 \text{ k}\Omega) \quad (6.143)$$

联立式(6.142)和式(6.143),可得

$$R_{i2} = r_{\pi 16} + (\beta_0 + 1)\{[r_{\pi 17} + (\beta_0 + 1)100 \Omega] // 50 \text{ k}\Omega\} \quad (6.144)$$

假设晶体管的 β_0 为 250。晶体管 Q_{16} 的工作电流为 $16 \mu\text{A}$, 而 Q_{17} 的工作电流为 $550 \mu\text{A}$ 。计算式(6.144)得

$$\begin{aligned} R_{i2} &= 406 \text{ k}\Omega + 251 \times (37 \text{ k}\Omega // 50 \text{ k}\Omega) \\ &= 5.7 \text{ M}\Omega \end{aligned} \quad (6.145)$$

接着来计算这一级的跨导。假设射极跟随器 Q_{16} 的电压增益接近单位增益,那么跨导 G_{m2} 就是射极带有 100Ω 电阻的晶体管 Q_{17} 的跨导,即

$$G_{m2} = \frac{g_{m17}}{1 + g_{m17} R_E} \approx \frac{1}{147 \Omega} \quad (6.146)$$

这一级的输出电阻 R_{o2} 就是 Q_{13B} 的输出电阻与从 Q_{17} 的集电极看进去的电阻的并联。再次利用式(3.98),得

$$R_{o2} = r_{o13B} // \left[r_{o17} \left(1 + \frac{g_{m17} R_E}{1 + g_{m17} R_E / \beta_0} \right) \right] \quad (6.147)$$

假设 $\beta_0 \gg g_{m17} R_E$, 则

$$R_{o2} = r_{o13B} // [r_{o17} (1 + (g_{m17})(100 \Omega))] \quad (6.148)$$

假设

$$\eta_{pnp} = 5 \times 10^{-4} \quad (6.149)$$

$$\eta_{npn} = 2 \times 10^{-4} \quad (6.150)$$

则由式(6.148)可得

$$R_{o2} = 83 \text{ k}\Omega \quad (6.151)$$

这样,计算出了第二级电路的输入电阻 R_{i2} , 输出电阻 R_{o2} 和跨导 G_{m2} 。其二端口等效电路如图 6.41c 所示。

最后,研究输出级。其示意图如图 6.42 所示。输出端是输出电流还是输入电流,具体取决于输出电压和负载。因此,输出级的输入电阻和输出电阻将很大程度上取决于特定的输出电压和输出电流。可以明显地看出,输出级的输入电阻将远大于前一级的输出电阻,因此,输出级的实际输入电阻阻值将不会对电路的电压增益产生很大的影响。例如,简单地假设输出电流为 2 mA,并且它是流出输出端的,然后,进一步假设负载电阻为 2 k Ω 。由于输出电流是流出输出级的,因此晶体管 Q_{14} 工作在放大区, Q_{20} 仅仅传导少量的电流。这种情况下的信号等效电路如图 6.42b 所示。由于电路由两个串联的射极跟随器组成,其电压增益约为单位值 1。

现在来计算输出级的输入电阻。首先计算从晶体管 Q_{14} 的基极看进去的电阻,在图 6.42b 中为 R_{eq2} 。利用第三章有关射极跟随器的结论,可得

$$R_{eq2} = r_{\pi14} + (\beta_{014} + 1)(2 \text{ k}\Omega) \quad (6.152)$$

然后,计算从晶体管 Q_{23} 的发射极向二极管 Q_{18} 和 Q_{19} 看进去的戴维宁等效电阻,在图 6.42b 中为 R_{eq3} 。通过观察,可得

$$R_{eq3} = r_{d18} + r_{d19} + r_{o13A} // R_{eq2} \quad (6.153)$$

最后,这一级的输入电阻为发射极带有电阻 R_{eq3} 的射极跟随器 Q_{23} 的输入电阻,即

$$R_{i3} = r_{\pi23} + (\beta_{023} + 1)R_{eq3} \quad (6.154)$$

晶体管 Q_{23} 和两个二极管的工作电流为 180 μ A, 而 Q_{14} 的工作电流则为 2 mA。假设 npn 管的 β_0 为 250, pnp 管的 β_0 为 50, 式(6.154)可以写作

$$R_{i3} = r_{\pi23} + 51R_{eq3} \quad (6.155)$$

因此

$$R_{i3} = 9.1 \text{ M}\Omega \quad (6.156)$$

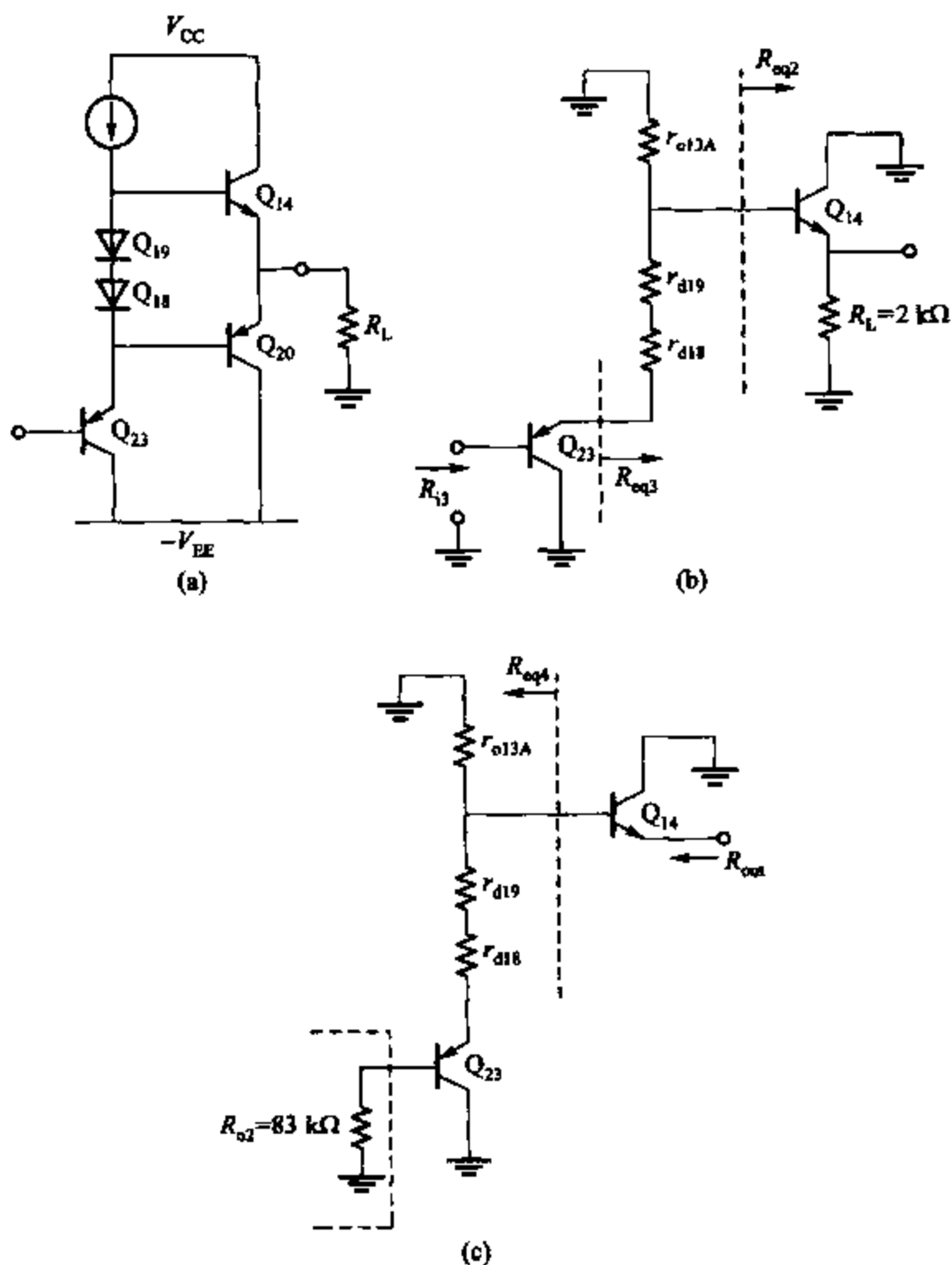


图 6.42 (a) 741 的简化输出级电路; (b) 产生电流的小信号电路;
(c) 计算 R_{out} 的电路

这一输入电阻远远大于前一级的输出电阻,所以当接在放大器输出端的负载变化时,放大器的增益受到的影响并不大。

再来计算输出级的输出电阻。在这里的计算中,必须把前一级的输出电阻也考虑进来,画出电路的小信号等效电路如图 6.42c 所示。

从 Q_{14} 的基极向左看进去的电阻为

$$R_{eq4} = r_{o13A} // \left(r_{d19} + r_{d18} + \frac{R_{eq2} + r_{e23}}{\beta_{023} + 1} \right) \quad (6.157)$$

$$= 2.06 \text{ k}\Omega$$

向输出端看进去的电阻为

$$R_{out} = \frac{R_{eq4} + r_{e14}}{\beta_{014} + 1} = 21 \Omega \quad (6.158)$$

此外,必须将这个电阻同限流电阻 R_6 (27Ω) 相串联,所以,实际的 R_{out} 为 48Ω 。输出电阻将随着工作点而变化,并且主要决定于输出晶体管中流过的电流。

完整电路的小信号性能 整个放大器的小信号等效电路如图 6.43 所示。电压增益为

$$\begin{aligned} A_v &= (G_{m1})(R_{o1} // R_{i2})(G_{m2})(R_{o2} // R_{i3}) \\ &= 574 \times 564 = 324\,000 \end{aligned} \quad (6.159)$$

注意两个放大级几乎提供相同的增益。第二级作为第一级的负载,降低了第一级接近一半的增益值。这种负载作用使电路的增益对晶体管的 β 值具有依赖性,而晶体管的 β 值又会随温度或者工艺参数发生变化。而同时,输出级对第二级则没有明显的负载作用,电压增益几乎与连接输出端的负载电阻的大小无关。整个放大器的输入电阻和输出电阻为

$$R_{i1} = 2.7 \text{ M}\Omega \quad (6.160)$$

$$R_o = 48 \Omega \quad (6.161)$$

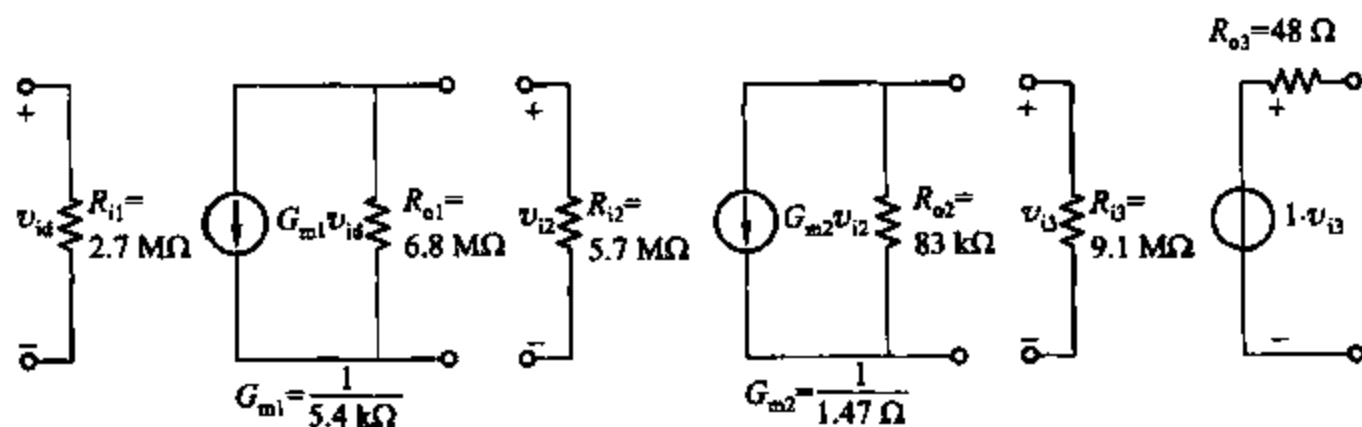


图 6.43 741 的完整小信号等效模型

考虑到二阶效应的分析;计算机分析 上述对 741 运算放大器进行的一阶近似分析是为了了解影响电路性能的最主要因素。然而,在分析中所做的简单化分析,限制了与直流工作点和电压增益相关结果的准确程度。这些假设的主要干扰如下:

1. 在直流分析中,晶体管的输出电阻都忽略不计。而事实上,假设基极-发射极电压恒定,且 V_A 大约为 50 V ,那么当 V_{CE} 从 0 V 增加到 15 V 时,一个典型的横向 pnp 晶体管的集电极电流将增加 30% 。对于 npn 器件来说,假设 V_A 大约为 130 V ,那么它的集电极电流将增加 12% 。其结果是,同这些计算相比较,电路中的偏置电流增加了 $10\% \sim 30\%$,因此减小了这些小信号电阻的值。

2. 晶体管 β 值随电流的变化也忽略不计了。正如在第一章所述,当集电极电流很小时,由于发射极-基极间耗尽层区域的重新结合,晶体管的电流增益会下降。其结果,是输入级器件 $Q_1 \sim Q_7$ 以及 Q_{16} 事实上的电流增益要比在前面分析中假设得小。这种衰退效应的主要影响是降低了电压增益,增加了输入偏置电流。

当需要对电路的性能进行更精确的定量分析时,考虑二阶效应,SPICE 计算机分析通

常比手工分析更省时间。对 741 进行这样的分析时所要求的偏置电流值如图 6.44 所示。

晶体管	$I_C (\mu A)$	晶体管	$I_C (\mu A)$
Q_1	12.32	Q_{13B}	-682.9
Q_2	12.38	Q_{14}	172.7
Q_3	-12.30	Q_{15}	Off
Q_4	-12.36	Q_{16}	16.87
Q_5	12.10	Q_{17}	687.3
Q_6	12.11	Q_{18}	204.0
Q_7	11.34	Q_{19}	16.38
Q_8	-23.53	Q_{20}	-173.4
Q_9	-30.56	Q_{21}	Off
Q_{10}	31.05	Q_{22}	Off
Q_{11}	732.2	Q_{23A}	-219.7
Q_{12}	-700.6	Q_{23B}	Off
Q_{13A}	-221.6	Q_{24}	Off

图 6.44 在 SPICE 下计算机计算的 741 直流偏置电平

6.8.3 741 运算放大器的输入失调电压、输入失调电流和共模抑制比

运算放大器性能的两个重要方面,就是输入失调电压和输入失调电流。这种同理想情况的偏差,限制了电路对小直流信号进行准确放大的能力,因为失调量无法与信号区别。对于这些量的计算有些枯燥。¹²在这一章节中,将定性地分析影响 741 电路的输入失调电压和输入失调电流的因素。

可以证明,如果第一级的电压增益足够高,差分放大器的输入失调电压主要决定于第一级的输入失调电压。¹ 741 的输入级有些复杂,由三对晶体管组成, $Q_1 - Q_2$, $Q_3 - Q_4$ 以及 $Q_5 - Q_6$ 。这一级与差分放大相同提供电平转移和差分-单端输出转换。所以,三个差分对中的任何一个不匹配,或者电阻对 $R_1 - R_2$ 不匹配,都会造成输入失调电压的增加。在典型的晶体管失配和电阻失配值下,741 的典型输入失调电压为 2.6 mV。¹²

电路的输入失调电流主要是由于晶体管 Q_1 和 Q_2 的 β 值不匹配造成的。电路的典型输入失调电流为 4 nA。¹² 这一数值,在很大程度上取决于当工作在低电流状况下时,电路中晶体管 β 值的实际匹配程度。正如在 6.2.5 章节中所述,共模抑制比可以当作由单位共模输入电压所引起的输入失调电压的变化。这一变化由两个独立的因素引起。首先,当共模输入电压变化时,电流源 $Q_9 - Q_{10}$ 的集电极-发射极电压发生变化。由于这些器件的输出电压为有限值,它们的集电极电流随之发生变化,从而造成输入级偏置电流的变化。如果没有电阻 R_1 和 R_2 ,输入级偏置电流的变化将不会改变输入失调电压,但是,如果 Q_5 和 Q_6 不匹配,或者 R_1 与 R_2 不匹配,这两个电阻将改变 Q_5 和 Q_6 的集电极电流改变的比率。 Q_5 和

Q_6 的集电极电流变化的比率将导致流过 $Q_1 - Q_2$ 和 $Q_3 - Q_4$ 的电流的比率发生变化,从而改变输入失调电流。

输入失调电压改变的第二个原因,是当输入的共模电压值改变时,所引起 Q_1 、 Q_2 、 Q_3 和 Q_4 的集电极-发射极电压变化。因此,如果这些器件中存在基极宽度失配, Q_1 和 Q_2 的饱和电流的比值与 Q_3 和 Q_4 的饱和电流的比值也会不同。这些比值的变化将引起输入失调电压的改变。

计算的性能参数与试验观察数据的比较 741 运算放大器计算出来的性能参数与试验观察的典型性能下的数据列于下表。

	计算值	观察值(典型条件)
开环增益	324 000	200 000
输入电阻	2.7 M Ω	2.0 M Ω
输入偏置电流	38 nA	80 nA
输入失调电流	3.8 nA ¹²	10 nA
输入失调电压	2.6 mV ¹²	2 mV
输出电阻	48 Ω	75 Ω

计算出来的性能参数与观察到的数据之间的区别,源于制造工程中所得到的器件的典型参数和在分析中所假设的参数值之间的差距,以及在手工计算工程中所做的近似。现在开始讨论如何修正电路,以改善其性能。

6.9 单片集成运算放大器的设计中要考虑的问题

运算放大器的设计必须既权衡不同的直流、小信号、暂态性能参数之间的问题,又需考虑模板的尺寸和合成成本。在 741 中,主要的目标是在保持小的模板尺寸的前提下,设计出一个具有适度直流和交流性能的内部补偿电路。然而,如果利用更复杂的电路,电路的直流、小信号、暂态性能都能得到很大提高。通常,如果采取一些措施来提高暂态性能,那么输入失调电压和输入偏置电流这些直流参数将会变差。在这一章节里,将探究改善 741 的输入参数(输入失调电压,输入偏置电流,输入失调电流)的设计方法。由于第九章详尽地讨论了运算放大器的频率响应和补偿问题,所以把有关暂态响应的优化和回转率的问题推后到第九章。

高精度运算放大器的应用 运算放大器的输入特性,包括输入失调电压和漂移,输入偏置电流和漂移,输入失调电流和漂移,决定了可以被精确放大的直流信号的下限。在需要对极小直流电压进行测量的地方,这些性能参数对于测量仪器的应用最为重要。一个典型的例子,就是图 6.45 所示的热电偶放大器。热电偶是一个由两种不同的金属组成的接头,当温度变化时,这两种金属产生电位差。作为温度传感器使用时,通常用两个这样的接头串联,其中一个保持在参考温度下。这样,两个接头的串联组合产生的电位差,与它们之间的

温度差成正比。这种器件的有效传感温度范围能达到数千摄氏度,它们在熔炉控制器和诸如此类的系统中相当有用。对于铁-铜镍合金热电偶,其输出电压约为 $50 \mu\text{V}/^\circ\text{C}$ 。

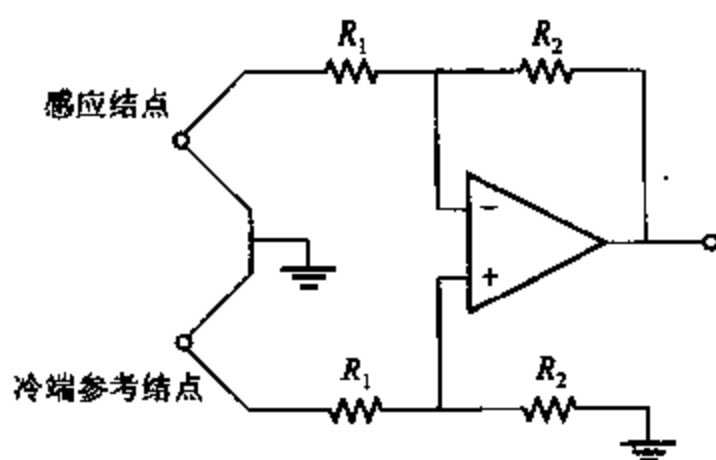


图 6.45 利用热电偶的差分温度传感器

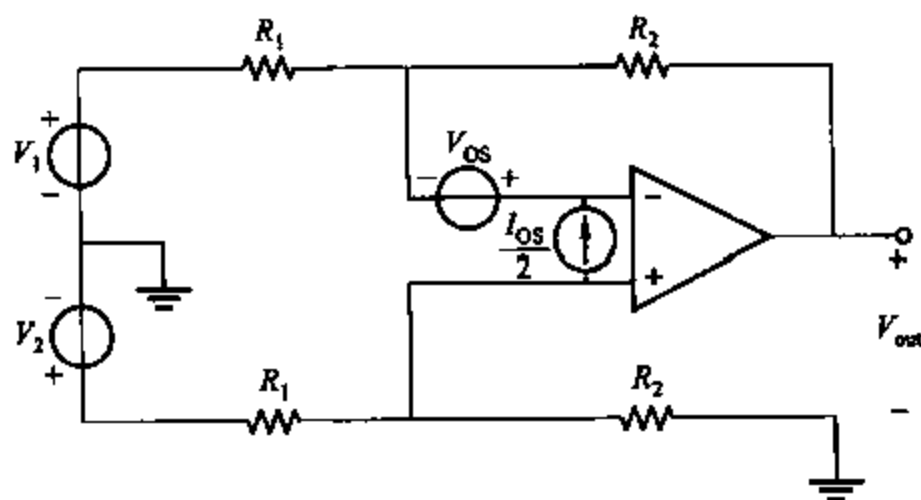


图 6.46 考虑 I_{os} 和 V_{os} 的热电偶放大器等效电路

运算放大器的输入失调电压和输入失调电流将限制这种温度测量系统的分辨率。考虑到这些非理想因素的等效电路如图 6.46 所示。利用结点求和规则,可以得到输出为

$$V_{out} = -\frac{R_2}{R_1}(\Delta V_i + V_{os} + I_{os} R_1) \quad (6.162)$$

其中, $\Delta V_i = (V_1 - V_2)$, 而且为简化假设 $R_2 \gg R_1$ 。输出包含一个取决于放大器的输入特性的误差项。在这种情况下,输入失调电压和输入失调电流,而不是输入偏置电流,成为关键项。例如,如果在这个电路中将 741 与铁-铜镍合金热电偶一起使用,仅 2.6 mV 的输入失调电压将在计算温度时引入误差

$$T_e = \frac{2.6 \text{ mV}}{50 \mu\text{V}/^\circ\text{C}} = 52 ^\circ\text{C} \quad (6.163)$$

在这样一种关键性的应用中,需要一个外部的分压器来调节 741 的补偿电压到零,从而消除这么大的误差。在 741 电路中,这种调零是通过在电阻 R_1 和 R_2 之间接入一个外部分压器来实现的。然而,极限因素这时变成输入偏置电压随温度的漂移。

在考虑到温度时,温漂能够通过求补偿等式微分得到。¹²结果显示,对失调量调零可

以减小温漂,但是不能消除温漂。特别是,电阻失配项 $\Delta R_{1-2}/R_{1-2}$ 通常具有非零的温度相关性,因为调零分压器与扩散电阻具有不同的温度相关系数。实际的观察结果是,与未调零的状态相比,对 741 调零多少可以改善温漂,残余的失调电压温度系数,典型值为 $3\sim 5\ \mu\text{V}/^\circ\text{C}$ 。在热电偶传感器的使用中,对于运算放大器周围温度的每一度变化,这一温漂将产生约 $0.1\ ^\circ\text{C}$ 的误差。在许多精确的控制系统中,这一灵敏度是不能接受的。因此,需要的是比 741 本质上具有更好的输入失调电压和输入失调电流的运算放大器。在这个例子中,输入失调电压是最重要的因素,在另外一些涉及到高输入电阻的应用场合,输入偏置电流和输入失调电流也很重要。

6.9.1 低温漂运算放大器的设计

如果输入级有足够高的电压增益,那么多级差分放大器的输入失调电压主要取决于第一级的输入失调电压。因此,低温漂运算放大器设计的主要问题,就是设计一个有尽可能少的元件对的输入级因为这些元件对将产生失调电压。在 741 中,输入级相对复杂,因为它同时提供电压增益、电位平移和差分-单端转换。一个以温漂和补偿为出发点的适宜的电路,应该是一个包含更少的能够对失调电压产生影响的器件。¹³最简单的差分输入级,是如图 6.47 所示的带有阻性负载的射极耦合对。由式(3.216)可知这一级的失调电压为

$$V_{OS} = V_T \left(-\frac{\Delta I_S}{I_S} - \frac{\Delta R_C}{R_C} \right) \quad (6.164)$$

失调电压随温度的漂移为

$$\frac{dV_{OS}}{dT} = -\frac{V_{OS}}{T} \quad (6.165)$$

假设电阻匹配的标准偏差为 1%, I_S 匹配的标准偏差为 5%。利用式(3.220),单是带有阻性负载的射极耦合对的失调电压标准偏差就为 $1.3\ \text{mV}$,在室温下的未调零漂移为 $4.4\ \mu\text{V}/^\circ\text{C}$ 。这些值约为 741 相应值的一半。因此,这一电路作为低温漂运算放大器的输入级是有利的。

将这一级与运算放大器组合起来的一种简单方法,就是在射极耦合对的后面接一个 741 或者相类似的运算放大器。这种方法的一个典型例子是 725 运算放大器。^{12,13}输入级的增益被调节至足够大,以保证第二级对失调和漂移没有显著的影响。但同时,集电极电阻必须保持足够小,以使得整个电路的频率响应性能不会因为第一级而过分恶化。

如果能够调节图 6.47 中的集电极电阻 R_C 使得输入级的射极耦合对的失调电压为零,那么在理论上,调节失调为零的同时,漂移也会被调零。然而,用来调节集电极电阻比率的外部分压器通常与扩散电阻具有不同的温度相关性,其结果,是由于 R_C

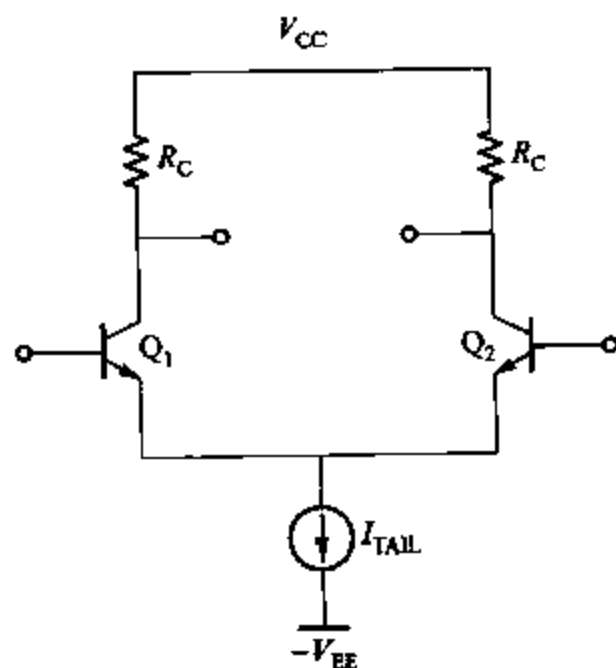


图 6.47 带有阻性负载的射极耦合对

的失配因子变得与温度相关,就引入了一个新的带有温漂的元件。在实际中,通过外部分压器,失调电压的温度漂移可以达到 $1 \sim 2 \mu\text{V}/^\circ\text{C}$ 。

补偿微调技术 一种变通的实现极低温漂的方法,是通过片上电阻来调零失调电压。这些芯片上的电阻在可编程只读存储器的控制下被插进电路或者从电路中删除。¹⁴图 6.48 是一个示意图。集电极电阻由一大部分(R_C 与一小部分串联构成,这一小部分是分成二进制加权($R', 2R', 4R'$)的部分。图中的单刀开关为可通过电流脉冲熔断的铝。补偿可以在器件还处在晶片状态时就调零,而且这种调零不引入额外的温漂元件,因为集电极电阻是同种类型的集成元件。由于这些电阻以二为加权,所以调整到所需要的电阻需要的步骤与 2^n 成正比,其中 n 为一个集电极中的可熔性结点的数量。对于改进单片运算放大器的输入特征参数而言,这种技术是一种有力而且低成本的方法。利用这种技术,输入失调电压能够达到低于 $50 \mu\text{V}/^\circ\text{C}$ 。

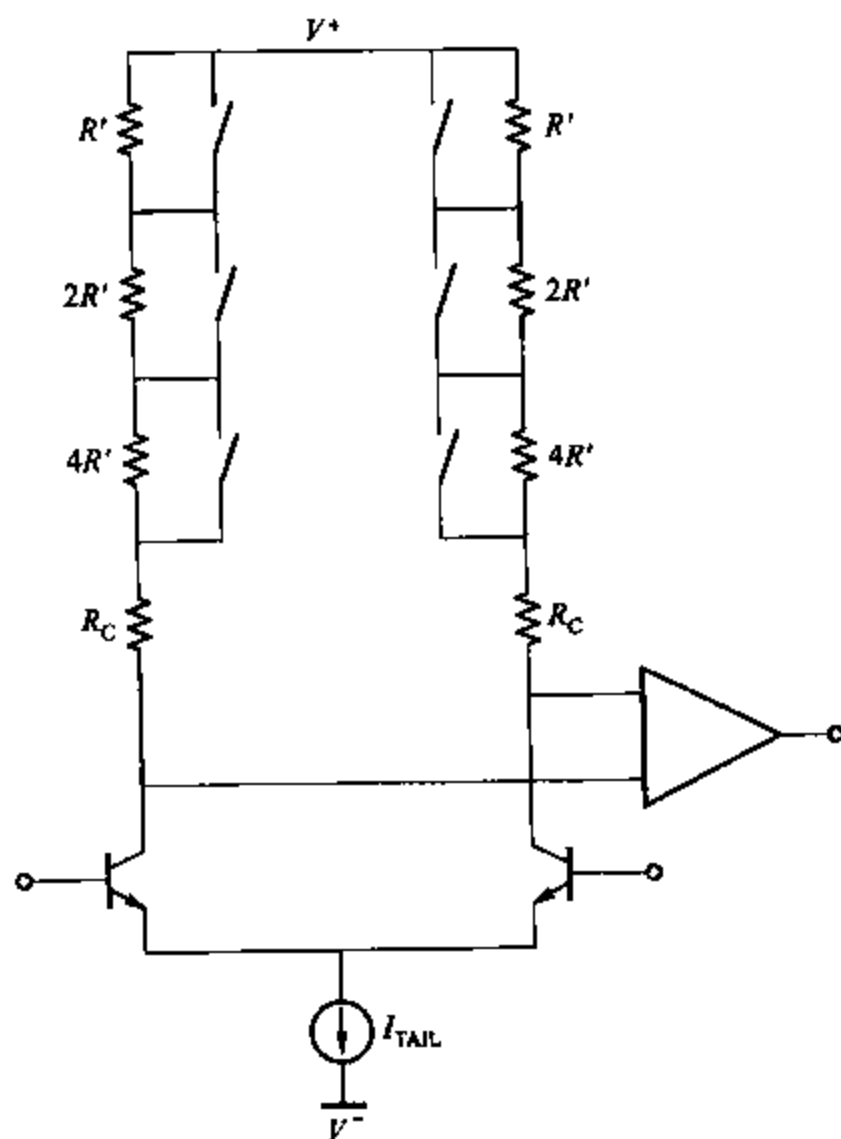


图 6.48 使用可熔或可短路连接的片上离散微调输入级。电阻 R' 远小于 R_C

版图设计中需要考虑的问题 高精度电路设计的一个基本目的是使得输入失调电压达到最小,这就要求集电极电阻和输入器件的失配都达到最小。限制可达到的匹配程度的一个因素是光刻分辨率。因此,一个重要的参数是与这个分辨率值相关的电阻或者晶体管的大小。如果电阻或者双极型晶体管发射极的宽度增加,那么一定数量的边界位置不确定性效应将成正比地降低,从而增加了匹配程度。

限制匹配程度的第二个因素就是晶片模上与工艺相关的梯度值。这种因素的影响,可以通过使用对某些类型的工艺梯度值不敏感的几何形状的适当的器件来部分地缓和。这种几何形状称为共质心,图 6.49 是一个双极型晶体管的共质心版图。其中组成差分对的晶体管,由晶体管组成的四角形交叉连接组成。从几何学上讲,两个合成器件的质心都处在这一结构体的中心。这种结构体的一个典型例子,是 725 运算放大器的第一级,^{12,13} 其中,图 6.47 所示的输入器件被分割成一个四角形,然后交叉连接,以形成共质心几何结构。725 运算放大器的典型输入失调电压为 $500\ \mu\text{V}$, 约为 741 运算放大器的 $1/4$ 。

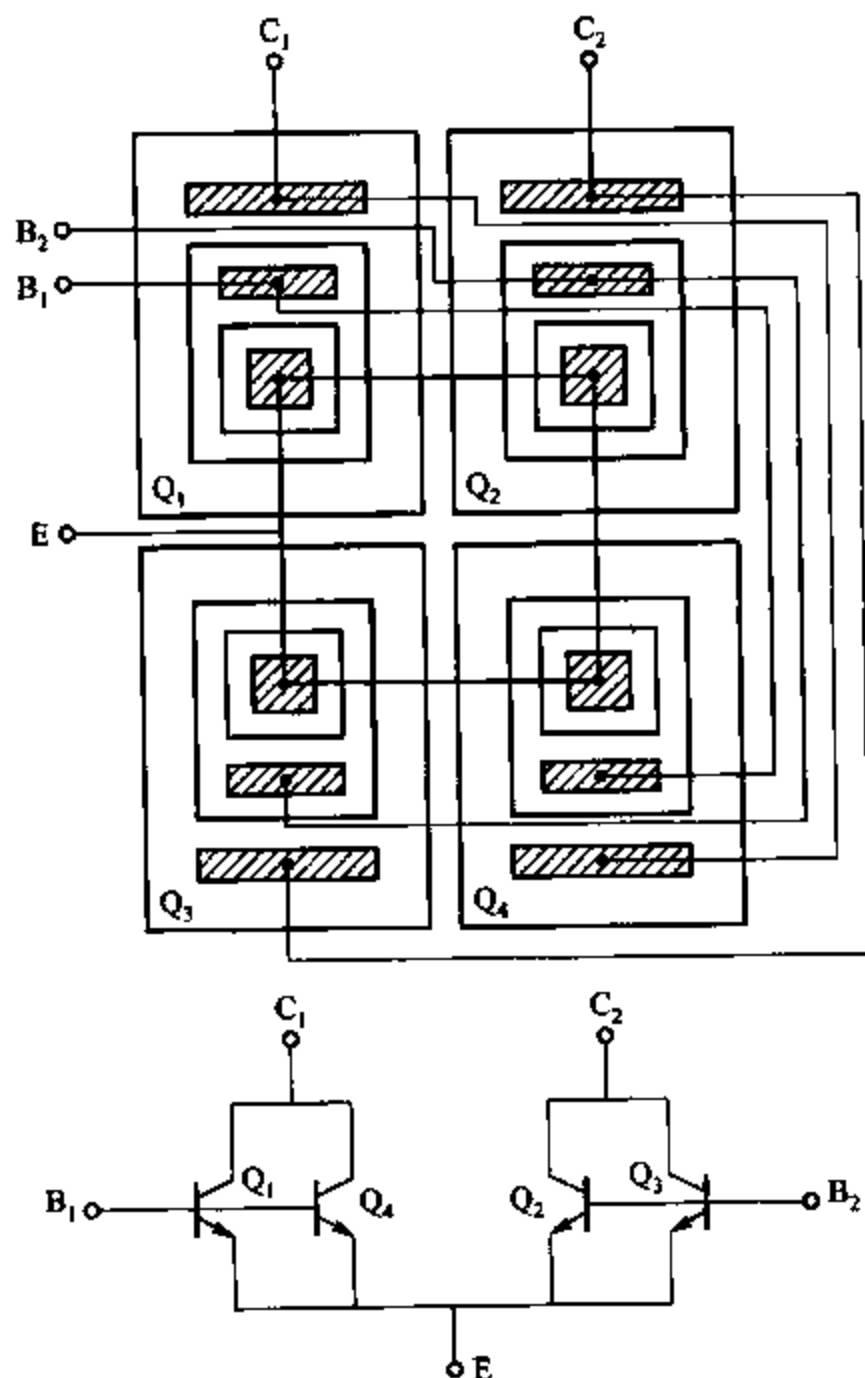


图 6.49 射极耦合对的共质心几何图

6.9.2 低输入电流运算放大器的设计

在仪表使用中,信号源具有很低的内阻,通常输入失调电压和与之相关的漂移决定了可以处理的直流信号电压的下限。然而,当电源电阻很高时,输入偏置电流、输入失调电流流入电源电阻或增益调整电阻上的电流也可能对运算放大器处理小直流信号的能力产生重要影响。而且,很多应用场合下,需要对电流直接检测。例如,图 6.50 所示的光电二极管放大

器。这种光电探测器运用在各种各样需要检测外部光强的场合。光电二极管的典型输出电流,随光通量的变化从微微安级到微安级,所以图 6.50 所示的运算放大器的输出电流限制了所能处理的光通量的下限。因此,在这种场合和其他一些场合,需要输入电流远远小于 741 的运算放大器。

在 741 中,输入偏置电流是输入晶体管的平均基极电流。为了减小这个值,需要考虑一些其他方案,包括减小输入级的偏置电路,插入一个电流源来消除输入电流,增加输入元件的 β 值或者使用 MOS 管作为输入晶体管。然而,减小这一级的输入偏置电流将会使电路的频率响应特性变差,这一点将在第七章讨论。而且,集成 npn 晶体管的电流增益在电流低于 $1\ \mu\text{A}$ 时下降得很快,除非在制作过程中增加一些特殊的步骤。现获得广泛使用的技术是,使用消流电流源(消除偏置电流),增加输入器件的 β 值(超 β 晶体管)以及使用 MOSFET 作为输入晶体管。下面将分别讨论这几种方法。

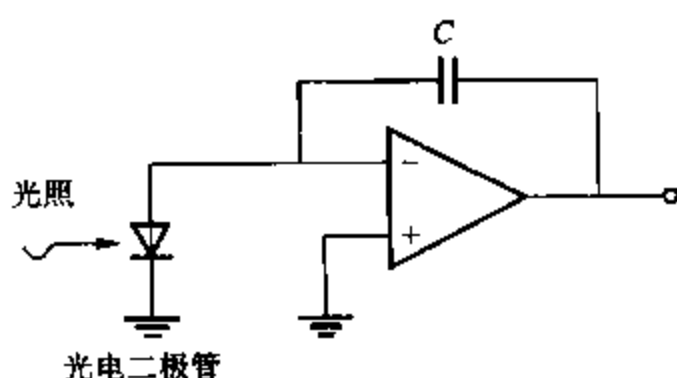


图 6.50 集成光电二极管放大器

使用消流电流源(消除偏置电流),增加输入器件的 β 值(超 β 晶体管)以及使用 MOSFET 作为输入晶体管。下面将分别讨论这几种方法。

偏置电流抑制 由于 741 运算放大器的输入偏置电流等于输入晶体管的集电极电流的平均值除以输入晶体管的平均 β 值,因此可以通过将晶体管的集电极电流除以 β 来引出另外一个与输入电流相等的电流。这一电流可以通过镜像电流源反馈到输入端,从而从理论上可以完全消除掉输入偏置电流。图 6.51 是一个此类输入级的概念性示意图。实际上这种技术确实能够大大减小输入偏置电流,减小的数量受电路中晶体管 β 值的匹配程度限制。然而,它并不能改善输入失调电流特性。

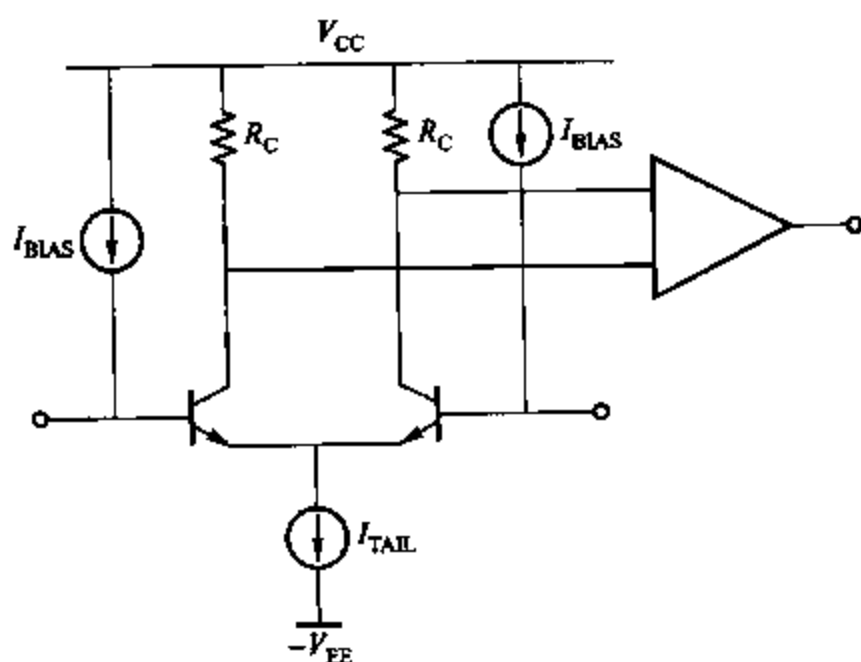


图 6.51 偏置电流抑制电路的原理示意图。 I_{BIAS} 等于输入晶体管的基极电流

图 6.52 是一个实际的偏置电流抑制电路。在这个电路中,晶体管 Q_9 与二极管 Q_{10} 和 Q_{11} ,为晶体管 Q_6 和 Q_8 提供三个二极管压降的偏置,比 Q_1 和 Q_2 的发射极更高。二极管 Q_7 和 Q_5 承载 Q_3 和 Q_4 的基极电流,为正向偏置,所以 Q_3 和 Q_4 的基极比 Q_1 和 Q_2 的发射

极高两个二极管压降。这样, Q_3 和 Q_4 的发射极比 Q_1 和 Q_2 的发射极高一个二极管压降, 而且, 这些输入晶体管工作在集电极-基极偏置几乎为零的状况下。假设 npn 管的 β 值很大, Q_3 和 Q_4 的集电极电流大致和输入晶体管的电流相等。如果 npn 管的 β 值全部相等, 那么 Q_3 和 Q_4 的基极电流和输入晶体管的基极电流相等。pnp 镜像电流源 Q_5 、 Q_6 、 Q_7 和 Q_8 承载这一基极电流, 并且为 Q_1 和 Q_2 基极提供一个几乎完全相等的电流。在理想匹配条件下, 偏置电流的抑制情况取决于 pnp 管和 npn 管的 β 值。

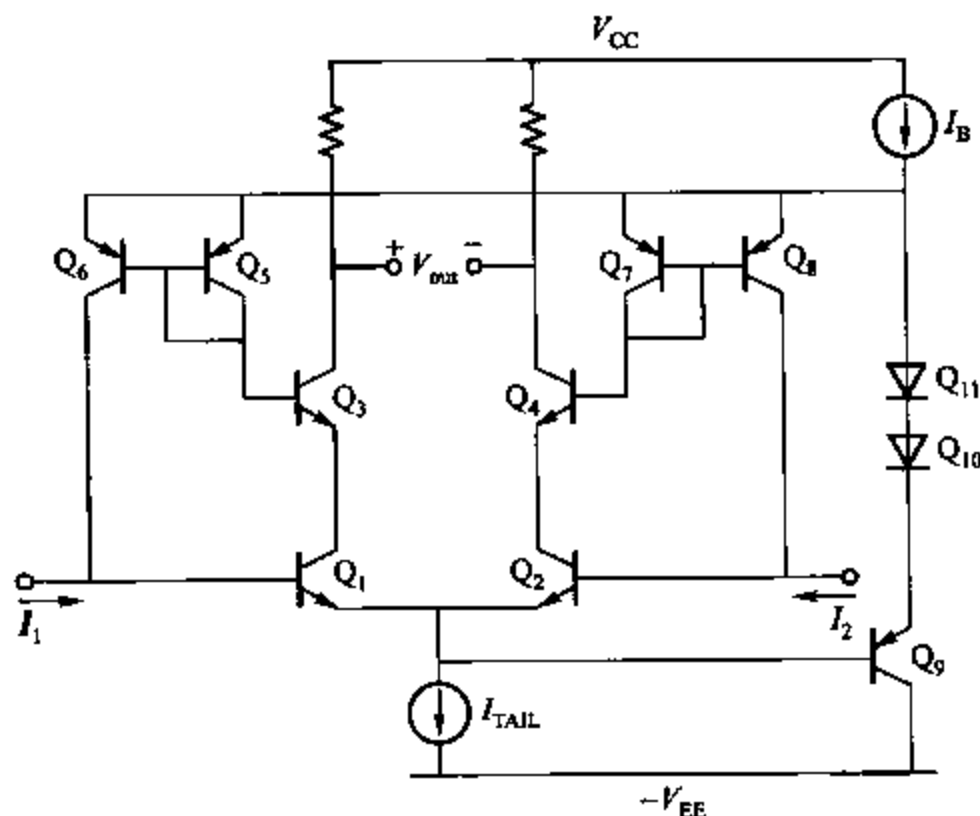


图 6.52 典型的偏置电流抑制电路

实际上, 电路中 npn 管的 β 值很高, 而 pnp 管的 β 值则很低, 因为 pnp 器件自身工作在一个很低的电流下, 而且, 各个 npn 晶体管的 β 值并不能精确地匹配。因此, Q_1 的基极电流和 Q_6 的集电极电流之间通常存在 5% ~ 20% 的失配。从而产生的残余输入电流的典型值约为未加校正时的输入电流的 1/20 ~ 1/5。

另一方面, 输入失调电流则由于偏置电流的抑制而变得恶化。输入失调电流等于原始的 Q_1 与 Q_2 的基极失配电流加上 Q_6 与 Q_8 的集电极失配电流。后者取决于 Q_3 - Q_4 、 Q_5 - Q_6 和 Q_7 - Q_8 的 β 值匹配程度, 以及 Q_3 - Q_6 、 Q_7 - Q_8 的 I_S 匹配程度。同未加校正时相比, 输入失调电流特性变差, 约为原来的 2 ~ 4 倍。此外, 输入噪声电流也有所增加, 这一点将在第十一章中讨论。偏置电流校正的一个典型例子是 OP-17,¹⁴ 其中也包含了 6.9.1 节所述的补偿微调, 其图如图 6.48 所示。相应电路的典型输入失调电压为 50 μ V, 典型输入偏置电流为 4 nA, 典型输入失调电流为 4 nA。

超 β 晶体管 降低输入偏置电流的第二种方法, 就是提高输入级晶体管的电流增益。¹⁵ 一个达到这一目标的可行方法是利用 2.7.2 章节中所述的超 β 管。从电路的角度看, 这些器件的应用要求在电路的设计中, 必须保证输入级的元器件不会工作在集电极-发射极电

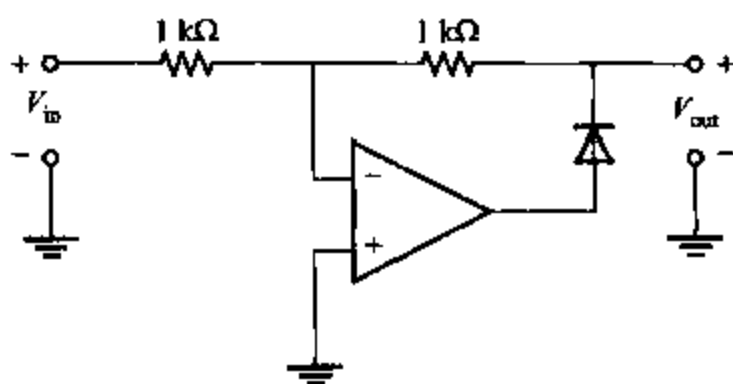


图 6.55 习题 6.2 的电路

算放大器的输入偏置电流不为零,而输入失调电流和输入失调电压为零。

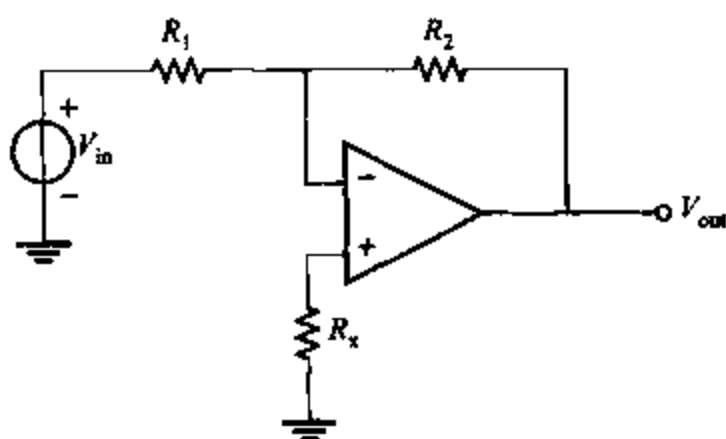


图 6.56 习题 6.3 的电路

6.4 图 6.57 所示的差分仪表放大器的电压增益必须为 1 000,精度为 0.1%。那么运算放大器所需的最小开环增益为多少? 假设运算放大器所允许的开环增益误差为 100%~50%。忽略运算放大器的 R_{in} 和 R_{out} 的影响。

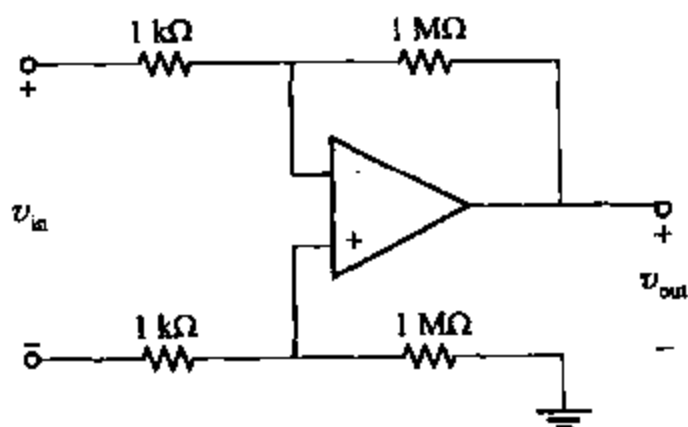


图 6.57 习题 6.4 的电路

6.5 一旦习题 6.4 中的差分放大器的输入失调电压被调到零,对于 $\pm 10\text{ V}$ 以内的共模输入,其输入参考失调电压必须保持在 1 mV 以下。为使运算放大器达到这一要求所需要的最小共模抑制比(CMRR)为多少?

6.6 考虑图 6.4 所示的差分放大器。令 $V_1 = V_2 = 0$,求适当的 R_1 和 R_2 的值,使得增益为 -10 ,直流输出电压小于或者等于 -10 mV 。假设除 $|I_{CS}| = 100\text{ nA}$ 以外,运算放大器为理想运算放大器。

6.7 假设一个 $PSRR' = 10$ 的运算放大器连接成图 6.3c 所示的电压跟随器。输入 V_s 置为零,但是 一个峰值为 $V_{sup} = 20 \text{ mV}$ 的低频交流信号叠加在正电源上。试计算输出电压的峰值。

6.8 在图 6.9a 所示的开关电容放大器中,假设 M_4 的源极不接地,而是接在 V_s 上。计算对于一个给定的 V_s ,输出端在 ϕ_2 期间所呈现的电压。假设运算放大器除增益为有限值 a 以及输入电容为非零值 C_p 以外,为理想运算放大器。且 MOS 管开关导通电阻为零,断开电阻为无穷大。

6.9 (a) 计算并绘出图 6.10a 所示的开关电容积分器在 $t = 0$ 到 $t = 20 \mu\text{s}$ 之间的波形。假设 $V_s = 1$, 且时钟频率为 1 MHz 。理想 MOS 管运算放大器增益为无穷大,输出上升时间为零。MOS 管开关导通电阻为零,断开电阻为无穷大。

(b) 将 (a) 所得到的波形同图 6.10c 所示的连续时间等效电路的输出波形相比较。

(c) 考察 MOS 管的增益为有限值 1000 时,对输出电压波形的影响。

6.10 计算图 6.58 所示的共源放大器电路在低频条件下从 V_{dd} 到 V_{ss} 的 $PSRR$ 。假设晶体管被偏置在放大区。

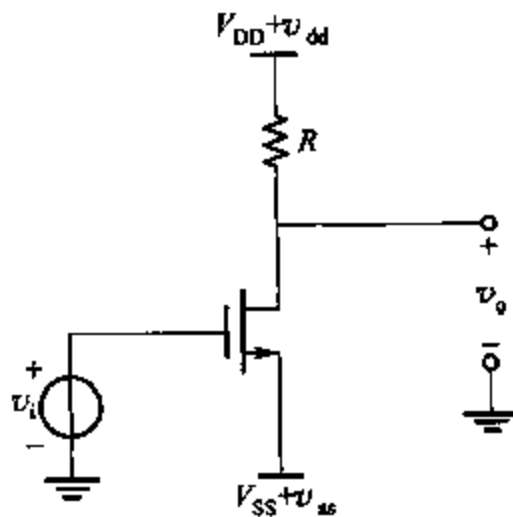


图 6.58 习题 6.10 的电路

6.11 画一个同图 6.16 相似的运算放大器,但是每个晶体管的极性要相反。例如,得到的运算放大器的输入应该为 n 沟道差分对。计算一下参数:

- 低频电压增益;
- 输出幅度;
- 系统输入失调电压;假设满足式(6.66);
- 共模抑制比;
- 共模输入范围;
- 对于两个电源的低频 $PSRR$ 。

6.12 (a) 等式(6.69)给出了图 6.16 所示运算放大器的随机输入失调电压计算方法。解释式(6.69)中每一项的极性。假设除了要考虑的项以外,其他的匹配均为理想值。记住, p 型晶体管的过载为负值。因此,由式(6.69)可以预见,由于 $W_3 > W_4$ 所引起的失调为负值。

(b) 假设差分对为 n 沟道,镜像电流源负载为 p 沟道,重新计算(a)。等式(6.69)在这里仍然适用。

6.13 (a) 计算图 6.16 所示运算放大器的随机输入失调电压。假设除了 $V_D - V_A = 10 \text{ mV}$ 以外,其他的匹配均为理想值。并假设所有的晶体管具有相同的宽长比,并且都工作在放大区。忽略短沟道效应,利用表 2.4 中的数据。

(b) 假设差分对为 n 沟道, 镜像电流源负载为 p 沟道, 重新计算(a)。

(c) 上述两种方式, 哪种情况下的输入失调电压更低? 试解释原因。

6.14 列出至少三种使用 n 型差分对作为输入, 而不用 p 型差分对的运算放大器的应用场合, 并给出解释。

6.15 计算图 6.59 中 CMOS 运算放大器的偏置电流和低频小信号电压增益。使用表 2.4 中的参数, 并假设所有晶体管在工作点的 $X_d = 0.1 \mu\text{m}$, $dX_d/dV_{DS} = 0.04 \mu\text{m}/\text{V}$ 。假设 M_1 和 M_2 的栅连接在它们的共源点, 计算共模输入电压范围。计算输出对于每一电源的低频增益。利用 SPICE 仿真验证这些计算结果。

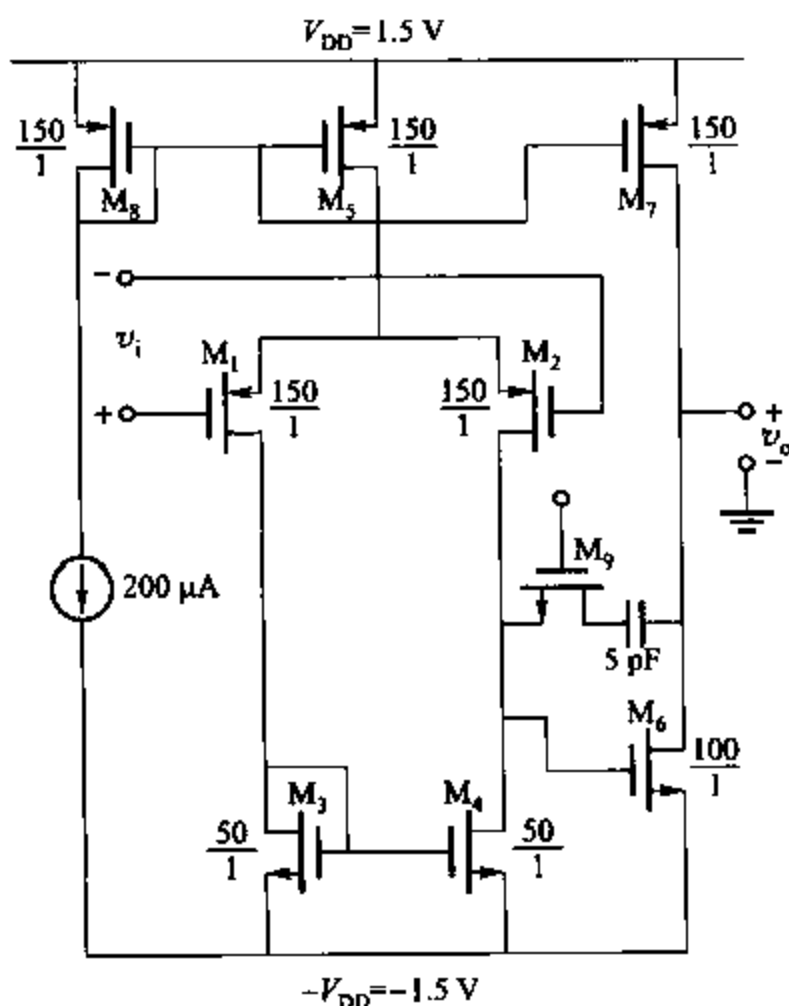


图 6.59 习题 6.15 的电路

6.16 计算图 6.25 所示运算放大器的共模输入范围。假设所有的晶体管为 $|V_t| = 1 \text{ V}$ 的增强型器件, 并且忽略沟道调制效应。同时, 假设除 M_9 以外的晶体管都被偏置在 $|V_{ov}| = 0.2 \text{ V}$ 的状态下。另外, 假设 M_1 和 M_2 被 M_9 和 I_C 偏置在放大区边缘。

6.17 画一个与图 6.25 第一级相似的套叠式串接基运算放大器, 利用 n 沟道差分对做输入, 高幅度 p 型串接镜像电流源做负载。根据共模输入电压计算最大的输出幅度。计算为使输出幅度最大的共模输入电压, 并计算在这一共模输入电压下的输出幅度。假设条件与习题 6.16 相同。

6.18 计算图 6.28 所示的折叠式串接运算放大器的共模输入范围。假设所有的晶体管为 $|V_t| = 1 \text{ V}$ 的增强型器件, 并且忽略沟道调制效应。同时, 假设所有晶体管都被偏置在 $|V_{ov}| = 0.2 \text{ V}$ 的状态下。另外, 假设 M_{11} 和 M_{12} 被偏置在放大区边缘。

6.19 对于图 6.28 所示运算放大器, 计算输出对于每个电源的变化的低频电压增益。假设偏置电压 V_{BIAS1} , V_{BIAS2} , V_{BIAS3} 由图 6.60 所示的电路产生, 其中 M_{106} 是唯一工作在放大区的晶体管。并且假设调节

长宽比使所有的运算放大器中的晶体管都工作在放大区。将计算值同 SPICE 仿真结果相比较。在满足上述条件的前提下,使用自己选择的模型和电源电压。

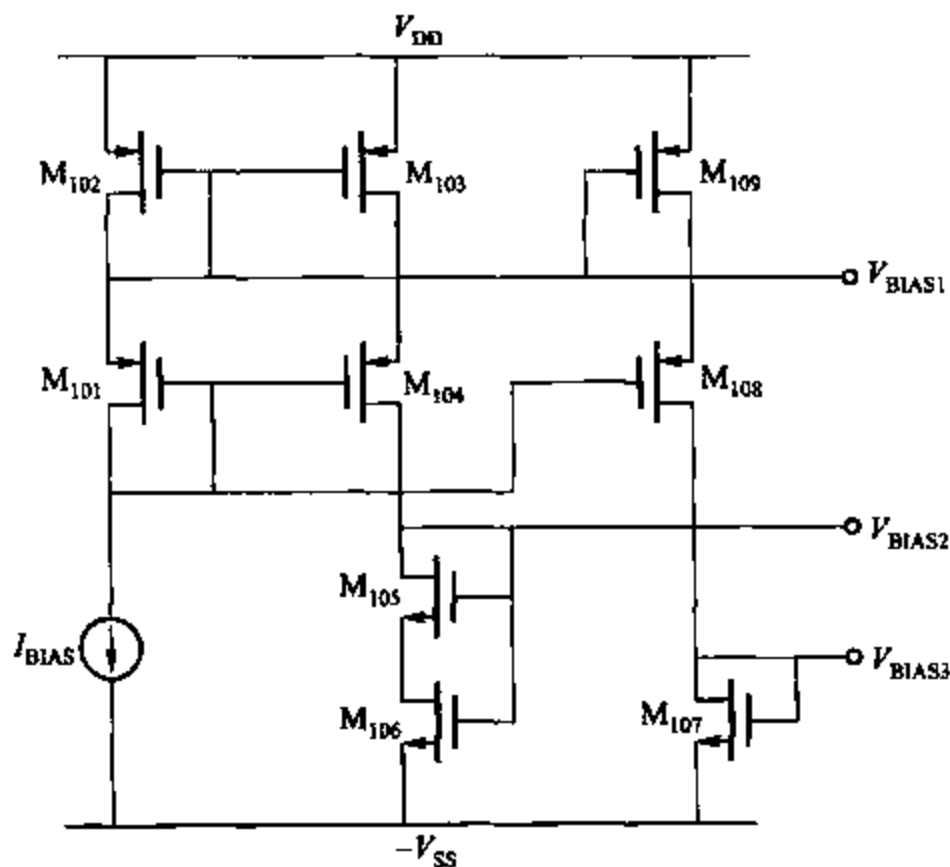


图 6.60 习题 6.19 的偏置电路

6.20 设计一个基于图 6.28 所示折叠式串接结构的 CMOS 运算放大器,电源电压选 $\pm 1.5\text{ V}$ 。选用图 4.42 所示的偏置电路(M_3 和 M_4 接为串接结构)来产生偏置电流 I_{BIAS} 。然后为这个偏置电路设计一个扩充电路来产生基于 I_{BIAS} 的 V_{BIAS1} , V_{BIAS2} 和 V_{BIAS3} 。输出的电流驱动能力为 $\pm 100\text{ }\mu\text{A}$,输出电压摆幅的峰-峰值为 1.5 V ,共模输入电压范围从 0.5 V 到负电源。匹配需求要求最小有效沟道长度为 $1\text{ }\mu\text{m}$ 。为了使增益对工作点的小量漂移不敏感,要求每个晶体管工作在放大区时的漏-源电压比它过载时的电压高至少 100 mV 。详细说明每一个元件的几何形状和偏置电流。工艺为表 2.4 给出的 n 阱工艺。假设对 n 沟道和 p 沟道晶体管而言,均有 $X_d = 0$, $\gamma = 0.25\text{ V}^{1/2}$,但是在手工计算时,忽略沟道调制效应。利用 SPICE 仿真来验证和改进设计,并计算增益值。

6.21 画一个与图 6.28 相似的折叠式串接运算放大器,不要求两个同时包含 n 型和 p 型串接的层。选择一个可以使得输出幅度最大的镜像电流源。假设除了那些为使输出幅度最大的地方外,所有的晶体管都有相等的过载值。使用表 2.4 中的模型,并忽略沟道调制效应。指定宽长比为 $(W/L)_1$ 的整数倍。

6.22 对于图 6.30 所示的折叠式有源串接运算放大器,合理选择器件的尺寸,以使得输出的电压峰-峰值至少为 2.5 V 。使用表 2.4 中的 $0.4\text{ }\mu\text{m}$ CMOS 模型参数,但假设所有晶体管的 $X_d = 0$, $\gamma = 0.25\text{ V}^{1/2}$,所有 n 型晶体管的 $X_{\text{th}} = 0.7\text{ V}$,所有 p 型晶体管的 $X_{\text{th}} = -0.7\text{ V}$ 。为使设计简单,假设所有晶体管的沟道长度为 $L = 1\text{ }\mu\text{m}$ 。 $I_{\text{BIAS}} = 25\text{ }\mu\text{A}$,偏置电流应为 $|I_{\text{D6}}| = I_{\text{D11}} = I_{\text{D12}} = I_{\text{D25}} = |I_{\text{D35}}| = 200\text{ }\mu\text{A}$ 。假设 $V_{\text{DD}} = V_{\text{SS}} = 1.65\text{ V}$,而且匹配程度为理想状况。当直流输入电压 $V_i = 0$ 时,假设除 M_{106} 和 M_{114} 以外的所有晶体管都工作在放大区,且过载值相等。为了使增益对工作点的小量漂移不敏感,要求每个晶体管工作在放大区时的漏-源电压比它过载时的电压高至少 100 mV 。在手工计算时,忽略沟道调制效应。利用 SPICE 仿真来验证设计,选择 M_{106} 和 M_{114} 的宽度,确定增益值。同时,如表 2.4 所示,如果所有 n 型晶体管的 $X_{\text{th}} =$

0.6 V, 所有 p 型晶体管的 $X_{th} = -0.8$ V, 利用 SPICE 仿真确定增益值。解释运算放大器增益值相应的改变的原因。

6.23 在习题 6.22 中, 假设所要求的输出幅度峰-峰值减小, 而其他条件保持不变。这种变化允许过载值有所增加。如果过载值均匀地增长, 那么图 6.30d 中的哪个晶体管最先进入放大区? 并加以解释。将 M_{106} 和 M_{114} 列在考虑范围之外, 因为它们已经被有意调节工作在放大区。怎样重新设计偏置电流, 以使得在保证除 M_{106} 和 M_{114} 外所有的晶体管都工作在放大区的前提下, 提高所允许的过载值? 这种修改过的偏置电路有何弊端?

6.24 (a) 图 6.61a 是图 6.15 所示运算放大器的折叠形式。在第一级和第二级中插入了一个由电压源 V 组成的级间电位偏移网络。假设电流源 I_1 通过带有过载负载 V_{ovn} 的 n 沟道晶体管实现, 其中 V_{ovn} 等于图 6.61a 中其他晶体管的过载值, 电流源 I_2 和 I_3 分别通过一个带有过载负载 V_{ovp} 的 p 沟道晶体管实现。在所生成的运算放大器中, 只有 n 沟道晶体管传导时变电流。计算出运算放大器参照 V_{TH} 和 $-V_{SS}$ 的共模输入电压范围、最大输出幅度以及电位偏移电压 V , 单个晶体管的阈值电压, 和过载 V_{ovn} 、 V_{ovp} 。

(b) 图 6.61b 是有源浮动电位平移(有源电池)的一种实现方式。设计这个电位平移电路, 使得电路给出 1.5 V 的电源电压, 且在直流电流为 $I = 100 \mu\text{A}$ 时的小信号电阻小于 $1 \text{ k}\Omega$ 。忽略沟道调制效应。令 $I_B = 100 \mu\text{A}$, $V_{DD} = V_{SS} = 1.65 \text{ V}$ 。利用 SPICE 仿真来绘出 $V = 0$ 到 $V = 1.65 \text{ V}$ 区间的大信号 $I-V$ 特征曲线。假设 $\mu_n C_{ox} = 194 \mu\text{A}/\text{V}^2$, $\lambda = 0$, $V_t = 0.6 \text{ V}$ 。在 SPICE 仿真时, 将电池的低端与负电源接在一起。

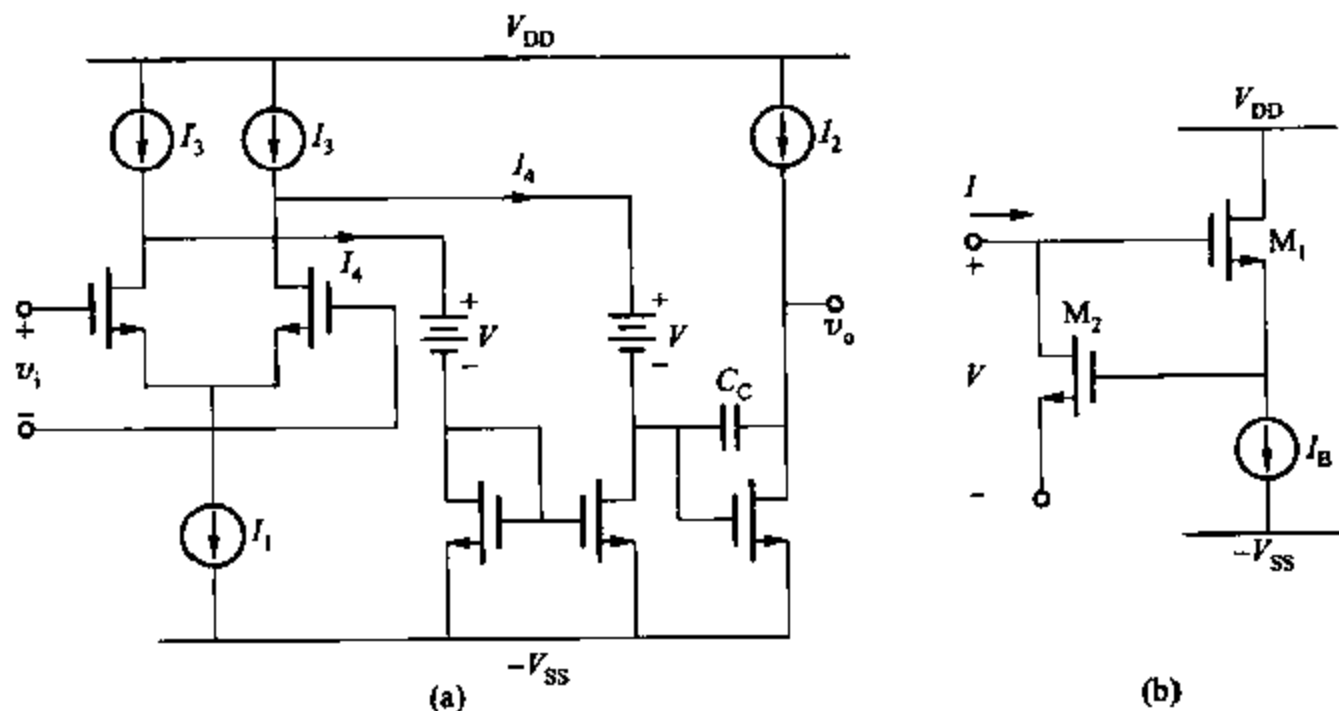


图 6.61 习题 6.24 的电路

6.25 在 741 的输入级, 当电源电压从 $\pm 15 \text{ V}$ 减小到 $\pm 10 \text{ V}$ 时, 计算 Q_1 和 Q_2 的集电极电流变化。忽略晶体管输入电阻为有限值时的影响。利用 SPICE 仿真来验证结果, 然后考虑晶体管输入电阻为有限值, 比较所得到的结果。

6.26 图 6.62 是两个用来为 741 输入级提供偏置的电路原理图。对于每一个电路, 计算出为使输入晶体管的集电极电流为 $10 \mu\text{A}$ 所需的 I_{REF} 值, 忽略基极电流。假设 pnp 管的 β 值为 50, 且对所有器件都有 $V_A \rightarrow \infty$ 。另外, 所有同类型的器件都完全相同。利用 SPICE 仿真验证结果, 并比较在差分输入电压驱动时这一级的小信号跨导。(在输出端使用比 $-V_{REF}$ 高 1.6 V 的偏置电压。)讨论存在的所有差异。

6.27 图 6.63 是一个利用 V_{BE} 倍增电路来为 741 输出级提供偏置的电路原理图。确定由于 R_2/R_1

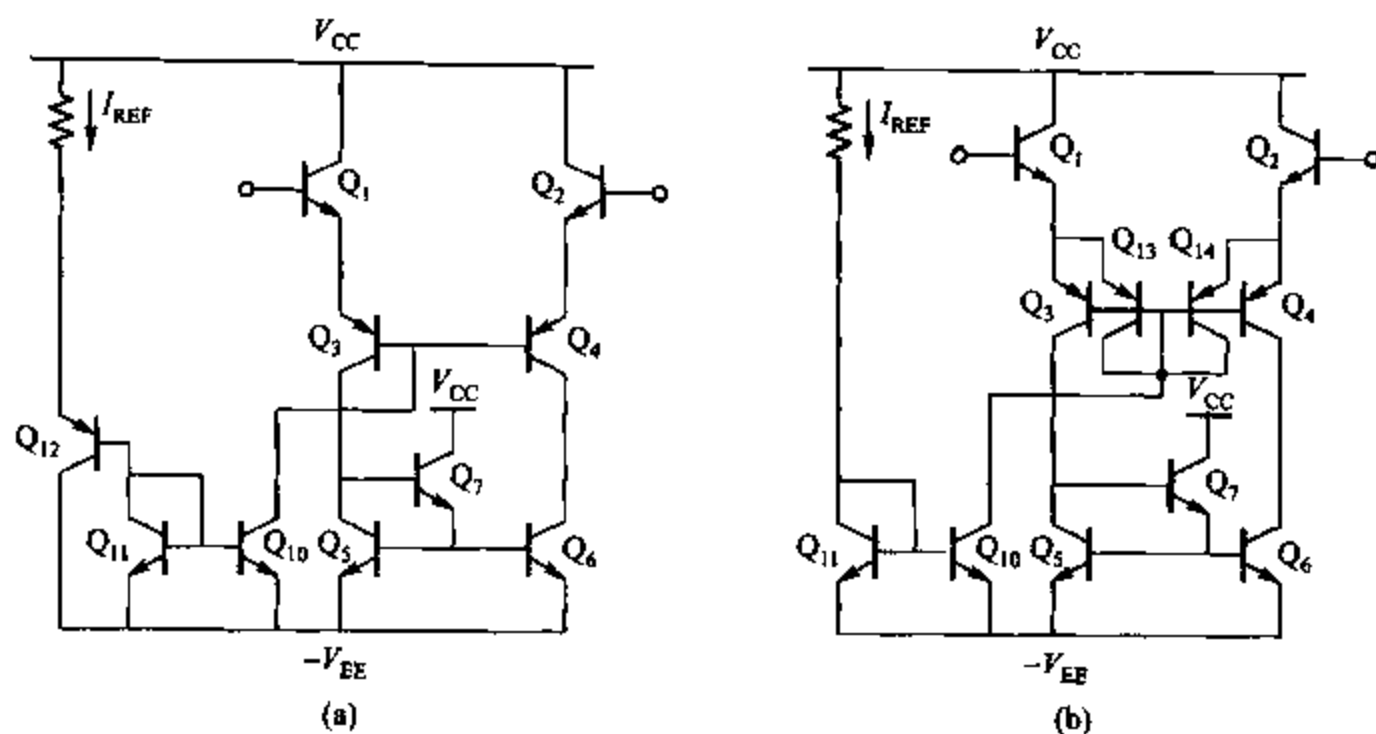


图 6.62 习题 6.26 的电路

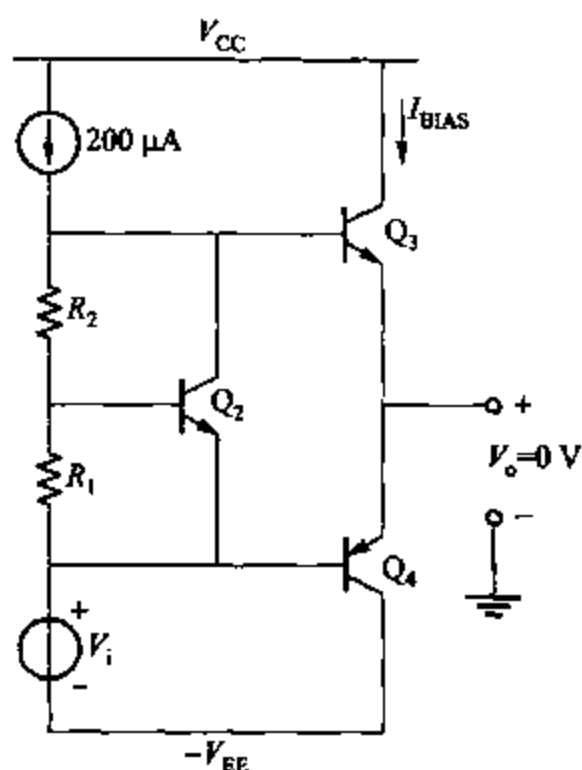


图 6.63 习题 6.27 的电路

的比值对偏置电流的影响。并确定为使偏置电流为 $50 \mu\text{A}$ 所需要的 R_2/R_1 比值。当温度变化时, I_{BIAS} 是否保持恒定? 假设输出晶体管 Q_3 和 Q_4 的饱和电流为小尺寸器件的 5 倍。忽略流过 R_2 和 R_1 的 $200 \mu\text{A}$ 电流和偏置电流。设 $I_s = 10^{-15} \text{A}$ 。在计算得到的电阻的比值且 $R_1 = 100 \text{k}\Omega$ 条件下, 利用 SPICE 仿真计算电路的偏置电流。绘出当温度从 -55°C 到 125°C 变化时 I_{BIAS} 的变化曲线。

6.28 当输入端的偏置电流加倍时, 确定 741 的增益。

6.29 当 Q_7 发射极的 100Ω 电阻被移走时, 会对 741 的增益产生什么影响? 重新计算电路的电压增益值。

6.30 确定 741 的共模输入电压范围。将 741 连接成图 6.3c 所示的单位增益反馈环路方式,用 SPICE 进行仿真,通过绘出电压跟随器的整个直流传输特性曲线,并将所绘图形同 741 参数联系起来,来研究共模输入电压限制的影响。

6.31 计算图 6.64 所示带有源极跟随器驱动的双极型差分对的输入参考随机失调电压。假设在以下参数中存在非零失配:MOS 管阈值、MOS 管的宽长比、偏置电流、双极型晶体管的饱和电流和负载电阻。忽略衬底效应。

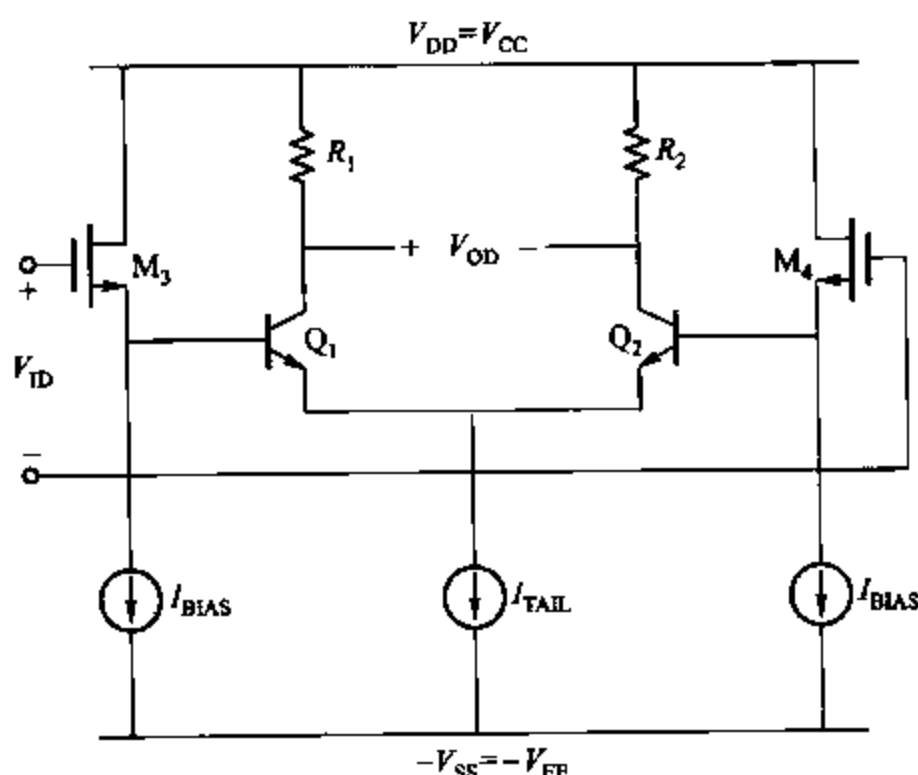


图 6.64 习题 6.31 的电路

参考文献

1. G. E. Tobey, J. G. Graeme, and L. P. Huelsman. *Operational Amplifiers*. McGraw-Hill, New York, 1971.
2. J. V. Wait, L. P. Huelsman, and G. A. Korn. *Introduction to Operational Amplifier Theory and Applications*. McGraw-Hill, New York, 1975.
3. D. Fullagar. "A New High-Performance Monolithic Op Amp," *Fairchild Semiconductor Applications Brief*, May 1968.
4. D. A. Hodges, P. R. Gray, and R. W. Brodersen. "Potential of MOS Technologies for Analog Integrated Circuits," *IEEE Journal of Solid-State Circuits*, Vol. SC-13, pp. 285 ~ 294, June 1978.
5. P. R. Gray and R. G. Meyer. "MOS Operational Amplifier Design-A Tutorial Overview," *IEEE Journal of Solid-State Circuits*, Vol. SC-17, pp. 969 ~ 982, December 1982.
6. Y. P. Tsividis. "Design Considerations in Single-Channel MOS Analog Integrated Circuits - A Tutorial," *IEEE Journal of Solid-State Circuits*, Vol. SC-13, pp. 383 ~ 391, June 1978.
7. W. C. Black, Jr., D. J. Allstot, and R. A. Reed. "A High Performance Low Power CMOS Channel Filter," *IEEE Journal of Solid-State Circuits*, Vol. SC-15, pp. 929 ~ 938, December 1980.
8. H. Ohara, P. R. Gray, W. M. Baxter, C. F. Rahim, and J. L. McCreary. "A Precision Low-Power PCM Channel Filter with On-Chip Power Supply Regulation," *IEEE Journal of Solid-State Circuits*, Vol. SC-15, pp. 1005 ~ 1013, December 1980.
9. G. Nicollini, P. Confalonieri, and D. Senderowicz. "A Fully Differential Sample-and-Hold Circuit

for High-Speed Applications," *IEEE Journal of Solid-State Circuits*, Vol. 24, pp. 1461 ~ 1465, October 1989.

10. T. C. Choi, R. T. Kaneshiro, R. W. Brodersen, P. R. Gray, W. B. Jett, and M. Wilcox. "High-Frequency CMOS Switched-Capacitor Filters for Communications Application," *IEEE Journal of Solid-State Circuits*, Vol. SC-18, pp. 652 ~ 664, December 1983.

11. K. Bult and G. J. G. M. Geelen. "A Fast-Settling CMOS Op Amp for SC Circuits with 90dB DC Gain," *IEEE Journal of Solid-State Circuits*, Vol. 25, pp. 1379 ~ 1384, December 1990.

12. P. R. Gray and R. G. Meyer. *Analysis and*

Design of Analog Integrated Circuits, Third Edition, Wiley, New York, 1993.

13. G. Erdi. "A Low-Drift, Low-Noise Monolithic Operational Amplifier for Low-Level Signal Processing," *Fairchild Semiconductor Applications Brief*, July 1969.

14. G. Erdi. "A Precision Trim Technique for Monolithic Analog Circuits," *IEEE Journal of Solid-State Circuits*, Vol. SC-10, pp. 412 ~ 416, December 1975.

15. R. J. Widlar. "Design Techniques for Monolithic Operational Amplifiers," *IEEE Journal of Solid-State Circuits*, Vol. SC-4, pp. 184 ~ 191, August 1969.

第七章 集成电路的频率响应

7.1 引言

在以上各个章节分析的集成电路工作状态是在低频条件下的性能,并且,也没有考虑晶体管内的寄生电容。然而,随着集成电路所处理信号的频率的增加,电路中的容性器件变得越来越重要。

这个章节考虑的是集成电路在高频时的小信号行为。首先分析单级放大器的频率响应,然后分析多级放大器的频率响应。最后讨论 741 运算放大器,电路中的那些限制它的频率响应的部分被标识出来。

7.2 单级放大器

双极型晶体管和 MOS 管单级放大器的等价电路的基本网络拓扑结构是相似的。因此,在接下来的章节中,每种类型的单级放大器的频率响应分析,最初都用一个对两者都通用的小信号模型来进行。通用的小信号晶体管模型如图 7.1 所示。表 7.1 列出了这个小信号模型的参数以及相应的用来将它转换成双极型晶体管或者 MOS 管的参数。例如,通用模型中的 C_{in} 在双极型模型中变成 C_{π} ,在 MOS 模型中变成 C_{gs} 。然而,有一些器件相关的特殊的小信号元器件没有包含在通用模型中。例如,MOS 模型中的电流源 g_{mb} 和电容 C_{sb} 、 C_{db} 在通用模型中没有合并成一体。这些器件相关的特殊的小信号元器件将在双极型晶体管或者 MOS 管的章节中单独处理。

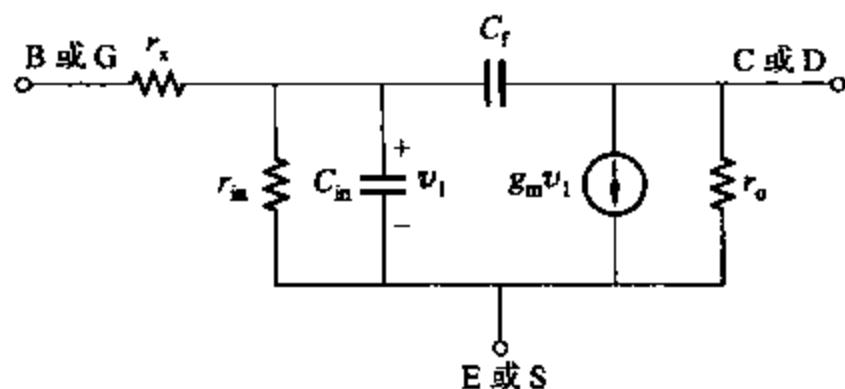


图 7.1 通用小信号晶体管模型

下面的章节主要分析差分放大器中的共射级和共源级。

表 7.1 小信号模型要素

通用模型	双极型模型	MOS 管模型
r_x	r_b	0
r_{in}	r_x	∞
C_{in}	C_x	C_{gs}
C_t	C_μ	C_{gd}
r_o	r_o	r_o

7.2.1 单级电压放大器和密勒效应

单晶体管电压放大器在集成电路中得到广泛应用。图 7.2a 和图 7.2b 分别显示了带阻性负载的共射和共源放大器交流电路。电阻 R_S 是源极电阻, R_L 是负载电阻。图 7.3c 则显示了一个可用于这两种电路的简单的线性模型。在点画线框中的元器件构成了由图 7.1 忽略 r_o 后的通用的小信号晶体管模型。假设晶体管的输出电阻 r_o 远远大于 R_L 。由于这几个电阻在小信号电路中是并联的, r_o 就能够被忽略。因此能用密勒效应来近似分析这个电路。这种近似分析是通过考虑图 7.2c 中向 AA' 平面看的输入电阻。为了得到这个电阻的大小, 计算由电压 v_1 产生的电流 i_1 。

$$i_1 = (v_1 - v_o) s C_t \quad (7.1)$$

由 KCL 在输出结点得

$$g_m v_1 + \frac{v_o}{R_L} + (v_o - v_1) s C_t = 0 \quad (7.2)$$

由式(7.2), 从 v_1 到 v_o 的电压增益可由下式得到:

$$A_v(s) = \frac{v_o}{v_1} = -g_m R_L \left(\frac{1 - s g_m / C_t}{1 + s R_L C_t} \right) \quad (7.3)$$

由式(7.3)得到的 $v_o = A_v(s) v_1$ 并带入 7.1 式, 有

$$i_1 = [1 - A_v(s)] s C_t v_1 \quad (7.4)$$

等式(7.4)说明, 从 AA 往右看的输入导纳为 $[1 - A_v(s)] s C_t$, 而原导纳为 $s C_t$ 。这种改变的原因是 C_t 两端的电压增益, 被称为密勒效应。然而, 由于 $A_v(s)$ 与频率有关, 导纳函数通常为复数。在式(7.4)中将增益函数 $A_v(s)$ 用它的低频值 $A_{v0} = A_v(0)$ 代替, 式(7.4)表示从 AA 向右看的电容, 其值为

$$C_M = (1 - A_{v0}) C_t \quad (7.5)$$

这里, 用低频电压增益 A_{v0} 代替 $A_v(s)$ 被称为密勒近似, C_M 被称为密勒电容。由式(7.3), $A_{v0} = A_v(0) = -g_m R_L$, 因此, 式(7.5)可以写作

$$C_M = (1 + g_m R_L) C_t \quad (7.6)$$

通常, 密勒电容远远大于 C_t , 因为 $g_m R_L \gg 1$ 。

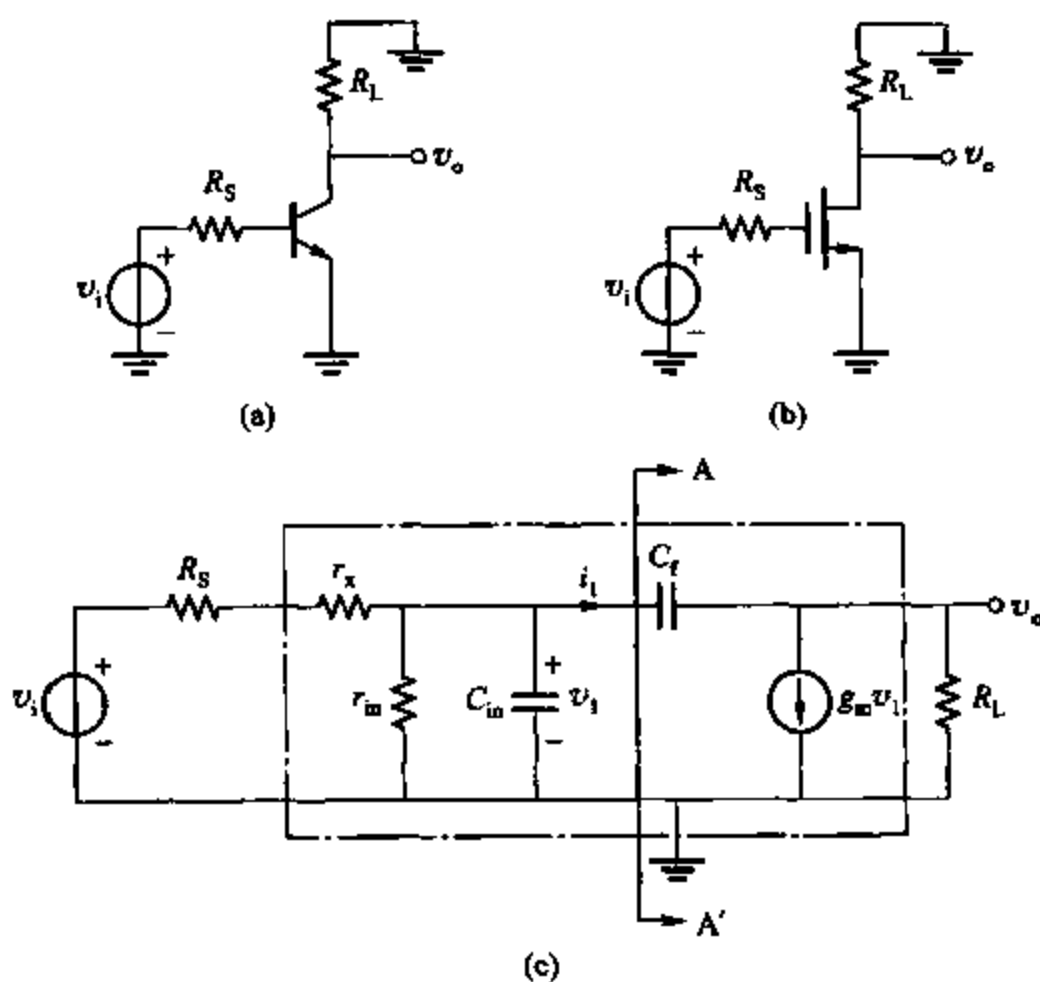


图 7.2 (a) 共射放大器的交流示意图; (b) 共源放大器的交流示意图;
(c) 两种放大器的一个通用模型

现在,能够画出一个新的等效电路来计算电路的正向传输和输入阻抗,利用密勒近似的等效电路如图 7.3 所示。应该注意到,这个电路对于计算高频逆向和输出阻抗并不适用。从这个电路上可以看出,在高频段,输入阻抗最终将接近 r_x 。

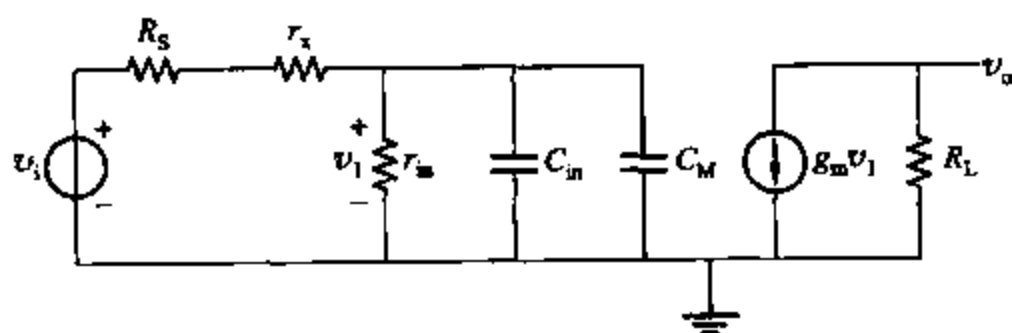


图 7.3 图 7.2c 利用密勒近似的等效电路

密勒电容的物理起源在于电路的电压增益。在低频段,一个小输入电压 v_1 产生一个大的输出电压 $v_o = A_{v0} v_1 = -g_m R_L v_1$, 其极性与 v_1 相反。因此,图 7.2c 中 C_f 两端的电压为 $(1 + g_m R_L) v_1$ 。相应的,一个大电流 i_f 流过这个电容。而图 7.3 中 C_M 两端的电压仅为 v_1 ,但是, C_M 是 C_f 的 $(1 + g_m R_L)$ 倍,因此, C_M 产生一个同 C_f 一样的电流。

在图 7.3 中,密勒电容直接加到 C_{in} 上,因此减小了放大器的带宽。其计算如下:

$$v_1 = \frac{\frac{r_{in}}{1 + sr_{in}C_t}}{\frac{r_{in}}{1 + sr_{in}C_t} + R_S + r_x} v_i \quad (7.7)$$

$$v_o = -g_m R_L v_1 \quad (7.8)$$

其中

$$C_t = C_M + C_{in} \quad (7.9)$$

将式(7.7)代入式(7.8),得到增益的表达式为

$$A(s) = \frac{v_o}{v_i} = -g_m R_L \frac{r_{in}}{R_S + r_x + r_{in}} \frac{1}{1 + sC_t \frac{(R_S + r_x)r_{in}}{R_S + r_x + r_{in}}} \quad (7.10a)$$

$$= K \frac{1}{1 - \frac{s}{p_1}} \quad (7.10b)$$

其中, K 是在低频段的电压增益, p_1 是电路的极点。比较式(7.10a)和式(7.10b), 可以看到

$$K = -g_m R_L \frac{r_{in}}{R_S + r_x + r_{in}} \quad (7.11a)$$

$$\begin{aligned} p_1 &= -\frac{(R_S + r_x)r_{in}}{R_S + r_x + r_{in}} \cdot \frac{1}{C_t} = \frac{1}{[(R_S + r_x) // r_{in}] C_t} \\ &= -\frac{1}{[(R_S + r_x) // r_{in}] [C_{in} + C_t(1 + g_m R_L)]} \end{aligned} \quad (7.11b)$$

以上的分析表明, 这个电路只有唯一的极点, 在式(7.10b)中令 $s = j\omega$, 可以看到, 在频率为

$$\omega_{-3dB} = |p_1| = \frac{(R_S + r_x)r_{in}}{R_S + r_x + r_{in}} \cdot \frac{1}{C_t} = \frac{1}{[(R_S + r_x) // r_{in}] [C_{in} + C_t(1 + g_m R_L)]} \quad (7.12)$$

处电压增益比低频时的增益低 3dB。当 C_t 、 R_L 或 R_S 增加时, 放大器的频率降低 -3dB。

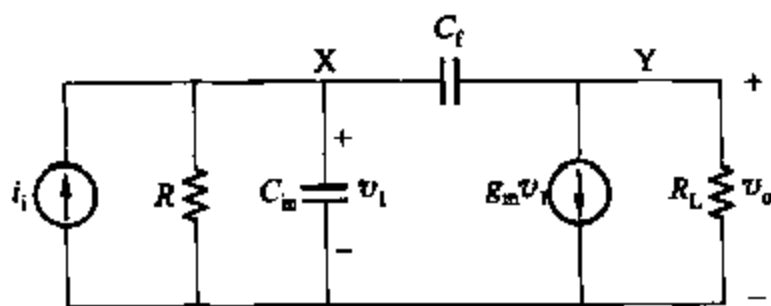


图 7.4 对图 7.2c 的输出利用诺顿定理等效后的电路

这个电路精确的增益表达式可以通过分析图 7.4 的等效电路得到。可以把通过精确分

析得到的极点同利用密勒效应得到的极点相比较。在图 7.4 中的输入端,利用了一个诺顿等效电流源,其中

$$R = (R_S + r_x) // r_{in} \quad (7.13)$$

$$i_i = \frac{v_i}{R_S + r_x} \quad (7.14)$$

在结点 X 处由 KCL 得

$$i_i = \frac{v_i}{R} + v_i sC_{in} + (v_i - v_o) sC_f \quad (7.15)$$

在结点 Y 处由 KCL 得

$$g_m v_i + \frac{v_o}{R_L} + (v_o - v_i) sC_f = 0 \quad (7.16a)$$

等式(7.16a)可以写为

$$v_i (g_m - sC_f) = -v_o \left(\frac{1}{R_L} + sC_f \right) \quad (7.16b)$$

因此

$$v_i = -v_o \frac{\frac{1}{R_L} + sC_f}{g_m - sC_f} \quad (7.17)$$

将式(7.17)代入式(7.15),得

$$i_i = - \left(\frac{1}{R} + sC_{in} + sC_f \right) \frac{1/R_L + sC_f}{g_m - sC_f} v_o - sC_f v_o$$

其传递函数为

$$\frac{v_o}{i_i} = - \frac{RR_L (g_m - sC_f)}{1 + s(C_f R_L + C_f R + C_{in} R + g_m R_L RC_f) + s^2 R_L RC_f C_{in}} \quad (7.18)$$

将式(7.15)所得到的 i_i 代入式(7.18)中,得

$$\frac{v_o}{v_i} = - \frac{g_m R_L R}{R_S + r_x} \frac{1 - s \frac{C_f}{g_m}}{1 + s(C_f R_L + C_f R + C_{in} R + g_m R_L RC_f) + s^2 R_L RC_f C_{in}} \quad (7.19)$$

再将式(7.13)中的 R 代入式(7.18)中,得到低频段的增益为

$$\left. \frac{v_o}{v_i} \right|_{\omega=0} = -g_m R_L \frac{r_{in}}{R_S + r_x + r_{in}} \quad (7.20)$$

与在式(7.10)中得到的相同。

由式(7.19)可知,传递函数 v_o/v_i 有一个正实数零点,幅值为 g_m/C_f 。这个零点的产生是由于信号通过 C_f 直接从输入端传到输出端。除非在特别高的频率下,否则这个零点的作用很小,因此,在这里的讨论中暂且将它忽略。然而,在一些运算放大器的稳定性分析中,这些零点可能会变得很重要,详细的讨论将在第九章进行。式(7.19)的分母可以看出,传递函数有两个极点,在实际中通常为实数,并且相隔很远。设极点分别为 p_1 和 p_2 ,可将式(7.19)的分母写成

$$D(s) = \left(1 - \frac{s}{p_1}\right) \left(1 - \frac{s}{p_2}\right) \quad (7.21)$$

将上式展开得

$$D(s) = 1 - s \left(\frac{1}{p_1} + \frac{1}{p_2} \right) + \frac{s^2}{p_1 p_2} \quad (7.22)$$

现在,假设两个极点都为实数且相隔很远,令 p_1 为低频率极点(主极点), p_2 为高频率极点(非主极点),则由于 $|p_2| \gg |p_1|$,式(7.22)变成

$$D(s) \approx 1 - \frac{s}{p_1} + \frac{s^2}{p_1 p_2} \quad (7.23)$$

将式(7.23)中 s 的系数同式(7.19)中的相比较,可以看出

$$\begin{aligned} p_1 &= - \frac{1}{\bar{C}_{in} R + C_i (R + g_m R_L R + R_L)} \\ &= - \frac{1}{R \left[C_{in} + C_i \left(1 + g_m R_L + \frac{R_L}{R} \right) \right]} \end{aligned} \quad (7.24)$$

将式(7.13)中的 R 值代入式(7.24),主极点 p_1 为

$$\begin{aligned} p_1 &= - \frac{(R_S + r_x) r_{in}}{R_S + r_x + r_{in}} \frac{1}{\left[C_{in} + C_i \left(1 + g_m R_L + \frac{R_L}{R} \right) \right]} \\ &= - \frac{1}{[(R_S + r_x) // r_{in}] \left[C_{in} + C_i \left(1 + g_m R_L + \frac{R_L}{R} \right) \right]} \end{aligned} \quad (7.25)$$

这个极点的值同式(7.11b)中利用密勒近似得到的极点值几乎完全相等。两个等式的唯一区别在于分母的式(7.25)最后一项 R_L/R ,而这最后一项同 $(1 + g_m R_L)$ 相比通常很小。从计算结果可以看出,利用密勒效应的计算,几乎可以同计算放大器的主极点和忽略高频率极点相等价。在很多电路中,密勒近似能够对 ω_{-3dB} 给出一个很好的估计值。

现在通过令式(7.23)中和式(7.19)中 s^2 的系数相等来计算非主极点,可以得到

$$p_2 = \frac{1}{p_1} \frac{1}{R_L R C_i C_{in}} \quad (7.26)$$

将式(7.24)代入式(7.26)得

$$p_2 = - \left(\frac{1}{R_L C_i} + \frac{1}{R C_{in}} + \frac{1}{R_L C_{in}} + \frac{g_m}{C_{in}} \right) \quad (7.27)$$

这一部分的结果都是由通用的小信号模型得到的。通用模型的参数和相应的双极型晶体管和 MOS 管参数已在表 7.1 中列出。通过替换表 7.1 中的值,这一部分的结果能够扩展到双极型共射放大器和 MOS 管共源放大器,这二者都将在接下来的差分放大器的半边电路看到。

7.2.1.1 双极型差分放大器:差模增益

图 7.5 是一个模拟集成电路的基本模块。对于 v_i 处的小信号差模输入,结点 E 为虚

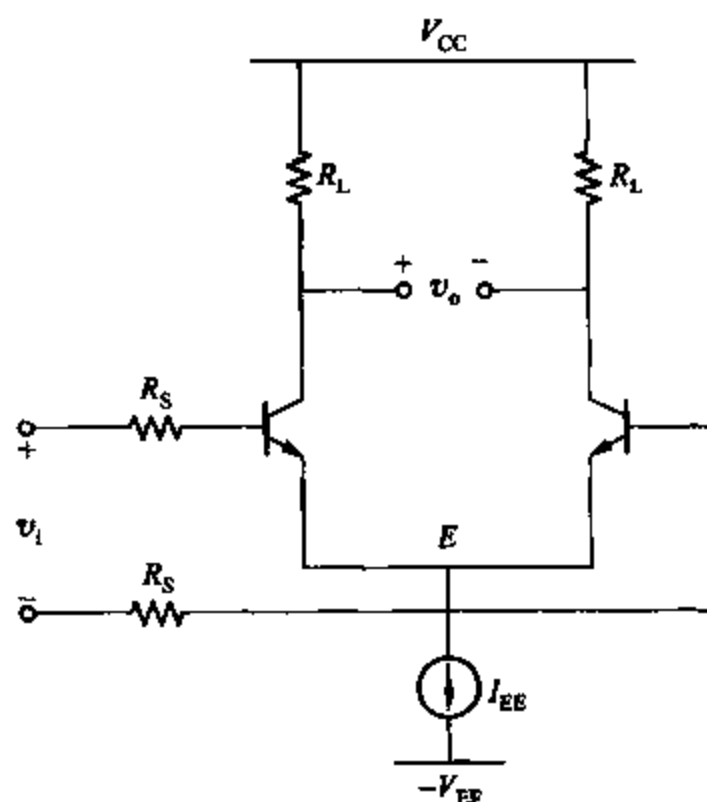


图 7.5 双极型晶体管差分放大电路

地,画出差模(DM)交流半边电路如图 7.6a 所示。这个共射电路的增益与整个电路的差模(DM)增益相等。接下来对此电路的分析,不仅对于差模(DM)交流半边电路适用,而且对于任何单级的共射放大器都适用,如图 7.6a 所示。其等效的小信号等效电路如图 7.6b 所示。为了紧凑,输入和输出中的因子 $1/2$ 都忽略,这样的省略对分析并没有任何影响。同时,为简化结构,晶体管的集电极与衬底间的电容也没有画出。由于这个电容与 R_L 并联,它的影响可以通过用 Z_L 代替 R_L 得到,其中, Z_L 等于 R_L 与 C_μ 的并联。

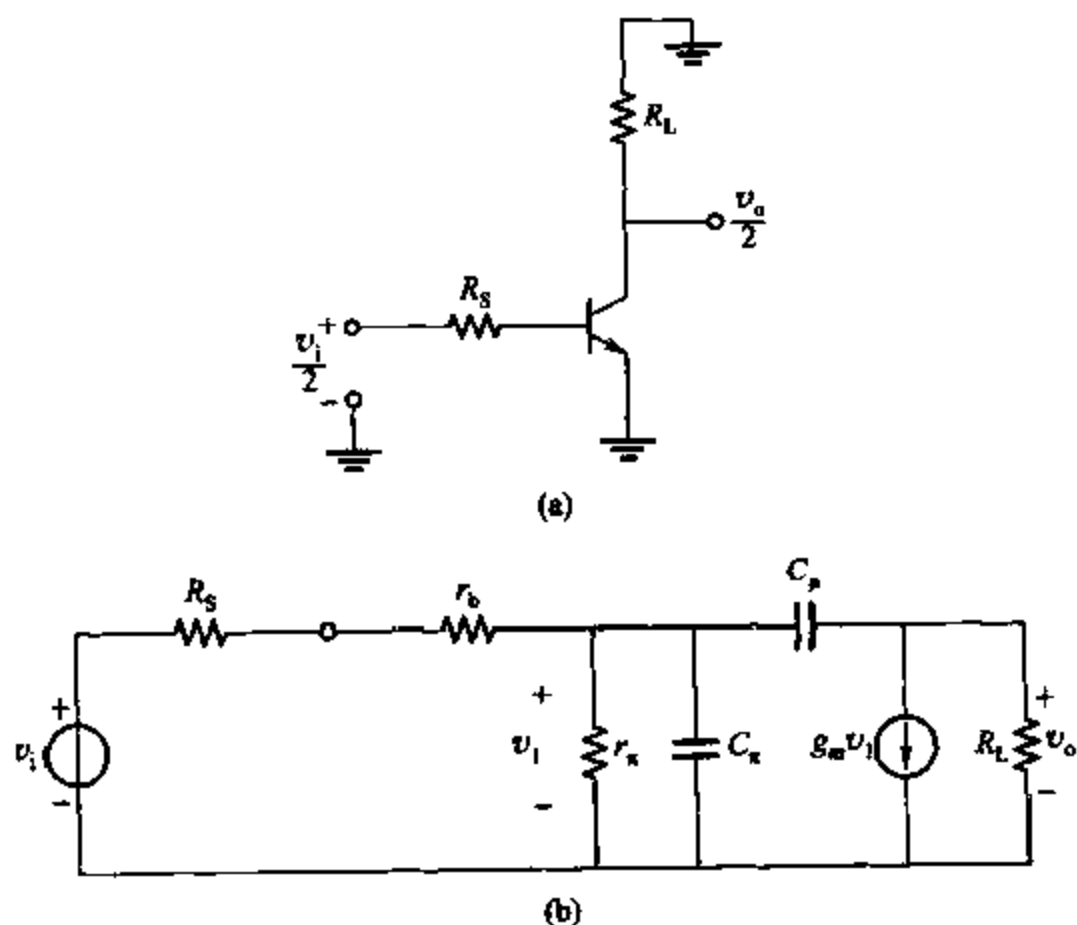


图 7.6 (a) 图 7.5 的差分交流半电路;(b) (a) 的小信号等效电路

用表 7.1 中的第二列双极型晶体管参数来代替图 7.2c 所示的通用模型中的参数,图 7.2c 中的小信号模型变为图 7.6b 所示的电路。因此,上一章节的分析结果在这里同样适用。将表 7.1 中的值代入式(7.19)中,可以得到电压增益为

$$\frac{v_o}{v_i} = - \frac{\frac{g_m R_L R}{R_S + r_b} \left(1 - s \frac{C_\mu}{g_m} \right)}{1 + s(C_\mu R_L + C_\mu R + C_\pi R + g_m R_L R C_\mu) + s^2 R_L R C_\mu C_\pi} \quad (7.28)$$

其中, $R = (R_S + r_b) // r_\pi$, 代入式(7.25), 主极点由下式给出:

$$p_1 = - \frac{1}{[(R_S + r_b) // r_\pi] \left[C_\pi + C_\mu \left(1 + g_m R_L + \frac{R_L}{R} \right) \right]} \quad (7.29)$$

通过基于密勒效应的式(7.11b)计算 p_1 得

$$\begin{aligned} p_1 &= - \frac{1}{[(R_S + r_b) // r_\pi] [C_\pi + C_\mu (1 + g_m R_L)]} \\ &= - \frac{1}{[(R_S + r_b) // r_\pi] (C_\pi + C_M)} \end{aligned} \quad (7.30)$$

其中

$$C_M = C_\mu (1 + g_m R_L) \quad (7.31)$$

为密勒电容。当 $R_L/R \ll 1 + g_m R_L$ 时式(7.30)给出的 p_1 实际上同式(7.30)给出的相同, 而 $R_L/R \ll 1 + g_m R_L$ 的条件通常是能够满足的。这个结果表明, 密勒近似对于计算主极点非常有用。由式(7.27), 非主极点由下式给出:

$$p_2 = - \left(\frac{1}{R_L C_\mu} + \frac{1}{R C_\pi} + \frac{1}{R_L C_\pi} + \frac{g_m}{C_\pi} \right) \quad (7.32)$$

最后一项 $g_m/C_\pi > g_m/(C_\pi + C_\mu) = \omega_T$ 因此 $|p_2| > \omega_T$ (在第一章已经介绍过, ω_T 是晶体管的转折频率), 从而, p_2 为一个相当高的频率。因此, $|p_1|$ 几乎总是远远小于 $|p_2|$, 正如在计算中所假设的那样。于是, 在 s 平面, 放大器的极点分得很开, 如图 7.7 所示。

示例

利用密勒近似, 计算共射晶体管放大器的 -3dB 截止频率, 参数如下:

$$\begin{aligned} R_S &= 1 \text{ k}\Omega \quad r_b = 200 \text{ }\Omega \quad I_C = 1 \text{ mA} \quad \beta_0 = 100 \\ f_T &= 400 \text{ MHz} (I_C = 1 \text{ mA}) \quad C_\mu = 0.5 \text{ pF} \quad R_L = 5 \text{ k}\Omega \end{aligned}$$

晶体管的小信号参数为

$$r_\pi = \frac{\beta_0}{g_m} = 100 \times 26 \text{ }\Omega = 2.6 \text{ k}\Omega$$

$$\tau_T = \frac{1}{2\pi f_T} = 398 \text{ ps}$$

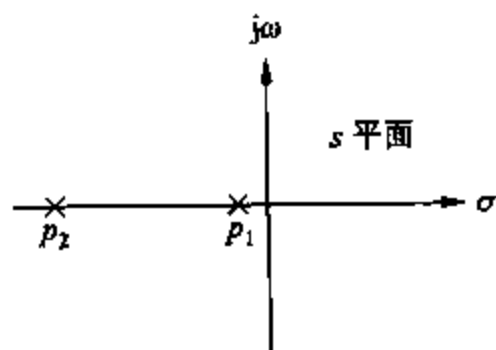


图 7.7 图 7.4 电路极点的典型位置

利用式(1.129),得

$$C_{\pi} + C_{\mu} = g_m \tau_T = \left(\frac{1 \text{ mA}}{26 \text{ mA}} \right) 398 \text{ ps} = 15.3 \text{ pF}$$

从而

$$C_{\pi} = 14.8 \text{ pF}$$

代入式(7.31)可以得到密勒电容

$$C_M = (1 + g_m R_L) C_{\mu} = \left(1 + \frac{1 \text{ mA}}{26 \text{ mA}} 5 \text{ k}\Omega \right) (0.5 \text{ pF}) = 96.7 \text{ pF}$$

这一项远远大于 C_{π} , 从而决定了频率响应。将值代入式(7.30)可得

$$f_{-3\text{dB}} = \frac{|p_1|}{2\pi} = \frac{1}{2\pi} \frac{1 \ 000 + 200 + 2 \ 600}{(1 \ 000 + 200) 2 \ 600 14.8 + 96.7} 10^{12} = 1.74 \text{ MHz}$$

为了比较, 式(7.29)给出的 $|p_1| = 10.7 \text{ Mrad/s}$, $f_{-3\text{dB}} = 1.70 \text{ MHz}$, 同利用密勒效应计算得到的值符合得很好。利用式(7.28)计算低频增益为

$$\left. \frac{v_o}{v_i} \right|_{\omega=0} = -g_m R_L \frac{r_{\pi}}{R_S + r_b + r_{\pi}} = -\frac{5 \ 000}{26} \frac{2.6}{5 + 0.2 + 2.6} = -64.1$$

因此, 低频的增益为 36.1 dB, 幅频响应(对数坐标)画于图 7.8 中, 其中的频率范围为低于和略高于 $|p_1|$ 。

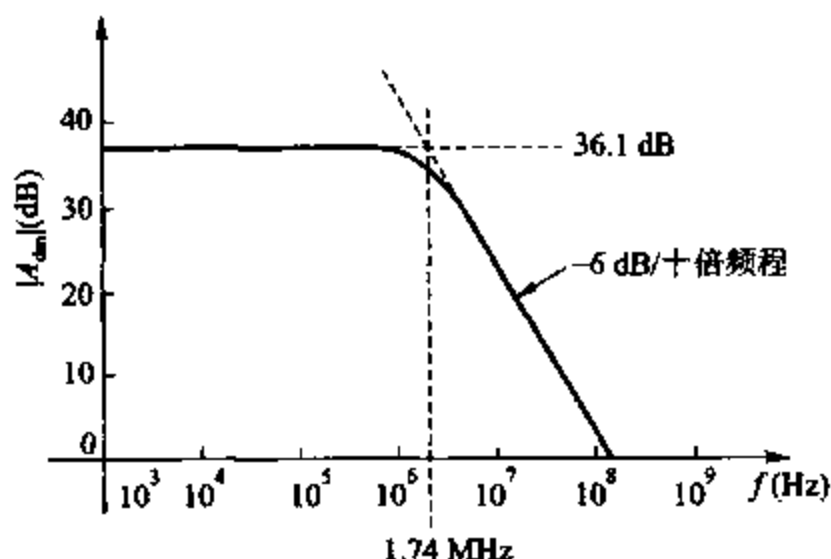


图 7.8 利用晶体管典型数据得到的图 7.3 电路的增益频率曲线

7.2.1.2 MOS 差分放大器: 差模增益

图 7.9 是一个阻性负载的 MOS 管差分放大器。差模交流半边电路和对应的小信号电路分别如图 7.10a 和 7.10b 所示。为紧凑结构, 图 7.10b 中输入和输出中的因子 1/2 都忽略, 这样的省略对分析并没有任何影响。图中所示的电路是一个共源放大器, 其中的 g_{mb} 电流源和源-衬底电容 C_{sb} 没有画出, 由于这里的 $v_{bs} = 0$, 它们不起作用。同时, 为简化结构, 漏-衬底电容 C_{db} 也没有画出。由于 C_{db} 在电路中与 R_L 并联, 它的影响可以通过用 Z_L 代替 R_L 得到, 其中, Z_L 等于 R_L 与 C_{db} 的并联。同样为简化, 栅极电容 C_{gb} 忽略不计。由于在共源放大器中, C_{gb} 与 C_{gs} 并联, 它的影响可以通过简单地将它的值与 C_{gs} 叠加来考虑。而通

常, $C_{gs} \gg C_{gb}$, 所以 $C_{gs} + C_{gb} \approx C_{gs}$ 。对于这个交流电路的分析不仅对于这个差模(DM)半边电路适用, 而且对于任何单级的如图 7.10b 所示形式的共源放大器均适用。如果将图 7.10b 中参数用表 7.1 中所列的参数重新命名, 图 7.10b 所示的电路就和图 7.2c 所示的电路一样了。因此, 在这里可以利用图 7.2c 的分析及其结果。将式(7.19)中的参数用表 7.1 中的第三列代替, 可以得到准确的传递函数为:

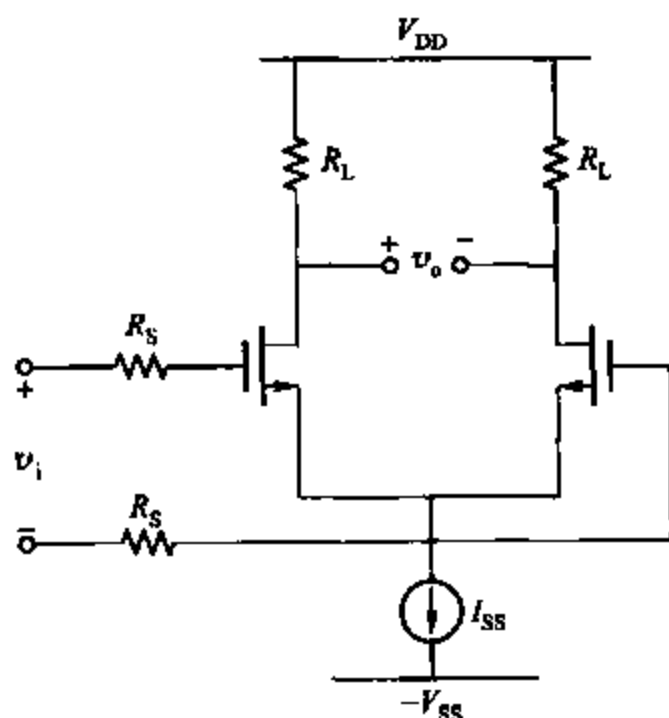


图 7.9 MOS 管差分放大电路

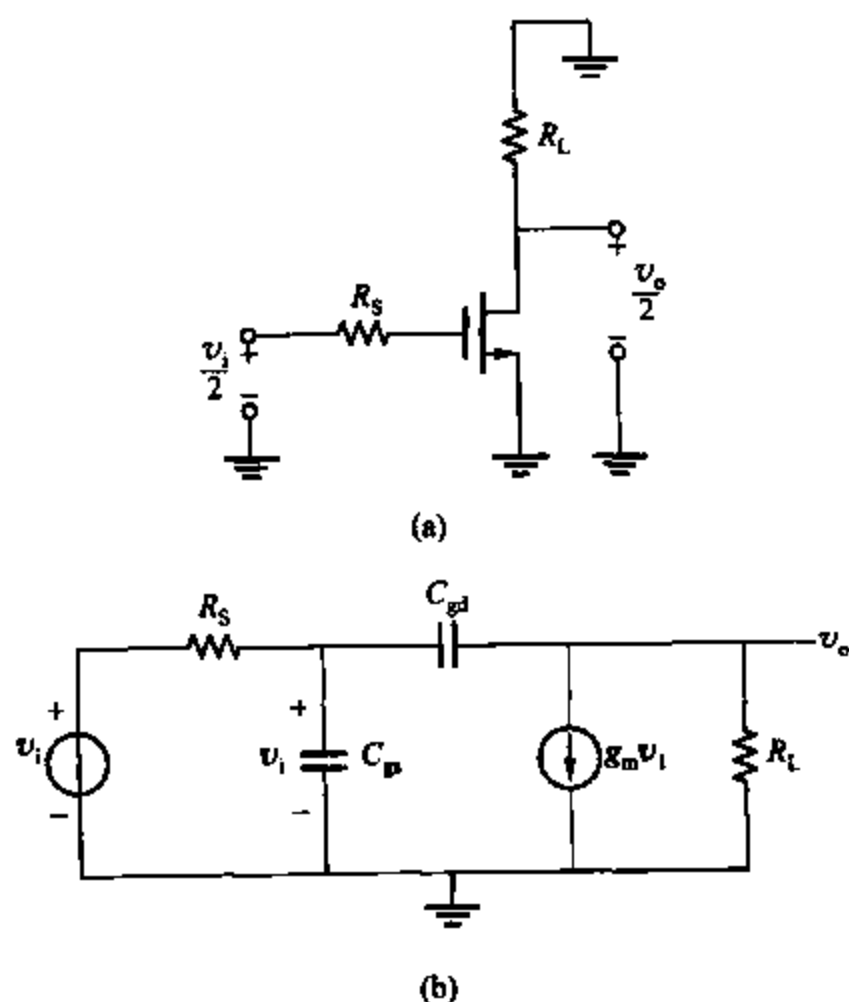


图 7.10 (a) 图 7.9(b) 的差模交流半边电路; (b) 小信号等效模型

$$\frac{v_o}{v_i} = - \frac{g_m R_L \left(1 - s \frac{C_{gd}}{g_m}\right)}{1 + s(C_{gd} R_L + C_{gd} R_S + C_{gs} R_S + g_m R_L R_S C_{gd}) + s^2 R_L R_S C_{gd} C_{gs}} \quad (7.33)$$

用式(7.25),主极点由下式得出:

$$p_1 = - \frac{1}{R_S \left[C_{gs} + C_{gd} \left(1 + g_m R_L + \frac{R_L}{R_S}\right) \right]} \quad (7.34)$$

用基于密勒效应近似的式(7.11b)来计算 p_1 , 为

$$p_1 \approx - \frac{1}{R_S [C_{gs} + C_{gd}(1 + g_m R_L)]} = \frac{1}{R_S (C_{gs} + C_M)} \quad (7.35)$$

这里

$$C_M = C_{gd}(1 + g_m R_L) \quad (7.36)$$

是密勒电容。当 $R_L/R_S \ll (1 + g_m R_L)$ 时, 等式(7.35)近似给出了一个和式(7.34)相同的 p_1 值。这说明密勒近似对求取主极点是很有用的。由式(7.27)得出非主极点为

$$p_2 = - \left(\frac{1}{R_L C_{gd}} + \frac{1}{R_S C_{gs}} + \frac{1}{R_L C_{gs}} + \frac{g_m}{C_{gs}} \right) \quad (7.37)$$

式(7.37)的最后一项 $g_m/C_{gs} > g_m/(C_{gs} + C_{gd} + C_{gb}) = \omega_T$, 因此 $|p_2| > \omega_T$ 。(回想第一章定义的 ω_T 是晶体管的转折频率。) $|p_2|$ 是非常高的频率, 因此, $|p_1|$ 总是远远小于 $|p_2|$, 在 s 域, 放大器的极点是远远分开的, 如图 7.7 所示。

示例

用密勒近似的方法计算共源放大器的 -3 dB 截止频率, 已知参数:

$$R_S = 1 \text{ k}\Omega \quad I_D = 1 \text{ mA} \quad k' \frac{W}{L} = 100 \text{ mA/V}^2$$

$$f_T = 400 \text{ MHz} (I_D = 1 \text{ mA}) \quad C_{gd} = 0.5 \text{ pF} \quad C_{gb} = 0 \quad R_L = 5 \text{ k}\Omega$$

小信号跨导为

$$g_m = \sqrt{2(100 \text{ mA/V}^2)(1 \text{ mA})} = 14.1 \text{ mS}$$

由第一章的式(1.207)和 $C_{gb} = 0$ 得

$$C_{gs} + C_{gd} = \frac{g_m}{\omega_T} = \frac{14.1 \text{ mS}}{2\pi(400 \text{ MHz})} = 5.6 \text{ pF}$$

因此

$$C_{gs} = 5.6 \text{ pF} - C_{gd} = 5.1 \text{ pF}$$

由式(7.36)得出密勒电容为

$$C_M = (1 + g_m R_L) C_{gd} = [1 + (14.1 \text{ mS})(5 \text{ k}\Omega)](0.5 \text{ pF}) = 35.7 \text{ pF}$$

此电容远远大于 C_{gs} , 所以频率响应主要由它决定。由式(7.35)得

$$f_{-3\text{dB}} = \frac{|p_1|}{2\pi} = \frac{1}{2\pi(100 \text{ }\Omega)(5.1 \text{ pF} + 35.7 \text{ pF})} = 3.9 \text{ MHz}$$

比较由式(7.34)得出的结果 $|p_1| = 23.1 \text{ Mrad/s}$ 和 $f_{-3\text{dB}} = 3.7 \text{ MHz}$, 这个更接近用密勒效应计算出的结果。低频增益可以由式(7.33)得出, 为

$$\left. \frac{v_o}{v_i} \right|_{\omega=0} = -g_m R_L = -(14.1 \text{ mS})(5000 \Omega) = -70.5$$

7.2.2 差分放大器共模增益的频率响应

在第三章已经介绍了差模放大器的共模(CM)增益的重要性。可以看出, 期望的共模增益的值很低, 这样电路就可以抑制加在两个输入端的不希望的信号。由于不希望出现的共模信号可能有高频分量, 因此研究共模增益的频率响应是很重要的。在图 7.5 和图 7.9 中差模电路的频率响应可以由图 7.11a 和图 7.11b 的半边电路计算。在图 7.11 中, R_T 和 C_T 是尾电流源的等效输出电阻和电容。因为在共模半边电路里两个器件的阻抗加倍了, 因此 C_T 、 R_T 分别变为 $C_T/2$ 、 $2R_T$ 。图 7.11c 是 7.11a、b 的小信号等效电路。 $2R_T$ 和 $C_T/2$ 一起表示为 Z_T 。

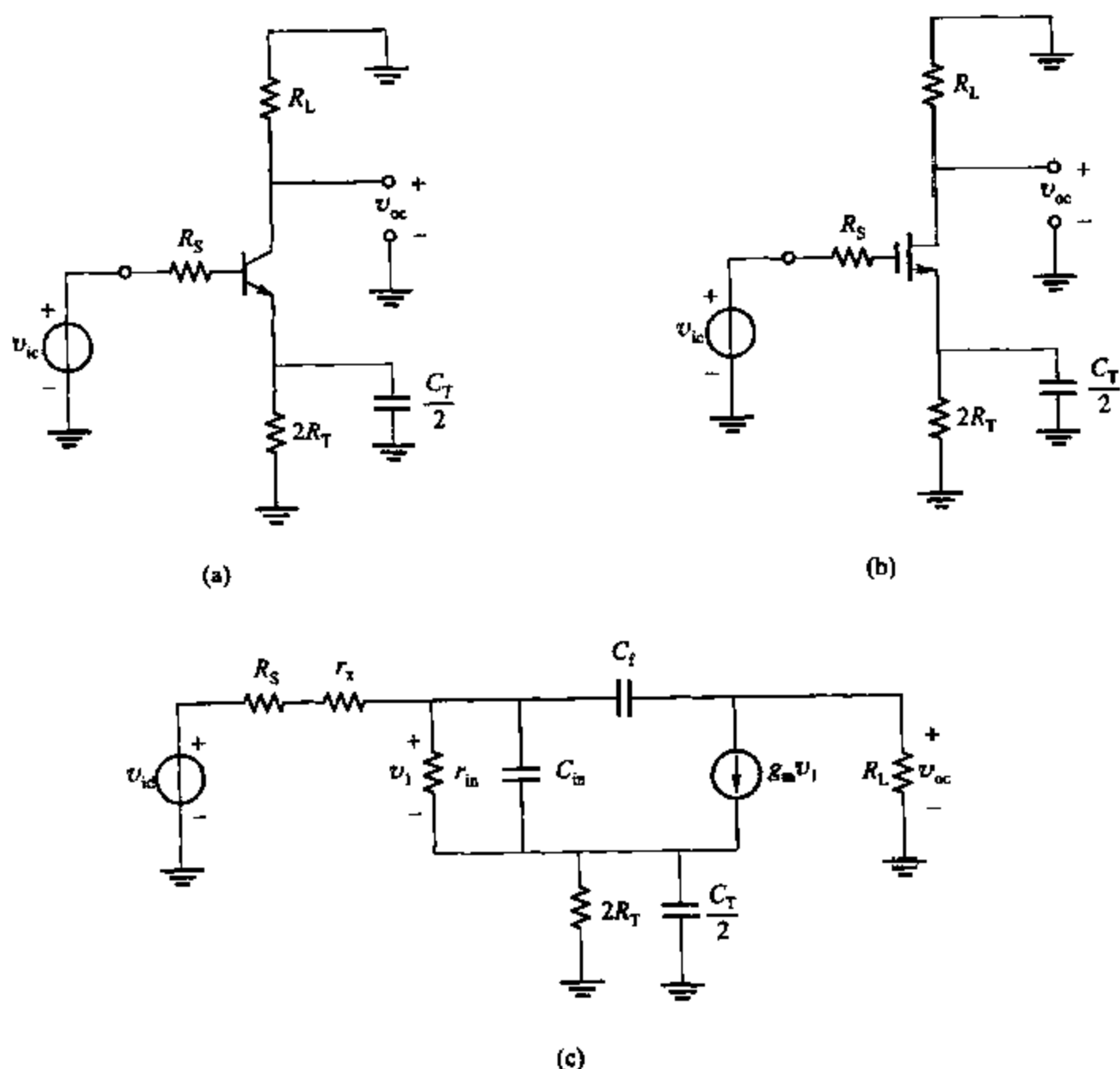


图 7.11 (a) 图 7.5 的共模交流半边电路; (b) 图 7.9 共模交流半边电路; (c) 半边电路的一般模型

图 7.11c 的全面分析很复杂。因此,可以做一些近似来计算频率响应曲线的主要形状。考虑时间常数 $R_T C_T$ 。电阻 R_T 是电流源的输出电阻,并且一般都大于或等于晶体管的输出电阻 r_o 。假定此电阻为 $1\text{ M}\Omega$ 左右。电容 C_T 包括双极型电流源晶体管的 C_π 或电流源晶体管的 C_{db} 加上 MOS 电路里的输入晶体管的 C_{gs} 。典型的 C_T 值是 1 pF 或更小。由 $R_T = 1\text{ M}\Omega$ 和 $C_T = 1\text{ pF}$, 得出时间常数 $R_T C_T$ 为 $1\text{ }\mu\text{s}$, 截止频率为 $1/(2\pi R_T C_T) = 166\text{ kHz}$ 。在此频率下的阻抗 Z_T 主要由 R_T 决定,高于此频率就主要由 C_T 决定。可以假定 C_T 是唯一起作用的电容来计算频率响应。因为阻抗 Z_T 很高,当 R_s 很小时,几乎所有的 v_{ic} 都加在 Z_T 上。因此,可以估算出共模增益为

$$A_{cm} = \frac{v_{oc}}{v_{ic}} \approx -\frac{R_L}{Z_T} \quad (7.38)$$

其中

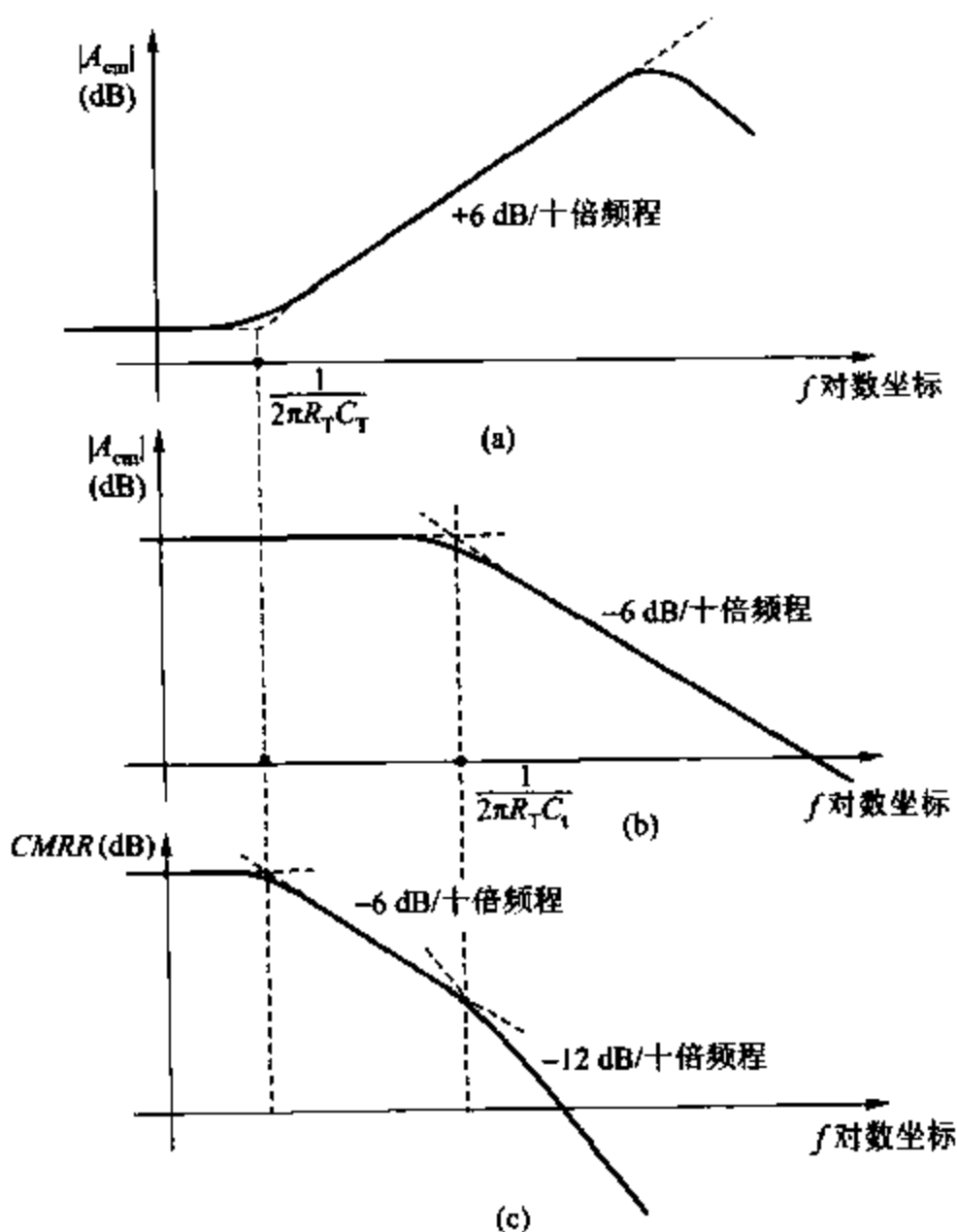


图 7.12 图 7.5、7.9 中差模放大器的增益参数随频率的变化
(a) 共模增益; (b) 差模增益; (c) 共模抑制比

$$Z_T = \frac{2R_T}{1 + sC_T R_T} \quad (7.39)$$

把式(7.39)代入式(7.38)得

$$A_{cm}(s) = \frac{v_{oc}(s)}{v_{ic}} \approx -\frac{R_L}{2R_T}(1 + sR_T C_T) \quad (7.40)$$

由等式(7.40)可知共模增益表达式包含一个零点,它导致共模增益在 $\omega = 1/R_T C_T$ 上以 6 dB/十倍频程增长。这是不希望的,因为理想的共模增益应该越小越好。共模增益的增长不能是无限的,图 7.11c 里的其他电容在高频段使共模增益下降,如图 7.12a 所示。

图 7.5 或 7.9 的差模增益 A_{dm} 与频率的关系按照式(7.10)绘在了图 7.12b 中。如前面所述, $|A_{dm}|$ 在 $f = 1/2\pi RC_1$ 处开始下降,这里 $R = (R_S + r_x) // r_{in}$, $C_1 = C_{in} + C_M$ 。如第三章所述,差模放大器的一个重要参数是共模抑制比,定义为

$$CMRR = \frac{|A_{dm}|}{|A_{cm}|} \quad (7.41)$$

CMRR 与频率的关系图如图 7.12c 所示。用简化的差模和共模增益的幅值表示,此曲线在 $1/(2\pi R_T C_T)$ 处,当 $|A_{dm}|$ 增加时下降了。当频率上升时, A_{dm} 开始下降, CMRR 急剧下降。这时差模放大器抑制共模信号的能力就大大下降了。

7.2.3 电压缓冲的频率响应

单级电压缓冲一般用在集成电路里。双极型交流电路和 MOS 电路的电压缓冲如图 7.13a 和 7.13b 所示。图 7.13c 是它们的小信号模型。 R_S 是电源内阻, R_L 是负载电阻。假定输出电阻 r_o 远远大于 R_L 。因为这些晶体管的小信号模型是并联的,因此 r_o 可以被忽略不计。晶体管的输入电阻和源内阻是串联的,可以合并为 $R'_S = R_S + r_x$ 。为了简化,也忽略图 7.1 中的电容 C_1 ,如果 R'_S 很小,这种近似是允许的。 C_1 和 R'_S 组成了一个低通滤波器,使频率非常高时增益下降。由图 7.13c 得

$$v_i = i_i R'_S + v_1 + v_o \quad (7.42)$$

$$i_i = \frac{v_1}{z_{in}} \quad (7.43)$$

$$z_{in} = \frac{r_{in}}{1 + sC_{in} r_{in}} \quad (7.44)$$

$$i_i + g_m v_1 = \frac{v_o}{R_L} \quad (7.45)$$

把式(7.43)和式(7.44)代入到式(7.45)中,得

$$\frac{v_1}{r_{in}}(1 + sC_{in} R_{in}) + g_m v_1 = \frac{v_o}{R_L}$$

因此

$$v_1 = \frac{v_o}{R_L} \frac{1}{g_m + \frac{1}{r_{in}}(1 + sC_{in} r_{in})} \quad (7.46)$$

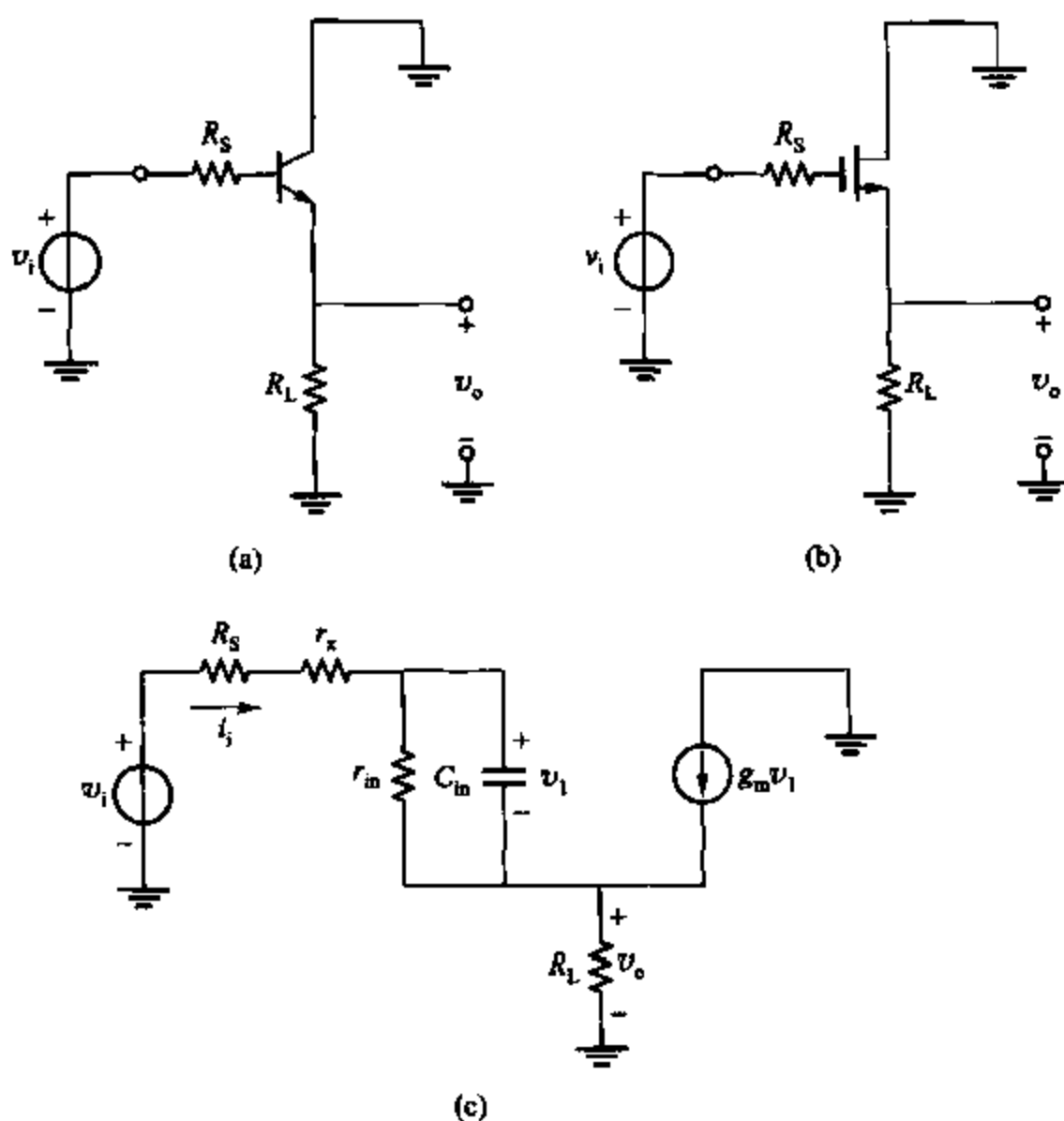


图 7.13 (a) 射随器放大器交流电路; (b) 源极跟随器放大器电路; (c) 两种放大器的通用模型

式(7.46)和式(7.43)代入到式(7.42)中,得

$$v_i = \left(\frac{R'_S}{z_{in}} + 1 \right) \frac{v_o}{R_L} \frac{1}{g_m + \frac{1}{r_{in}}(1 + sC_{in}r_{in})} + v_o$$

进而得出

$$\frac{v_o}{v_i} = \frac{g_m R_L + \frac{R_L}{r_{in}}}{1 + g_m R_L + \frac{R'_S + R_L}{r_{in}}} \left[\frac{1 - \frac{s}{z_1}}{1 - \frac{s}{p_1}} \right] \quad (7.47)$$

其中

$$z_1 = -\frac{g_m + \frac{1}{r_{in}}}{C_{in}} \quad (7.48)$$

$$p_1 = -\frac{1}{R_L C_{in}} \quad (7.49)$$

$$R_L = r_{in} // \frac{R'_S + R_S}{1 + g_m R_L} \quad (7.50)$$

等式(7.47)表明,正如所希望的,当 $g_m R_L \gg 1$ 且 $g_m R_L \gg (R'_S + R_L)/r_\pi$ 时,低频的电压增益几乎是不变的。高频增益由极点 p_1 和零点 z_1 决定。

7.2.3.1 射随器的频率响应

图 7.13a 中的射随器的小信号模型如图 7.14 所示。与 7.2.3 节的分析相同,首先忽略 C_μ 。可以把表 7.1 中的近似值通过式(7.50)带入式(7.47)中而求得射随器的传递函数。如果 $g_m R_L \gg 1$ 且 $g_m R_L \gg (R'_S + R_L)/r_\pi$, 其中 $R'_S = R_S + r_b$, 低频增益几乎是不变的。零、极点由下式给出:

$$z_1 = -\frac{g_m + \frac{1}{r_\pi}}{C_\pi} \approx -\frac{g_m}{C_\pi} \approx -\omega_T \quad (7.51)$$

$$p_1 = -\frac{1}{C_\pi R_1} \quad (7.52)$$

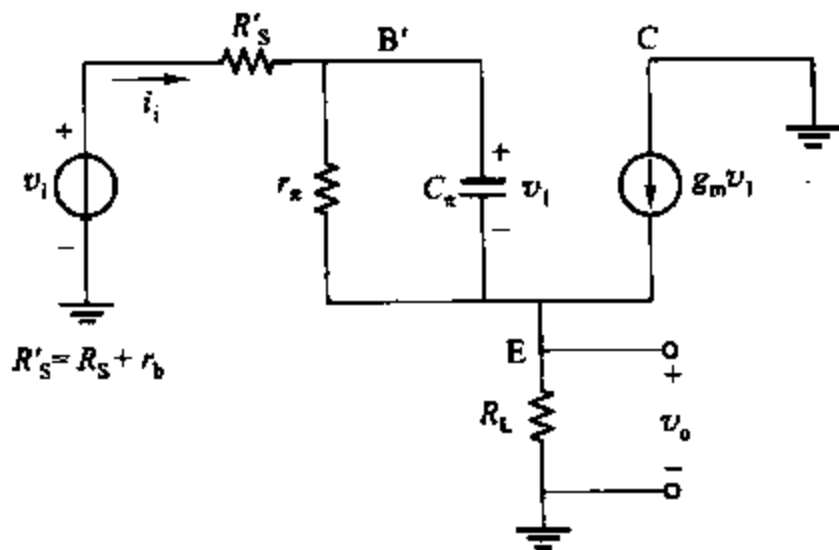


图 7.14 图 7.13a 所示的射随器的小信号模型

其中

$$R_1 = r_\pi // \frac{R'_S + R_L}{1 + g_m R_L} \quad (7.53)$$

典型的,零点略微大于极点的幅值,它们都大约等于器件的 ω_T 。特殊的,如果式(7.53)中 $g_m R_L \gg 1$ 且 $R'_S \ll R_L$, 那么 $R_1 \approx 1/g_m$, 并且由式(7.52)得 $p_1 \approx -g_m/C_\pi \approx -\omega_T$ 。但是如果 R_S 比较大,那么式(7.53)中的 R'_S 和 R_L 就比较就很大,并且极点的幅值远小于 ω_T 。

示例

计算射随器的传递函数。已知参数为: $C_\pi = 10$ pF, $C_\mu = 0$, $R_L = 2$ k Ω , $R_S = 50$ Ω , $r_b = 150$ Ω , $\beta = 100$, $I_C = 1$ mA。

从已知可得, $g_m = 38$ mS, $r_\pi = 2.6$ k Ω , $R'_S = R_S + r_b = 200$ Ω 。因为 $C_\mu = 0$, 所以

$$\omega_T = \frac{g_m}{C_\pi} = \frac{1 \text{ mA}}{26 \text{ mV} \cdot 10 \text{ pF}} = 3.85 \times 10^9 \text{ rad/s} \quad (7.54)$$

并且 $f_T = 612 \text{ MHz}$ 。由式(7.51)和式(7.54)得出,传递函数的零点为

$$z_1 \approx -\omega_T = -3.85 \times 10^9 \text{ rad/s}$$

由式(7.53)得

$$R_1 = 2.6 \text{ k}\Omega // \left[\frac{200 + 2000}{1 + \frac{2000}{26}} \Omega \right] \approx 28 \Omega$$

由式(7.52),极点为

$$p_1 = -\frac{10^{12}}{10 \times 28} \text{ rad/s} = -3.57 \times 10^9 \text{ rad/s}$$

极点和零点离得很近,如图 7.15a 中 s 平面所示。

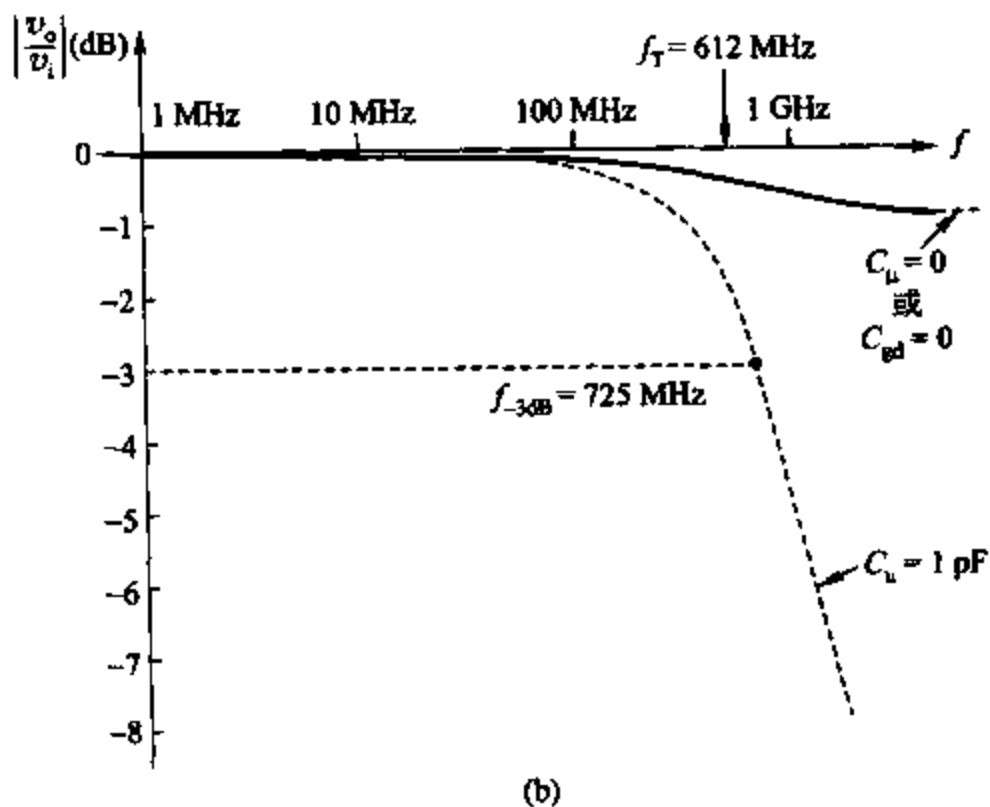
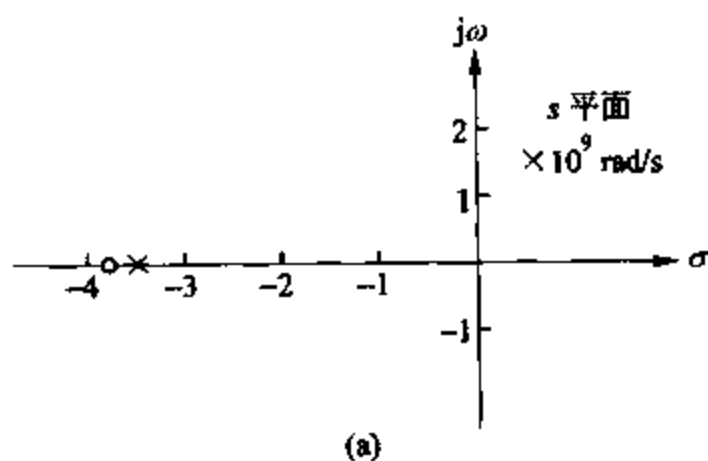


图 7.15 (a) 电压缓冲的零、极点图;(b) 电压缓冲的相对频率的电压增益

由式(7.47)得出电路的低频增益为

$$\frac{v_o}{v_i} = \frac{g_m R_L + \frac{R_L}{r_\pi}}{1 + g_m R_L + \frac{R_S + R_L}{r_\pi}} = \frac{\frac{2000}{26} + \frac{2000}{2600}}{1 + \frac{2000}{26} + \frac{2200}{2600}} = 0.986$$

把上面推导出的参数代到式(7.47)中,画出电路增益与频率的关系图如图 7.15b 所示。低频时增益曲线是平坦的,直到 $f_T = 612$ MHz 时才下降了 0.4 dB。分析说明当频率继续增加时增益曲线仍较平坦。

由图 7.14 可以看出高频增益渐进至 $R_L/(R_L + R'_S)$, 因为 C_π 在高频段相当于短路。令 $v_i = 0$ 那么控制电流 $g_m v_i$ 也是零。如果 $C_\mu = 1$ pF, 得到一个更实际的频率响应, 如图 7.15b 所示。因为集电极接地, 所以 C_μ 接在 B' 和地之间, 因此高频信号就被 C_μ 、 R'_S 的分压作用衰减了。由于 C_μ 、 R'_S 的低通滤波作用, 电路的 -3 dB 截止频率为 725 MHz。但是射随器的频带仍旧很宽, 器件的带宽 f_T 在实际中可以得到。

上述过程说明射随器电路的频带很宽, 它的一个主要应用是作为电压缓冲, 因为它的输入阻抗很高而输出阻抗很低。这一点是很重要的, 尤其是在驱动大负载时, 下面对其进行检验。

在第三章射随器的端口阻抗是用类似于图 7.14b 的模型计算的, 只是 C_π 没有计算在内, 把 r_π 用 z_π (代表 r_π 与 C_π 并联) 代替, 其结果可以在这使用。 $g_m r_\pi$ 由 $g_m z_\pi$ 代替。把它们代入到式(3.73)和式(3.76)中, 计及 r_b 并令 $r_o \rightarrow \infty$, 得到射随器的 z_i, z_o 分别为

$$z_i = r_b + z_\pi + (g_m z_\pi + 1)R_L \quad (7.55)$$

$$z_o = \frac{z_\pi + R_S + r_b}{1 + g_m z_\pi} \quad (7.56)$$

其中

$$z_\pi = \frac{r_\pi}{1 + sC_\pi r_\pi} \quad (7.57)$$

考虑到输入阻抗, 将式(7.57)代入式(7.55)中得

$$z_i = r_b + \frac{r_\pi}{1 + sC_\pi r_\pi} + \left(\frac{g_m r_\pi}{1 + sC_\pi r_\pi} + 1 \right) R_L \quad (7.58)$$

$$\begin{aligned} &= r_b + \frac{(1 + g_m R_L) r_\pi}{1 + sC_\pi r_\pi} + R_L \\ &= r_b + \frac{(1 + g_m R_L) r_\pi}{1 + s \frac{C_\pi}{1 + g_m R_L} (1 + g_m R_L) r_\pi} + R_L \\ &= r_b + \frac{R}{1 + sCR} + R_L \end{aligned} \quad (7.59)$$

其中

$$R = (1 + g_m R_L) r_\pi \quad (7.59a)$$

$$C = \frac{C_\pi}{1 + g_m R_L} \quad (7.59b)$$

z_i 可以表示一个并联 RC 电路和 r_b 、 R_L 串联(如图 7.16 所示)。有效输入电容是 $C_x/(1 + g_m R_L)$, 它一般远小于 C_x 。集电极-基极间的电容 C_μ 对输入电容起主要作用, 可以加到 B' 和地之间。因此, 在高频段, 射随器的输入阻抗变成了容性, 幅度也降低了。

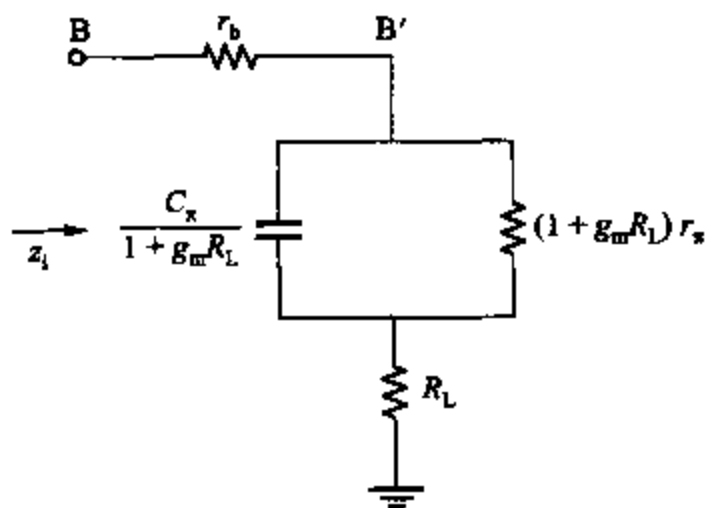


图 7.16 当 $C_\mu = 0$ 时射随器输入阻抗的等效电路

射随器的高频输出阻抗可以用式(7.57)和式(7.56)来计算。用式(7.57)来决定高低频限制, 在低频段, $z_x = r_x$, 且

$$z_o|_{\omega=0} \approx \frac{1}{g_m} + \frac{R_s + r_b}{\beta_0} \quad (7.60)$$

在高频段, $z_x \rightarrow 0$, 因为 C_x 相当于短路了。所以

$$z_o|_{\omega=\infty} = R_s + r_b \quad (7.61)$$

这样, z_o 在非常高的和非常低的频段是阻性的, 在这之间的特性决定于各参数值。当极点极电流非常低时, $1/g_m$ 很大。如果 $1/g_m > R_s + r_b$, 比较式(7.60)和式(7.61)可以看出当频率增加时, $|z_o|$ 变小, 且输出阻抗是容性的。然而当集电极电流大于几百毫安时, 可以看出 $1/g_m < R_s + r_b$ 。当 $|z_o|$ 随频率增加时, 它表现出来的电感性对电路的特性起主要影响, 尤其是在驱动容性负载时。如果 $1/g_m = (R_s + r_b)$ 时, 输出阻抗是阻性的, 且在很宽的频带上与频率无关。为在各种参数变化时保持这种状态, 在实际设计时一般取 $R_s \approx 1/g_m$, 且 $r_b \ll R_s$ 。

假设集电极电流使 z_o 呈现感性, 可以假设一个 z_o 等效电路如图 7.17 所示。在低频段电感视为短路且

$$z_o|_{\omega=0} = R_1 // R_2 \quad (7.62)$$

在高频段电感视为断路

$$z_o|_{\omega=\infty} = R_2 \quad (7.63)$$

假设 $z_o|_{\omega=0} \ll z_o|_{\omega=\infty}$ 那么 $R_1 \ll R_2$, 且可以把式(7.62)化简为

$$z_o|_{\omega=0} \approx R_1 \quad (7.64)$$

则图 7.17 所示电路的阻抗可表示为

$$z_o = \frac{(R_1 + sL)R_2}{R_1 + R_2 + sL} \approx \frac{(R_1 + sL)R_2}{R_2 + sL} \quad (7.65)$$

因为假设了 $R_1 \ll R_2$ 。

射随器的总输出阻抗可以通过将式(7.57)代入式(7.56)中计算求得, $R'_s = r_b + R_s$, 得出

$$\begin{aligned} z_o &= \frac{\frac{r_x}{1 + sC_x r_x} + R'_s}{1 + \frac{g_m r_x}{1 + sC_x r_x}} = \frac{r_x + R'_s + sC_x r_x R'_s}{\beta_0 + 1 + sC_x r_x} \\ &\approx \frac{\left(\frac{1}{g_m} + \frac{R'_s}{\beta_0} + sC_x r_x \frac{R'_s}{\beta_0}\right) R'_s}{R'_s + sC_x r_x \frac{R'_s}{\beta_0}} \end{aligned} \quad (7.66)$$

这里假定 $\beta_0 \gg 1$ 。

在一些假设的条件下进行分析, 比较式(7.66)与式(7.65)可得, 射随器的输出阻抗可以由图 7.17 所示的电路表示。

$$R_1 = \frac{1}{g_m} + \frac{R'_s}{\beta_0} \quad (7.67)$$

$$R_2 = R'_s \quad (7.68)$$

$$L = C_x r_x \frac{R'_s}{\beta_0} \quad (7.69)$$

忽略了 C_μ 的影响, 这对于合适的 R'_s 的值是可以允许的近似。

计算过程表明射随器的输入输出阻抗是随频率而变的, 这种变化限制了电路的有效带宽。

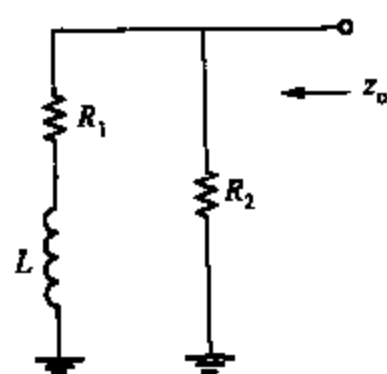


图 7.17 适当电流下的射随器的输出阻抗的等效电路

示例

计算前面例子中射随器的输入输出阻抗等效电路的各部分值。图 7.16 中输入电容可以由式(7.59)得出,

$$\frac{C_x}{1 + g_m R_L} = \frac{10}{1 + \frac{2\,000}{26}} \text{ pF} = 0.13 \text{ pF}$$

与之并联的电阻为

$$(1 + g_m R_L) r_x = \left(1 + \frac{2\,000}{26}\right) (2.6 \text{ k}\Omega) = 202 \text{ k}\Omega$$

其他, $r_b = 150 \text{ }\Omega$, $R_L = 2 \text{ k}\Omega$, 图 7.17 中输出等效电路的各部分可由式(7.67)、式(7.68)和式(7.69)算出, 得

$$\begin{aligned} R_1 &= \left(26 + \frac{200}{100}\right) \Omega = 28 \text{ }\Omega \\ R_2 &= 200 \text{ }\Omega \end{aligned}$$

$$L = 10^{-11} \times 2600 \times \frac{200}{100} \text{ H} = 52 \text{ nH}$$

注意假设条件 $R_1 \ll R_2$ 在这种情况下是有效的。

7.2.3.2 源极跟随器的频率响应

图 7.13b 中源极跟随器(源随器)的小信号电路模型如图 7.18 所示。首先忽略 C_{gd} , C_{gb} 和 C_{sb} 。图 7.18 和图 7.13c 的一个关键区别是 g_{mb} 电流源。因为通过 g_{mb} 电流源的电流由它两端的电压控制,所以它可以由 v_o 到地间的值为 $1/g_m$ 的电阻替换,并和 R_L 并联。因此整个有效负载电阻就是 $R'_L = R_L // (1/g_m)$ 。源随器的传递函数可以由替换表 7.1 中的近似值代入式(7.47)、式(7.48)和式(7.49)中得到。如果 $g_m R'_L \gg 1$, 则低频增益约为单位增益。零、极点由下式得出:

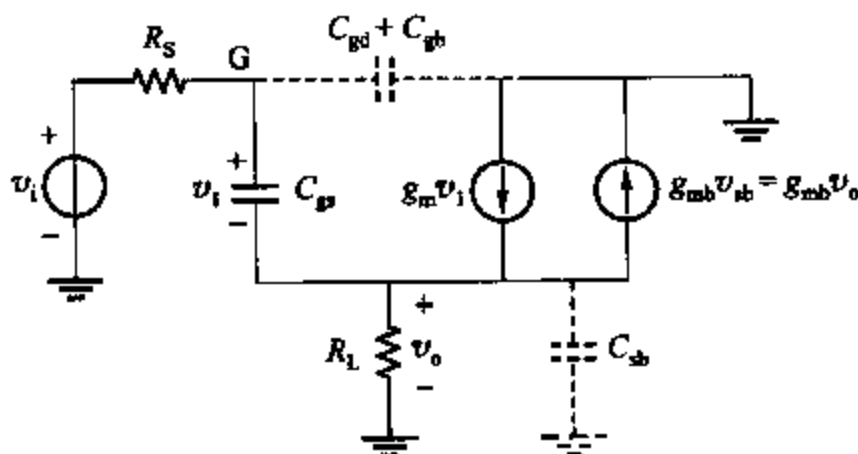


图 7.18 图 7.13b 所示的源极跟随器的小信号模型

$$z_1 = -\frac{g_m}{C_{gs}} \approx -\omega_T \quad (7.70)$$

$$p_1 = -\frac{1}{C_{gs} R_1} \quad (7.71)$$

其中

$$R_1 = \frac{R_s + R'_L}{1 + g_m R'_L} \quad (7.72)$$

一般的零点的幅值比极点的稍大。如果式(7.72)中 $g_m R'_L \gg 1$ 且 $R_s \ll R'_L$, 那么 $R_1 \approx 1/g_m$ 且由式(7.71)得出: $p_1 \approx -g_m/C_{gs} \approx -\omega_T$ 。然而,式(7.72)中 R_s 和 R_L 相比很大,或 $g_m R'_L$ 不比 1 大很多,则极点的幅值将小于 ω_T 。

示例

计算源随器的传递函数。参数如下: $C_{gs} = 7.33 \text{ pF}$, $k'W/L = 100 \text{ mA/V}^2$, $R_L = 2 \text{ k}\Omega$, $R_s = 190 \text{ }\Omega$ 且 $I_D = 4 \text{ mA}$ 。忽略衬底效应,令 $C_{gd} = 0$, $C_{gb} = 0$ 且 $C_{sb} = 0$ 。

由已知可得 $g_m = \sqrt{2(100)4} \text{ mS} = 28.2 \text{ mS}$ 。忽略衬底效应得 $R'_L = R_L // (1/g_{mb}) =$

R_L , 因为 $C_{gd}=0$, ω_T 为

$$\omega_T = \frac{g_m}{C_{gs}} \frac{28.2 \text{ mS}}{7.33 \text{ pF}} = 3.85 \times 10^9 \text{ rad/s} \quad (7.73)$$

所以 $f_T = 612 \text{ MHz}$ 。由式(7.70)和式(7.73)得出传递函数零点为

$$z_1 = -\frac{g_m}{C_{gs}} \approx -3.85 \times 10^9 \text{ rad/s}$$

由式(7.72)得

$$R_1 = \left(\frac{190 + 2000}{1 + 0.0282 \times 2000} \right) \Omega = 38.2 \Omega$$

由式(7.71)可得极点为

$$p_1 = -\frac{10^{12}}{7.3338.2} \text{ rad/s} = -3.57 \times 10^9 \text{ rad/s}$$

零、极点靠得较近如图 7.15a 所示。

电路的低频增益由式(7.67)得

$$\frac{v_o}{v_i} = \frac{g_m R'_L}{1 + g_m R'_L} = \frac{28.2 \times 10^{-3} \times 2000}{1 + 28.2 \times 10^{-3} \times 2000} = 0.983$$

上面导出的参数用在式(7.47)中,可以得到电路增益随频率变化的函数,此图形与图 7.15b 中 $C_{gd}=0$ 的图形相似。频率低于 $f_T = 612 \text{ MHz}$ 时,曲线较平坦,以 0.4 dB 的速度下降。分析说明,当频率继续增加时增益曲线仍是平坦的,因为在高频段输入信号通过 C_{gs} 馈给了 R'_L 。实际上,例子中电容 C_{gd} , C_{gs} 和 C_{sb} 假设为零导致增益在高频段有所改变,这从下个例子中可以看出。

如果分析中不忽略 C_{gd} , C_{gs} 和 C_{sb} , 则电压增益表达式将变得比式(7.47)还复杂。和图 7.13c 的分析步骤一样,计及所有电容,可以推出

$$\frac{v_o}{v_i} = \frac{g_m R'_L}{1 + g_m R'_L} \frac{1 + s \frac{C_{gs}}{g_m}}{1 + as + bs^2} \quad (7.74)$$

其中

$$a = \frac{R'_L(C_{gs} + C_{sb}) + R_S(C_{gs} + C'_{gd}) + R_S g_m R'_L C'_{gd}}{1 + g_m R'_L} \approx \frac{R'_L(C_{gs} + C_{sb}) + R_S C_{gs} + R_S g_m R'_L C'_{gd}}{1 + g_m R'_L} \quad (7.74a)$$

$$b = \frac{R_S R'_L [C_{sb}(C_{gs} + C'_{gd}) + C_{gs} C'_{gd}]}{1 + g_m R'_L} \approx \frac{R_S R'_L (C_{sb} C_{gs} + C_{gs} C'_{gd})}{1 + g_m R'_L} \quad (7.74b)$$

其中 $C'_{gd} = C_{gd} + C_{gb}$ 。因为 $C_{gs} \gg C_{gd}$, 所以计算 a 、 b 时可用 $C_{gs} + C'_{gd} \approx C_{gs}$ 近似。准确的传递函数有一个零点 $-g_m/C_{gs}$, 与式(7.70)中的一致, 且有两个极点。如果认为 C_{sb} 、 C'_{gd} 是零, 由式(7.71)可以得出式(7.74)的一个极点。在式(7.74)中做一些近似可以简化, 因为真实的主极点不一定存在, 所以写出有用的表达式是困难的。实际上, 极点可能是复数。

示例

计算源随器的传递函数。已知参数如下： $C_{gs} = 7.33 \text{ pF}$, $C_{gd} = 0.1 \text{ pF}$, $C_{gb} = 0.05 \text{ pF}$, $C_{sb} = 0.5 \text{ pF}$, $k'W/L = 100 \text{ mA/V}^2$, $R_L = 2 \text{ k}\Omega$, $R_S = 190 \text{ }\Omega$ 且 $I_D = 4 \text{ mA}$ 。忽略衬底效应。

这些数据与上一例子相同。不同的是不忽略 C_{gd} 、 C_{gb} 和 C_{sb} 。可以得出, $g_m = 28.2 \text{ mS}$, $C'_{gd} = C_{gd} + C_{gb} = 0.15 \text{ pF}$ 。忽略衬底效应, 得到 $R'_L = R_L // (1/g_m) = R_L$ 。电路的低频增益如上一例子计算为 0.983。由式(7.74a)得零点为

$$z = -\frac{g_m}{C_{gs}} = -\frac{28.2 \text{ mS}}{7.33 \text{ pF}} = -3.85 \times 10^9 \text{ rad/s}$$

由式(7.74b)和式(7.74c)可知, 传递函数分母的系数为

$$a \approx \frac{2 \times 10^3 \times (7.33 \times 10^{-6} + 0.5 \times 10^{-6}) + 190 \times (7.33 \times 10^{-6}) + 190 \times 0.028 \times 2 \times 10^3 \times 0.15 \times 10^{-6}}{1 + 0.028 \times 2 \times 10^3} \text{ s}$$

$$= 0.324 \text{ ns}$$

$$b \approx \frac{190 \times 2 \times 10^3 \times (0.5 \times 10^{-6} \times 7.33 \times 10^{-6} + 7.33 \times 10^{-6} \times 0.15 \times 10^{-6})}{1 + 0.028 \times 2 \times 10^3} \text{ s}^2 = 0.0315 (\text{ns})^2$$

解一个二次方程可得极点为

$$p_{1,2} = -5.1 \times 10^9 \pm j2.3 \times 10^9 \text{ rad/s}$$

零点与极点靠得很近, 如图 7.19a 所示。增益的幅频与相频曲线如图 7.19b、c 所示。 -3 dB 带宽是 1.6 GHz 。因为零、极点离得很近, 所以增益的频率响应接近一个极点的频率响应特性。

高频输入信号被电容 C_{gd} 和 C_{gb} 抑制, 导致增益下降且在 $\omega \rightarrow \infty$ 时接近零。然而源随器的带宽仍很大, 器件的带宽 f_T 可由实际测量得出。

如果源随器驱动一个和负载电阻并联的负载电容, 它的值可以加入式(7.74)的 C_{sb} 中。当源随器管被做到阱里时就会出现这样的负载电容。它的源极和衬底相连来避免衬底效应。阱-沟道间的电容可能很大且影响电路的 -3 dB 带宽。

在 7.2.3.1 节中, 计算了射随器的输入输出阻抗。因为 MOSFET 的等效电路与双极型晶体管(和 g_{mb} 电流源分开)电路相似, 所以替换表 7.1 中适当的值到公式中, 可以得到相似的结果, 如 7.2.3.1 节中的 z_i 、 z_o 。主要的不同点是在相同的偏置电流下 MOSFET 的 g_m 一般远远低于双极型晶体管电路。因此, 源随器与射随器相比很少产生感性的输出阻抗 ($1/g_m < R_S$)。

7.2.4 电流缓冲器的频率响应

共基极(CB)、共源极(CG)放大器的原理图如图 7.20 所示。它们都有较低的输入阻抗、较高的输出阻抗、单位电流增益和较宽的带宽。它们用于需要宽频带和低输入阻抗的场合。如第一章所述, 双极型晶体管的击穿电压在这种组态下是最大的。这种特性和频带宽的特性使共基放大器在驱动示波器偏转板时, 它的高电压宽带输出级很有用。

图 7.20c 所示为可以表示 CB 放大器和 CG 放大器的小信号模型电路。输入电压源源

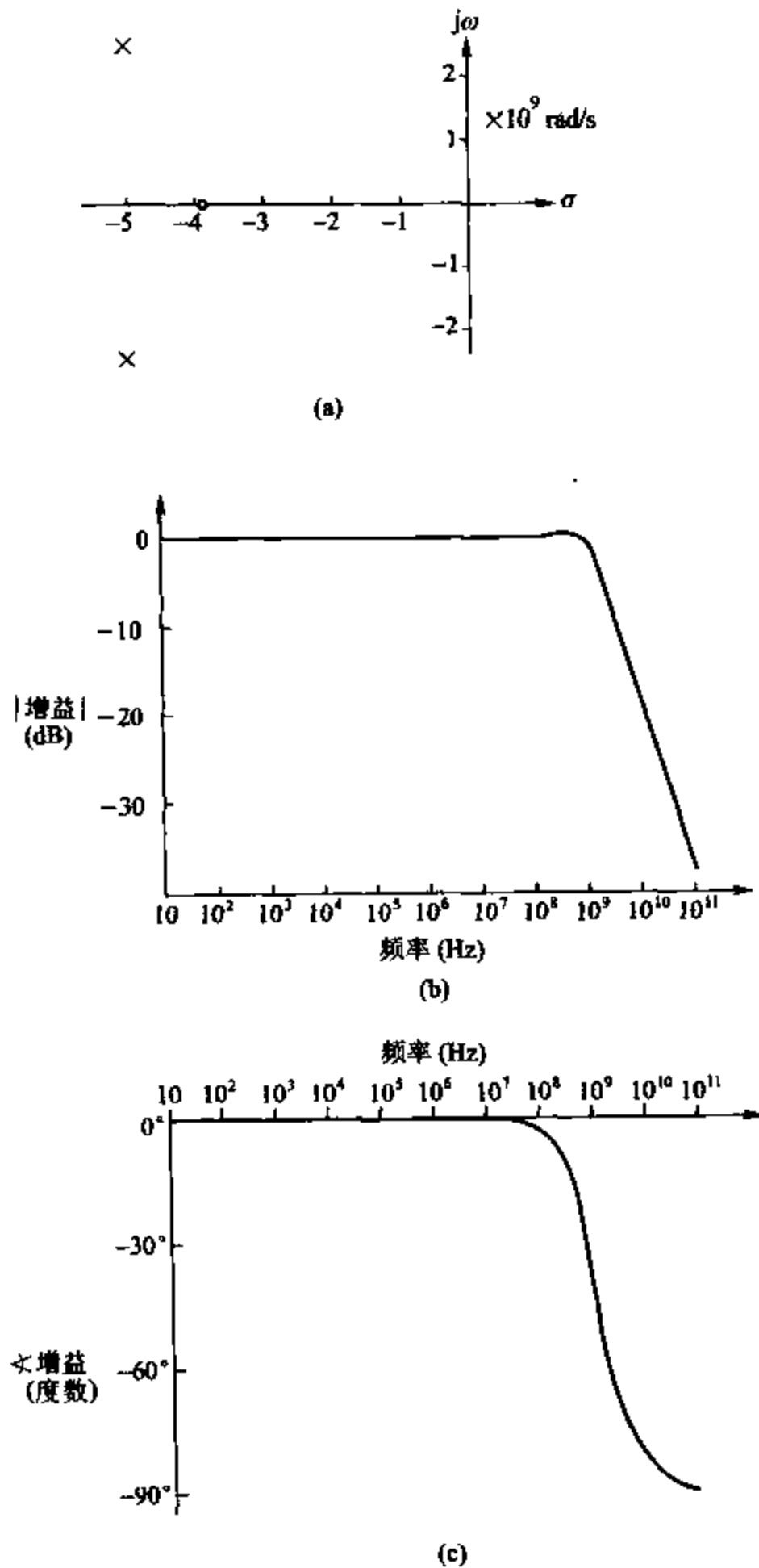


图 7.19 (a) 式(7.74)的源随器的零、极点图;(b) 幅频响应;(c) 相频响应

内阻由诺顿等效电路表示。电阻 R_s 可以忽略, 因为放大器的输入电阻很低。当 r_x 很小时, 另一个很好的近似是 C_i 和 R_L 简单地并联, 如图 7.20c 所示。在下面的分析中 r_o 将被忽略, 且信号 i_o 被作为受控电流源的输出。近似的输出电压 v_o 可通过假设 i_o 只流过 C_i 和 R_L 得到。

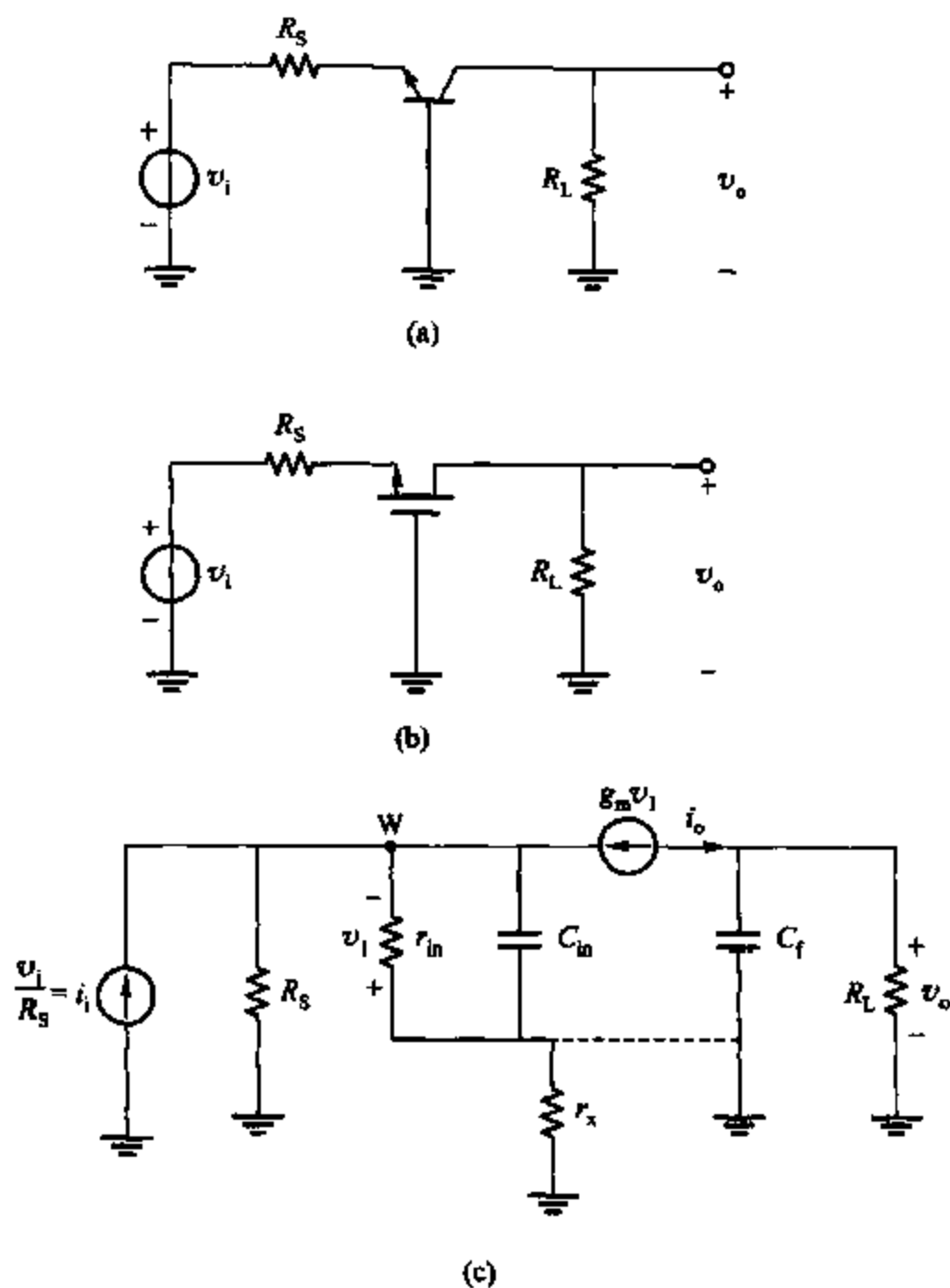


图 7.20 (a) CB 放大器的交流电路; (b) CG 放大器的交流电路; (c) 小信号模型

对图 7.20c 中电路在 W 点进行 KCL 分析。忽略 R_S , 有

$$i_i + \frac{v_1}{z_{in}} + g_m v_1 \approx 0 \quad (7.75)$$

其中

$$z_{in} = \frac{r_{in}}{1 + sC_{in}r_{in}} \quad (7.76)$$

由式(7.75)和式(7.76)得

$$i_i = -v_1 \left(g_m + \frac{1}{r_{in}} + sC_{in} \right) \quad (7.77)$$

现在

$$i_o = -g_m v_1 \quad (7.78)$$

将式(7.77)代入式(7.78)得

$$\frac{i_o}{i_i} = \frac{g_m r_{in}}{g_m r_{in} + 1} \frac{1}{1 + s \frac{r_{in}}{g_m r_{in} + 1} C_{in}} \quad (7.79)$$

7.2.4.1 共基放大器的频率响应

图 7.20a 中共基(CB)放大器的小信号模型如图 7.21 所示。替换表 7.1 中的值到式 (7.79) 中, 得到电流增益

$$\frac{i_o}{i_i} = \frac{g_m r_x}{g_m r_x + 1} \frac{1}{1 + s \frac{r_x}{g_m r_x + 1} C_x} \quad (7.80)$$

考虑到 $\beta_0 = g_m r_x$ 且假设 $\beta_0 \gg 1$, 则式 (7.80) 可以化简为

$$\frac{i_o}{i_i} \approx \frac{\beta_0}{\beta_0 + 1} \frac{1}{1 + s \frac{C_x}{g_m}} = \alpha_0 \frac{1}{1 + s \frac{C_x}{g_m}} \quad (7.81)$$

其中 $\alpha_0 = \beta_0 / (\beta_0 + 1)$ 。分析说明, 共基电流增益在低频时 $\alpha_0 \approx 1$, 且有极点 $p_1 = -g_m / C_x \approx -\omega_T$ 。共基电路是具有低输入高输出阻抗宽频带单位电流增益的放大器。从图 7.20a 可以看出, v_i 和 v_o 的相差在低频时为 0。结果可以和图 7.2a 中的共射放大器比较, 它在低频段有 180° 相差。

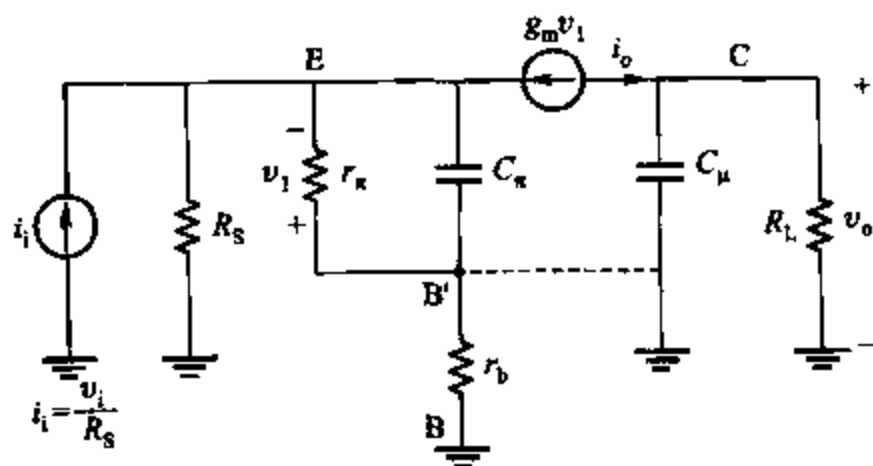


图 7.21 图 7.20a 所示共基电路的小信号模型

如果希望输出是流经 R_L 的电流, 那么 C_μ 和 R_L 形成了一个分流器使 i_o 达到希望的电流(假设 C_μ 和 R_L 并联, 因为 r_b 很小)。如果把它包括在分析中, 那么传递函数又多了一个极点 $p_2 = -1/R_L C_\mu$ 。

比较图 7.20a 和图 7.13a 说明在 $R_s = 0$ 时, 共基放大器的输入阻抗与射随器的输出阻抗相同。因此共基放大器的输入阻抗在低频段很低, 且在高频段当集电极偏置电流为几百毫安或更多时为感性。如第三章所述, 共基放大器的输出阻抗在大 R_s 低频段大约为 $\beta_0 r_o$, 是相当大的。在高频段输出阻抗是容性的且主要由 C_μ 决定(npn 型晶体管是 C_{cs})。

共基放大器没有从集电极到发射极导致密勒倍增效应的反馈电容, 所以不存在密勒倍增效应。因此, 大阻值的 R_L 对共基放大器的频率响应的影响远小于共射放大器。

7.2.4.2 共栅放大器的频率响应

图 7.20b 所示的共栅(CG)放大器的小信号电路如图 7.22 所示。这与图 7.20c 中一般模型电路的不同点是 g_{mb} 电流源。因为 $v_{bs} = v_{gs}$ 且 g_m 与 g_{mb} 电流源是并联的, 所以这些可控电流源可以合并。电容 C_{gs} 、 C_{db} 和 C_{sb} 在一般电路模型中没有被计及。这里 C_{gs} 被短路可以忽略。 C_{db} 和 R_L 并联, 因此当输出变量是电流 i_o 时可以忽略。 C_{sb} 在小信号模型中与 C_{gs} 并联, 因此衬底和栅极都接到小信号的地。将跨导、输入电容和表 7.1 中的值代到式 7.79 中得

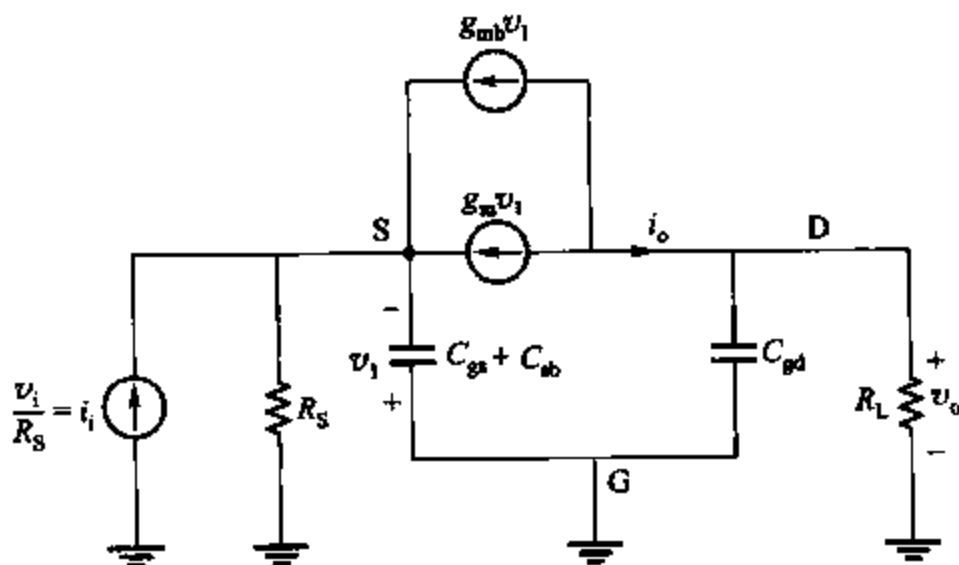


图 7.22 图 7.20b 中 CG 电路的小信号模型

$$\frac{i_o}{i_i} = \frac{1}{1 + s \frac{C_{gs} + C_{sb}}{g_m + g_{mb}}} \quad (7.82)$$

从此等式可以看出, 共栅放大器的低频电流增益值是不变的, 有极点 $p_1 = -(g_m + g_{mb}) / (C_{gs} + C_{sb})$ 。如果 $C_{gs} \gg C_{sb}$, 那么 $|p_1| \approx (g_m + g_{mb}) / C_{gs} > g_m / C_{gs} \approx \omega_T$ 。共栅级是有低输入高输出阻抗的宽带单电流增益放大器。这可以由图 7.20b 中看出, 在低频时 v_o 和 v_i 之间没有相差, 而图 7.2b 中共源放大器在低频段有 180° 相移。

如果期望的输出是流经 R_L 的电流。 C_{gs} 、 C_{db} 和 R_L 形成 i_o 的分流电路。把它计算在内时, 形成了传递函数的另一个极点 $p_2 = -1 / R_L (C_{db} + C_{gd})$ 。

共栅放大器没有从源极到漏极导致密勒倍增效应的反馈电容, 所以不存在密勒倍增效应。因此, 大阻值的 R_L 对共栅级频率响应的影响远小于共源级。

7.3 多级放大器的频率响应

前面的单级放大器的分析说明即使是一个简单的电路分析起来也是很复杂的。有多个容性元件的多级放大器的频率响应的完全分析变得更复杂, 过程很复杂且没有什么用处。

因此,用一些近似的方法来帮助设计电路已得到发展,最后再用计算机模拟来验证最终设计。其中一个将学习的分析方法就是开路时间常数法。首先叙述一些主极点的概念。

7.3.1 主极点近似

对任何电子电路都可以用小信号分析导出一个传递函数 $A(s)$

$$A(s) = \frac{N(s)}{D(s)} = \frac{a_0 + a_1 s + a_2 s^2 + \cdots + a_m s^m}{1 + b_1 s + b_2 s^2 + \cdots + b_n s^n} \quad (7.83)$$

其中, a_0, a_1, \cdots, a_m 和 b_0, b_1, \cdots, b_n 都是常数。一般传递函数只有极点(或零点不重要)。这种情况下,将式(7.83)因式分解得

$$A(s) = \frac{K}{\left(1 - \frac{s}{p_1}\right) \left(1 - \frac{s}{p_2}\right) \cdots \left(1 - \frac{s}{p_n}\right)} \quad (7.84)$$

其中, K 是常量, p_1, p_2, \cdots, p_n 是传递函数的极点。

由式(7.84),显然有

$$b_1 = \sum_{i=1}^n \left(-\frac{1}{p_i}\right) \quad (7.85)$$

当一个主极点时,即

$$|p_1| \ll |p_2|, |p_3|, \cdots \quad \text{所以} \quad \left|\frac{1}{p_1}\right| \gg \left|\sum_{i=2}^n \left(-\frac{1}{p_i}\right)\right|$$

这种情况的 s 平面如图 7.23 所示,且由式(7.85)得

$$b_1 \approx \left|\frac{1}{p_1}\right| \quad (7.86)$$

如果回到式(7.84)中计算频域的增益,得

$$|A(j\omega)| = \frac{K}{\sqrt{\left[1 + \left(\frac{\omega}{p_1}\right)^2\right] \left[1 + \left(\frac{\omega}{p_2}\right)^2\right] \cdots \left[1 + \left(\frac{\omega}{p_n}\right)^2\right]}} \quad (7.87)$$

如果主极点存在,那么式(7.87)可以近似为

$$|A(j\omega)| = \frac{K}{\sqrt{[1 + (\omega/p_1)^2]}} \quad (7.88)$$

这种近似至少在 $\omega \approx |p_1|$ 时很精确。因此,由式(7.88)算出的 -3 dB 截止频率为

$$\omega_{-3\text{dB}} \approx |p_1| \quad (7.89)$$

对于仅有一个主极点的情况下,再将式(7.89)代入式(7.86)中得

$$\omega_{-3\text{dB}} \approx \frac{1}{b_1} \quad (7.90)$$

7.3.2 零值时间常数分析法

这是一个可以估计复杂电路的主极点(-3 dB 截止频率)的近似分析方法。因为不需

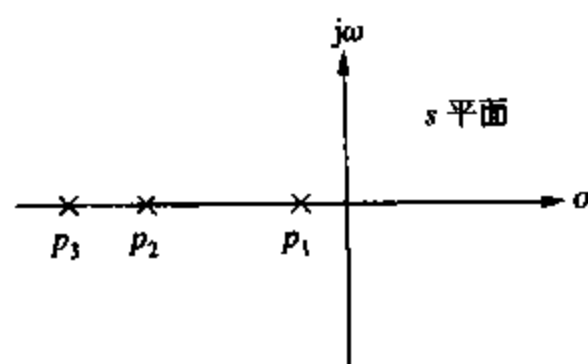


图 7.23 有一个主极点的电路的极点图

要对电路作完全分析,所以计算时可作一些简化。这里将通过一个实际例子进行说明。

考虑图 7.24 所示的等效电路。这是一个有阻性电源和负载阻抗的单级双极型晶体管放大器。反馈电容可分为 C_x 和 C_μ 两部分,如图所示。在实际情况下,这是比以前用的单个集电极-基极电容更好的近似,但是手算时很少用,因为分析很复杂。分析时,把电压 v_1 , v_2 和 v_3 作为变量。去掉外加输入 v_i 并引入三个接在电容两端的独立的电流源 i_1 , i_2 和 i_3 如图 7.24 所示,可以得出选择变量的电流方程为

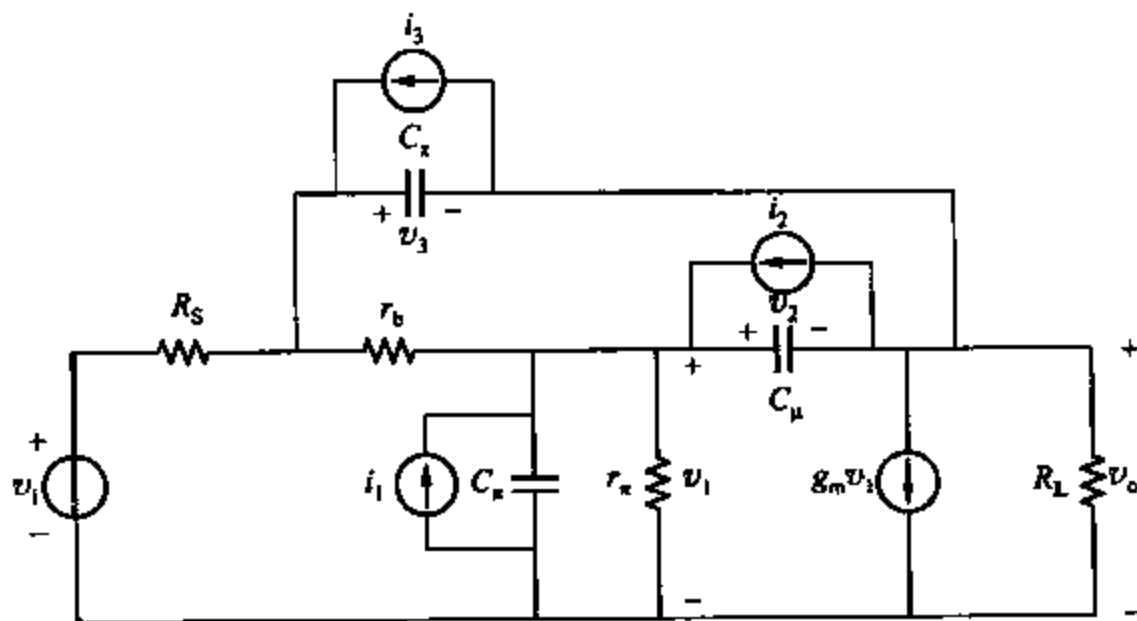


图 7.24 有内部反馈电容 C_μ 、 C_x 的共射放大器的小信号等效电路

$$i_1 = (g_{11} + sC_x)v_1 + g_{12}v_2 + g_{13}v_3 \quad (7.91)$$

$$i_2 = g_{12}v_1 + (g_{22} + sC_\mu)v_2 + g_{23}v_3 \quad (7.92)$$

$$i_3 = g_{31}v_1 + g_{32}v_2 + (g_{33} + sC_x)v_3 \quad (7.93)$$

其中, g 是电导。注意含 s 的项仅仅与各自的电容电压相乘,且仅仅出现在行列式的对角线上。

电路传递函数的极点是电路方程行列式的值的零点。此行列式可写为

$$\Delta(s) = K_3 s^3 + K_2 s^2 + K_1 s + K_0 \quad (7.94)$$

其中,系数 K 是由上面等式计算出来的。例如, K_3 是包含 s^3 的所有项的系数的和。等式 (7.94) 又可以表示为

$$\Delta(s) = K_0(1 + b_1 s + b_2 s^2 + b_3 s^3) \quad (7.95)$$

其形式与式 (7.83) 相符。注意这是三阶行列式,因为电路中有三个电容。上式中 K_0 是 $\Delta(s)$ 在所有电容都为 0 时的值 ($C_x = C_\mu = C_r = 0$), 这可以从式 (7.91), 式 (7.92) 和式 (7.93) 中看出。即

$$K_0 = \Delta|_{C_x = C_\mu = C_r = 0}$$

定义

$$K_0 \triangleq \Delta_0 \quad (7.96)$$

现在考虑式 (7.94) 中的 $K_1 s$ 。它是行列式中所有包含 s 项的和,当系统确定后它即可

得出。从式(7.91)~(7.93)可以看出, s 仅与一个电容相乘。这样 $K_1 s$ 又可写为

$$K_1 s = h_1 s C_x + h_2 s C_\mu + h_3 s C_x \quad (7.97)$$

其中, h 是常量, h_1 的估计值可通过将行列式(7.91)~(7.93)关于第一行展开得到:

$$\Delta(s) = (g_{11} + sC_x)\Delta_{11} + g_{12}\Delta_{12} + g_{13}\Delta_{13} \quad (7.98)$$

其中, Δ_{11} , Δ_{12} 和 Δ_{13} 是行列式的代数余子式。观察式(7.91), 式(7.92)和式(7.93)发现 C_x 只出现在式(7.98)的第一项。因此, 式(7.98)中的 $C_x s$ 的系数可以由 $C_\mu = C_x = 0$ 时的 Δ_{11} 得出。但此系数只是式(7.97)中的 h_1 , 因此

$$h_1 = \Delta_{11} |_{C_\mu = C_x = 0} \quad (7.99)$$

现在把行列式关于第二行展开, 可以得到行列式的相同值, 因此

$$\Delta(s) = g_{21}\Delta_{21} + (g_{22} + sC_\mu)\Delta_{22} + g_{23}\Delta_{23} \quad (7.100)$$

C_μ 只在式(7.100)的第二项中出现。因此 $C_\mu s$ 的系数可以由 $C_x = C_x = 0$ 时的 Δ_{22} 得出。但此系数只是式(7.97)中的 h_2 , 因此

$$h_2 = \Delta_{22} |_{C_x = C_x = 0} \quad (7.101)$$

与此类似, 关于第三行展开可得

$$h_3 = \Delta_{33} |_{C_\mu = C_x = 0} \quad (7.102)$$

结合式(7.97)与式(7.99), 式(7.101), 式(7.102)得

$$K_1 = (\Delta_{11} |_{C_\mu = C_x = 0} \times C_x) + (\Delta_{22} |_{C_\mu = C_x = 0} \times C_\mu) + (\Delta_{33} |_{C_\mu = C_x = 0} \times C_x) \quad (7.103)$$

且

$$b_1 = \frac{K_1}{K_0} = \frac{\Delta_{11} |_{C_\mu = C_x = 0}}{\Delta_0} \times C_x + \frac{\Delta_{22} |_{C_\mu = C_x = 0}}{\Delta_0} \times C_\mu + \frac{\Delta_{33} |_{C_\mu = C_x = 0}}{\Delta_0} \times C_x \quad (7.104)$$

行列式的临界情况和式(7.103)相同。现在令图 7.24 中的 $i_2 = i_3 = 0$ 。解式(7.91)~式(7.93)得

$$v_1 = \frac{\Delta_{11} i_1}{\Delta(s)}$$

因此

$$\frac{v_1}{i_1} = \frac{\Delta_{11}}{\Delta(s)} \quad (7.105)$$

式(7.105)表示 C_x 两端结点的驱动点阻抗。因此

$$\frac{\Delta_{11} |_{C_\mu = C_x = 0}}{\Delta_0}$$

是所有电容为零时 C_x 两端的驱动点电阻, 因为

$$\frac{\Delta_{11} |_{C_\mu = C_x = 0}}{\Delta_0} = \frac{\Delta_{11}}{\Delta} \bigg|_{C_\mu = C_\mu = C_x = 0} \quad (7.106)$$

现在定义

$$R_{\pi 0} = \left. \frac{\Delta_{11}}{\Delta_0} \right|_{C_{\mu} = C_x = 0} \quad (7.107)$$

与此类似

$$\frac{\Delta_{22} |_{C_{\mu} = C_x = 0}}{\Delta_0}$$

是所有电容为零时 C_{μ} 两端的驱动点电阻, 并且用 $R_{\mu 0}$ 表示。这样可由式(7.104)写出

$$b_1 = R_{\pi 0} C_{\pi} + R_{\mu 0} C_{\mu} + R_{x0} C_x \quad (7.108)$$

式(7.108)中的时间常数叫做零值时间常数, 因为计算时所有的电容被认为是零。尽管这是用特殊的例子推出来的, 但是它对任何做了各种有效假设的电路都是正确的。更一般的情况, 式(7.108)变为

$$b_1 = \sum T_0 \quad (7.109)$$

其中, $\sum T_0$ 是所有零值时间常数的和。

前面说明当没有主零点且有一个主极点 p_1 时,

$$\omega_{-3\text{dB}} \approx |p_1| \quad (7.110)$$

由式(7.90), 式(7.109)和式(7.110)得

$$\omega_{-3\text{dB}} \approx |p_1| \approx \frac{1}{b_1} = \frac{1}{\sum T_0} \quad (7.111)$$

例如, 考虑图 7.24 中的电路, 通过观察, 有

$$R_{\pi 0} = r_{\pi} // (R_S + r_b) \quad (7.112)$$

为了计算 $R_{\mu 0}$, 有必要写出一些简单的电路方程式。在 C_{μ} 端加一个测试电流 i 如图 7.25 所示。并计算出结果 v_o 。

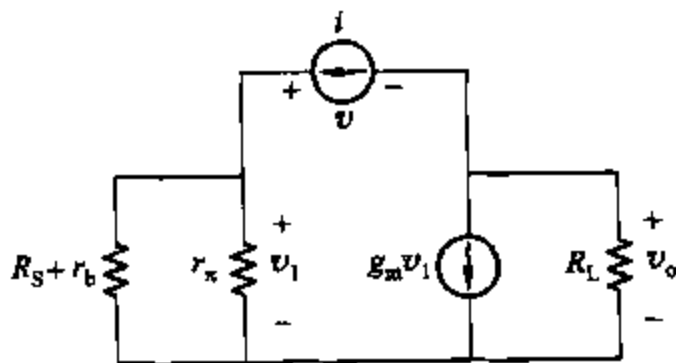


图 7.25 计算图 7.24 中 $R_{\mu 0}$ 的等效电路

$$v_1 = R_{\pi 0} i \quad (7.113)$$

$$v_o = -(i + g_m v_1) R_L \quad (7.114)$$

把式(7.113)代入式(7.114)中得出

$$v_o = -(i + g_m R_{\pi 0} i) R_L \quad (7.115)$$

现在

$$R_{\mu 0} = \frac{v}{i}$$

且

$$R_{\mu 0} = \frac{v_1 - v_o}{i} \quad (7.116)$$

将式(7.113)和式(7.115)代入式(7.116)中得

$$R_{\mu 0} = R_{\pi 0} + R_L + g_m R_L R_{\pi 0} \quad (7.117)$$

$R_{\pi 0}$ 可以由相似的方法计算。而且如果 $r_b \ll r_x$ 则 $R_{\pi 0} \approx R_{\mu 0}$ 。这证明当 r_b 很小时,如把 C_x 、 C_μ 计算在一起是正确的。假设这样做,由式(7.111)得出 -3 dB 频率为

$$\omega_{-3\text{dB}} = \frac{1}{R_{\pi 0} C_x + R_{\mu 0} C_\mu} \quad (7.118)$$

将式(7.17)代入式(7.18)可得

$$\omega_{-3\text{dB}} = \frac{1}{R_{\pi 0} \left\{ C_x + C_\mu \left[(1 + g_m R_L) + \frac{R_L}{R_{\pi 0}} \right] \right\}} \quad (7.119)$$

等式(7.119)与式(7.29)中精确分析的结果是一致的。(式(7.29)中 $(R_s + r_b) // r_x$ 与式(7.119)中 $R_{\pi 0}$ 是一样的。)然而,用零值时间常数分析法可以减少很多工作量。它没有给出任何非主极点的信息。

为了进一步说明零值时间常数法的用法与局限性,考虑图 7.13a 中的射随器电路,它仅仅包括电容 C_μ 。 $R_{\pi 0}$ 可用插入一个电流源的方法求得,如图 7.26 所示,并可以计算出电压 v_1 :

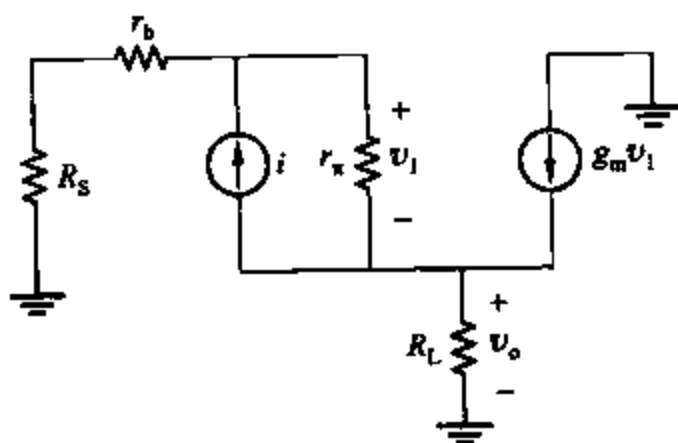


图 7.26 计算射随器的 $R_{\pi 0}$ 的等效电路

$$i = \frac{v_1}{r_x} + \frac{v_1 + v_o}{R_s + r_b} \quad (7.120)$$

$$\frac{v_1}{r_x} - i + g_m v_1 = \frac{v_o}{R_L} \quad (7.121)$$

将式(7.121)代入式(7.120)中得

$$i = \frac{v_1}{r_\pi} + \frac{v_1}{R_S + r_b} + \frac{R_L}{R_S + r_b} \left(\frac{v_1}{r_\pi} + g_m v_1 - i \right)$$

此式又可以写为

$$i = \frac{v_1}{r_\pi} + v_1 \frac{1 + g_m R_L}{R_S + r_b + R_L}$$

最后, $R_{\pi 0}$ 可由下式计算:

$$R_{\pi 0} = \frac{v_1}{i} = r_\pi // \frac{R_S + r_b + R_L}{1 + g_m R_L} \quad (7.122)$$

因此, 射随器的主极点为

$$|p| = \frac{1}{R_{\pi 0} C_\pi} \quad (7.123)$$

这和式(7.52)的精确分析结果一致, 但计算量少很多。然而, 零值时间常数法没有给出如精确分析中给出的零点。因为在这个例子中主零、极点的值不是 -3 dB 截止频率。这说明解释开路时间常数法的结果时必须注意。这是一个有用的技术且设计者在实践中能看出可能包含主零点的电路。这种电路通常有一个如射随器的 C_π 一样的直接跨在输入输出端的电容。

7.3.3 串接电压放大器的频率响应

零值时间常数法的实际优点在于分析包含多于一个器件的电路。例如, 考虑如图 7.27 所示两级共源放大器。此图可以是一个单端放大器也可以是差模放大器的半边电路图。计算 -3 dB 截止频率的准确分析是困难的, 但是用零值时间常数法就非常直接, 如下所示。为说明典型的计算, 假设一些具体的参数。下面的例子中, 和其他例子一样忽略与电阻相关的寄生电容。这种近似对于几千欧或更小的单个电阻是允许的, 但是应该在每个例子中作检查。

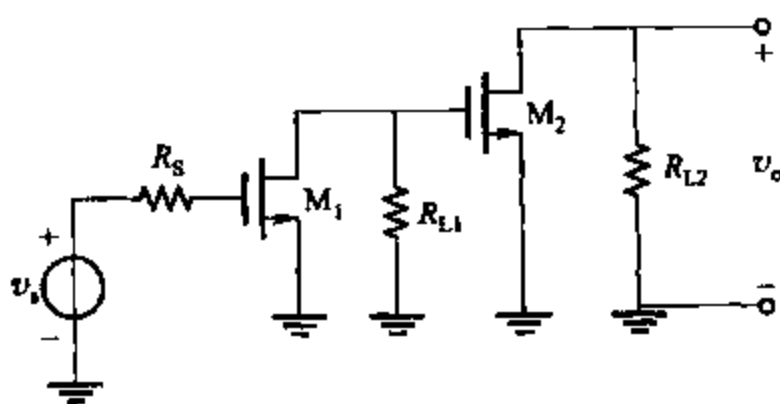


图 7.27 两级串联共源放大器

在下面的例子中用零值时间常数分析法对图 7.27 中的电路进行了分析。对两级共发放大器的分析与此类似。

示例

计算图 7.27 中电路的 -3 dB 截止频率, 假设参数如下:

$$\begin{aligned}
 R_S &= 10 \text{ k}\Omega & R_{L1} &= 10 \text{ k}\Omega & R_{L2} &= 10 \text{ k}\Omega \\
 C_{gs1} &= 5 \text{ pF} & C_{gs2} &= 10 \text{ pF} & C_{gd1} &= C_{gd2} = 1 \text{ pF} \\
 C_{db1} &= C_{db2} = 2 \text{ pF} & g_{m1} &= 3 \text{ mS} & g_{m2} &= 6 \text{ mS}
 \end{aligned}$$

忽略 C_{gs} (与 C_{gs} 并联且远小于 C_{gs})。

图 7.27 所示的小信号等效模型如图 7.28a 所示。零值时间常数可由计算两端间电容的等效电阻决定。但是如果认为电路中的一些电容有相似的组态,那么它们就可以用相同的公式。例如, C_{gd1} 与 C_{gd2} 。每个 C_{gd} 两端的等效电阻 R_{gd} 可通过计算如图 7.28b 所示电路的电阻得到。如果使 $R_A = R_{s0}$ 且 $R_B = R_L$ 那么此电路与图 7.25 中的电路相同。

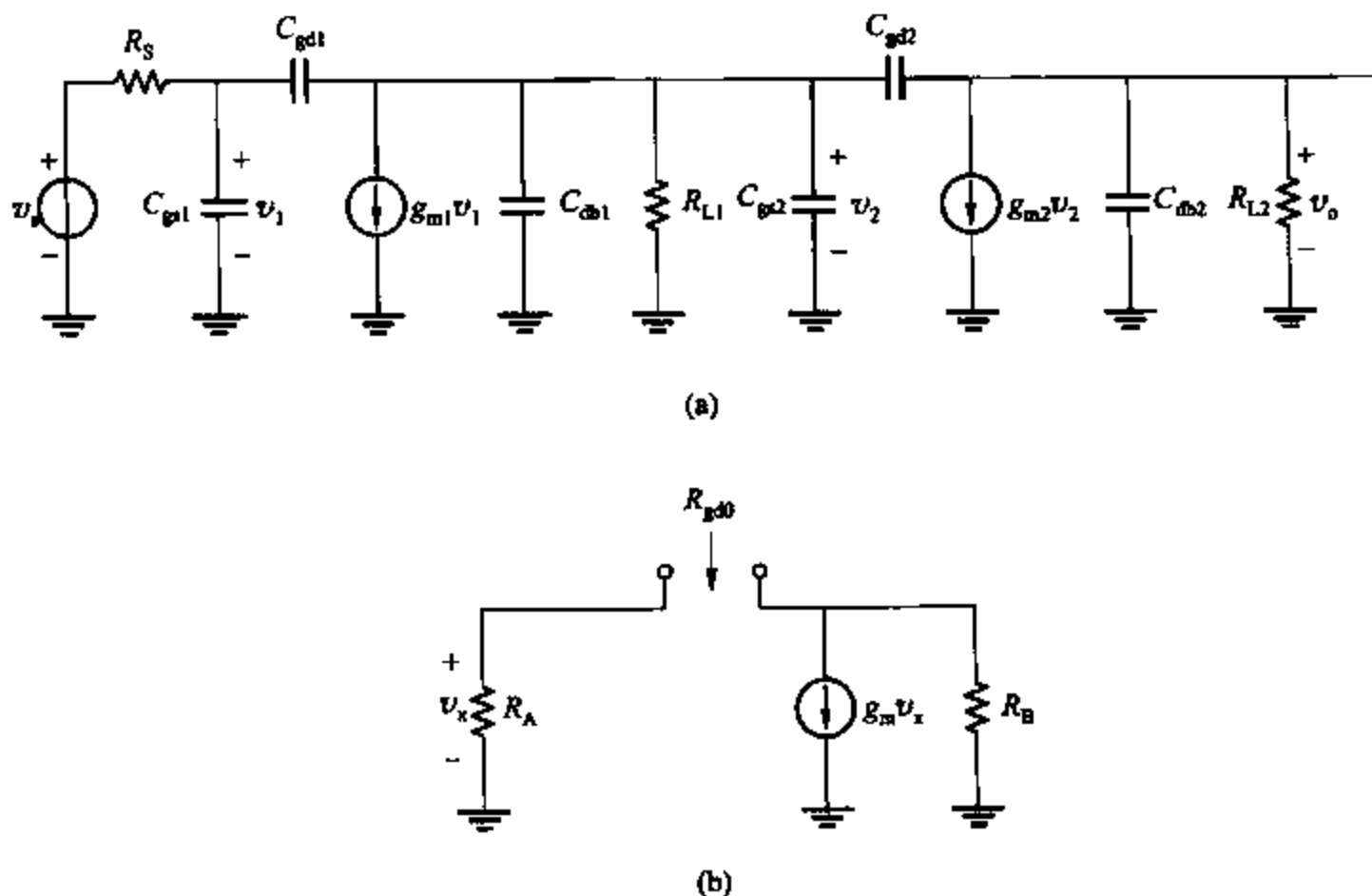


图 7.28 图 7.27 的小信号等效电路

因此,图 7.28b 中的电阻 R_{gd} 可通过将式(7.117)中的 R_{s0} , R_L 分别用 R_A , R_B 替换得到:

$$R_{gd} = R_A + R_B + g_m R_B R_A \quad (7.124)$$

此等式可用来计算栅-漏电容的零值时间常数:

$$\begin{aligned}
 C_{gd1} R_{gd1} &= C_{gd1} (R_S + R_{L1} + g_{m1} R_{L1} R_S) \\
 &= (1 \times 10^{-6}) [10 \times 10^3 + 10 \times 10^3 + (3 \times 10^{-3})(10 \times 10^3)(10 \times 10^3)] \text{ s} = 320 \text{ ns} \\
 C_{gd2} R_{gd2} &= C_{gd2} (R_{L1} + R_{L2} + g_{m2} R_{L2} R_{L1}) \\
 &= (1 \times 10^{-6}) [10 \times 10^3 + 5 \times 10^3 + (6 \times 10^{-3})(10 \times 10^3)(5 \times 10^3)] \text{ s} = 315 \text{ ns}
 \end{aligned}$$

每个器件的 R_{gd} 值通过观察可以得到:

$$\begin{aligned}
 R_{gd1} &= R_S \\
 R_{gd2} &= R_{L1}
 \end{aligned}$$

相应的时间常数为

$$C_{gs1} R_{gs01} = C_{gs1} R_S = 5 \times 10^{-6} \times (10 \times 10^3) \text{ s} = 50 \text{ ns}$$

$$C_{gs2} R_{gs02} = C_{gs2} R_{L2} = 10 \times 10^{-6} \times (10 \times 10^3) \text{ s} = 100 \text{ ns}$$

同理, R_{db0} 的值不用计算也能得到:

$$R_{db01} = R_{L1}$$

$$R_{db02} = R_{L2}$$

这样

$$C_{db1} R_{db01} = 2 \times 10^{-6} \times (10 \times 10^3) \text{ s} = 20 \text{ ns}$$

$$C_{db2} R_{db02} = 2 \times 10^{-6} \times (5 \times 10^3) \text{ s} = 10 \text{ ns}$$

假设电路的传递函数有一个极点, 则 -3 dB 转折频率可由下式估算:

$$\omega_{-3\text{dB}} = \frac{1}{\sum T_0} = \frac{10^9}{320 + 315 + 50 + 100 + 20 + 10} \text{ rad/s} = \frac{10^9}{815} \text{ rad/s} = 1.2 \times 10^6 \text{ rad/s} \quad (7.125)$$

所以

$$f_{-3\text{dB}} = 196 \text{ kHz}$$

用计算机进行此电路的 SPICE 分析得出 -3dB 频率为 205 kHz, 接近此计算结果。仿真得出三个负实数极点, 值分别为 205 kHz, 4.02 MHz 和 39.98 MHz。还有两个正实数极点值为 477 MHz 和 955 MHz。从仿真结果看, 所有极点倒数的和是 815 ns, 它正好等于手工计算的零值时间常数的和。

图 7.28a 的精确分析可首先在三个结点用 KCL, 得到一个有三次多项式分母的传递函数, 它的一些系数由小信号模型参数乘积的和组成。为了得到一些有用的等式, 需要做许多简单的近似。当电路复杂性增加, 方程的个数也会增加, 分母的次数也会上升。这时用手工进行精确分析是不现实的, 而用零值时间常数法就方便多了。

用相对较小的工作量就可以得到前面的分析结果, 且计算集中在影响 -3 dB 频率的各个电容。在这个例子中, 如例中的串联形式一样, 栅-漏电容的时间常数主要决定着电路的 -3 dB 频率。零值时间常数的一个主要优点是它给出了对电路的 -3 dB 频率影响最大的电路元件的信息。

在前面的计算中, 假设图 7.28 中的电路有一个主极点。下面将用更多的细节来说明这种假设的意义。为了便于说明, 假设图 7.28 中的 C_{gd1} , C_{gd2} , C_{db1} 和 C_{db2} 都为零, 且 $R_S = R_{L1} = R_{L2}$ 且 $C_{gs1} = C_{gs2}$ 。此时电路由两个相同的放大器组成, 且各产生一个值相同的极点, 即有主极点的情况不成立, 因为用两个相同的极点。但是如果包括非零的 C_{gd1} 和 C_{gd2} 就会使两个极点分开, 形成有主极点的情况。(参看第九章。)因此, 大多数这种实际电路都有一个主极点, 这样零值时间常数法就能很好地估计 -3 dB 截止频率了。即使电路有两个相同的极点, 零值时间常数法仍旧有用。式(7.85), 式(7.109)在一般情况下都是有效的, 因此式子

$$\sum T_0 = \sum_{i=1}^n \left(-\frac{1}{p_i} \right) \quad (7.126)$$

总是正确的。所以, 不管有没有主极点存在, 零值时间常数的和等于所有极点的负倒数的

和。考虑一个有两个相同负实数极点 ω_x 的电路。电路的增益是

$$|G(j\omega)| = \frac{G_0}{1 + \left(\frac{\omega}{\omega_x}\right)^2} \quad (7.127)$$

电路的 -3 dB 频率是当 $|G(j\omega)| = G_0/\sqrt{2}$ 时的频率, 可以得出

$$\omega_{-3\text{dB}} = \omega_x \sqrt{\sqrt{2} - 1} = 0.64\omega_x \quad (7.128)$$

零值时间常数法预测

$$\sum T_0 = \frac{2}{\omega_x}$$

因此

$$\omega_{-3\text{dB}} = \frac{1}{\sum T_0} = 0.5\omega_x \quad (7.129)$$

即使在这种极端的例子中, 也能给出一个误差仅为 22% 的最坏的估计。

7.3.4 串接放大器的频率响应

串接放大器在高频应用时是很有用的多级组态。图 7.29a 中双极型交流电路由一个共射级驱动一个共基级组成。图 7.29b 中的 MOS 电路由一个共源级驱动一个共栅级组成。在两个电路中, T_2 作为电流缓冲。因此, 串接电路的电压增益大致为

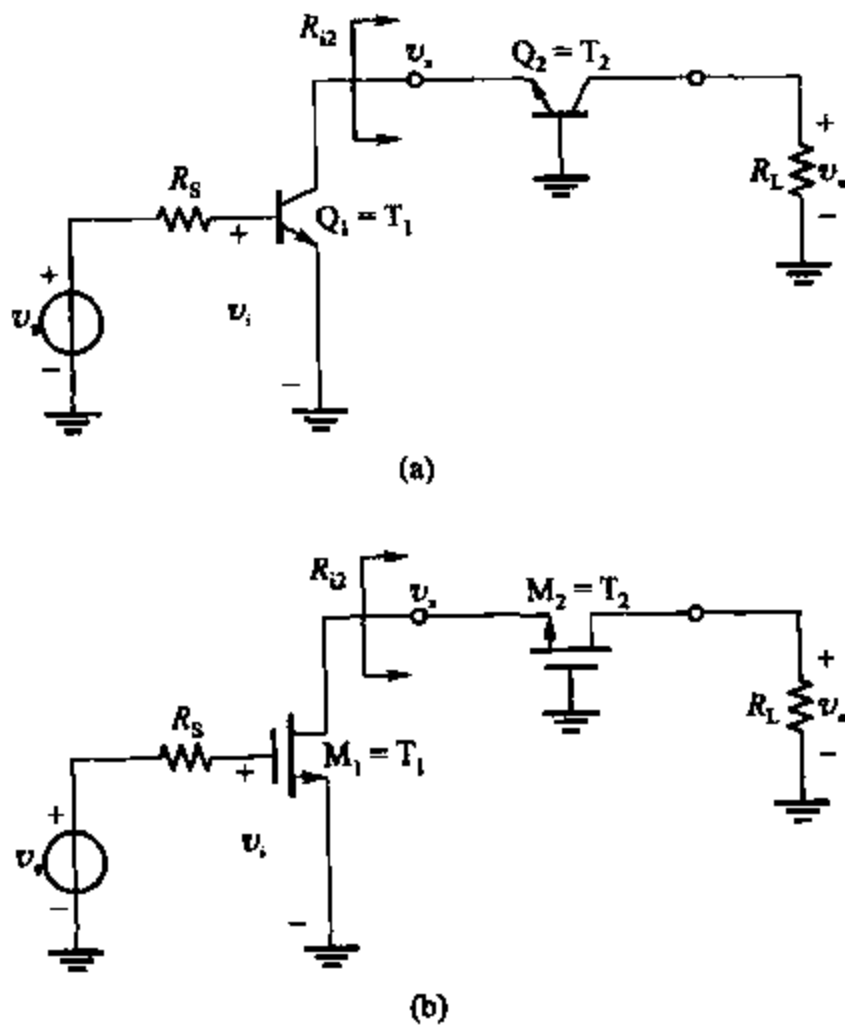


图 7.29 (a) 串接电路连接; (b) 串接电路连接

$$\frac{v_o}{v_i} \approx -g_{m1} R_L \quad (7.130)$$

假设串接电路的输出电阻远比 R_L 大, 这种结果和没有电流缓冲 T_2 的共源或共射级的电压增益相同。因为负载为低输入电阻的电流缓冲级 T_1 , 所以在高频段共射共基电路有其优点。在低频段的阻抗如在 3.3.3 节和 3.3.4 节中所述:

$$R_2 \approx \frac{1}{g_{m2}} \quad (7.131)$$

如果 $r_{o2} \rightarrow \infty$, 在 MOS 晶体管中, 忽略沟道调制效应, 且假设双极型晶体管 $r_b/(\beta_0 + 1) \ll 1/g_{m2}$ 且 $\beta_0 \gg 1$ 。如果管子 T_1 、 T_2 的偏置电流和器件的规格参数都相同, 那么 $g_{m1} = g_{m2}$ 。因此, 从 T_1 看进去的负载电阻大约为 $\frac{1}{g_{m2}}$, 从 v_i 到 v_x 的电压增益的值是单位值 1。因此, 密勒效应的影响是很小的, 即使 R_L 相对很大。因为电流缓冲级 T_2 有很宽的带宽(参看 7.2.4 节), 所以串接电路和单级放大器相比总体来说有很好的高频特性, 尤其是 R_L 很大时。(参看习题 7.29 和 7.30)。

如果不考虑条件 $r_{o2} \rightarrow \infty$, 则从 v_i 到 v_x 的电压增益的值可以大于 1。例如, R_L 可以是串接放大器电流源的输出阻抗, 这时, R_L 就比 r_{o2} 大。且 T_2 的输入电阻由下式给出:

$$R_2 \approx \frac{1}{g_{m2}} + \frac{1}{g_{m2}} \frac{R_L}{r_{o2}} \quad (7.132)$$

此式在 3.3.5.1 节中得出。[忽略 MOS 管的衬底效应, 假设双极型晶体管 $r_b/(\beta_0 + 1) \ll 1/g_{m2}$ 且 $\beta_0 \gg 1$ 。] 因为当 $R_L \gg r_{o2}$ 时此电阻远比 $1/g_{m2}$ 大, 所以 v_i 到 v_x 的电压增益远大于 1。然而, 此增益仍旧比 v_i 到 v_o 的增益小得多。因此, T_1 上的密勒效应在有 T_2 时比没有 T_2 时小得多。当 R_L 很大时密勒效应的影响进一步减弱, 当使用第三章所述的有源串接放大器替换串接放大器时, 式(7.132)中电流缓冲级的输入电阻可以降低。

串接电路的一个有用的特性是逆传递很小。电流输出缓冲为高频音频放大器提供了很好的隔离。另一个有用的特性是串接放大器的高输出阻抗。此特性可用在第四章的电流源设计和第六章的运算放大器设计中。

作为计算串接电路 -3 dB 频率的一个例子, 考虑图 7.30 所示电路。输入差分对由电阻 R_3 偏置。如果共模抑制比很重要, R_3 可由有源电流源代替。电阻 R_1 和 R_2 组成的分压器为 Q_3 和 Q_4 提供偏置电压, 并且这个电压的选择为每个器件的集电极-发射极提供了合适的偏置电压。

为了分析, 假设电路由内源电阻 R_s 加在基极和地之间。如果 Q_2 的基极接地, 当 R_s 很小时对电路的频率响应影响不大。图 7.30 所示的电路可以用图 7.31a 所示交流差模半边电路进行分析。在画出差模半边电路时 Q_3 和 Q_4 的基极对于差模小信号是虚地。如果图 7.30 中的 R_3 足够大且能对共模信号有足够的抑制, 那么图 7.31a 中电路的 $(v_o/v_s)(j\omega)$ 的频率响应和图 7.30 中的相同。图 7.31a 中电路的小信号等效模型如图 7.31b 所示。

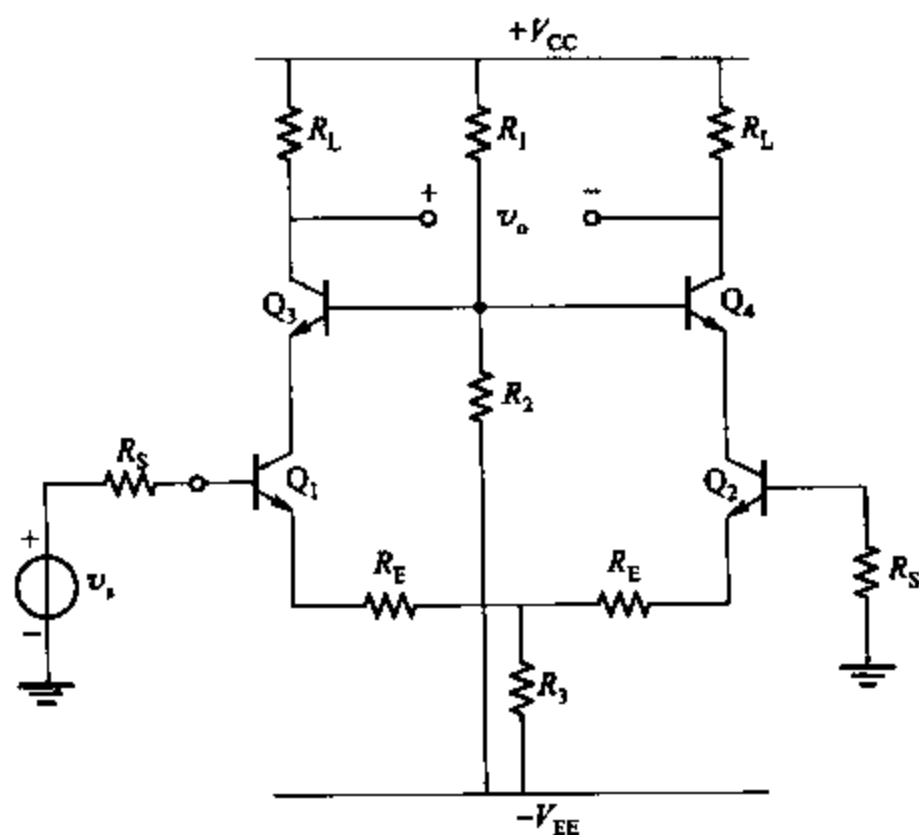


图 7.30 共射共基差模放大器

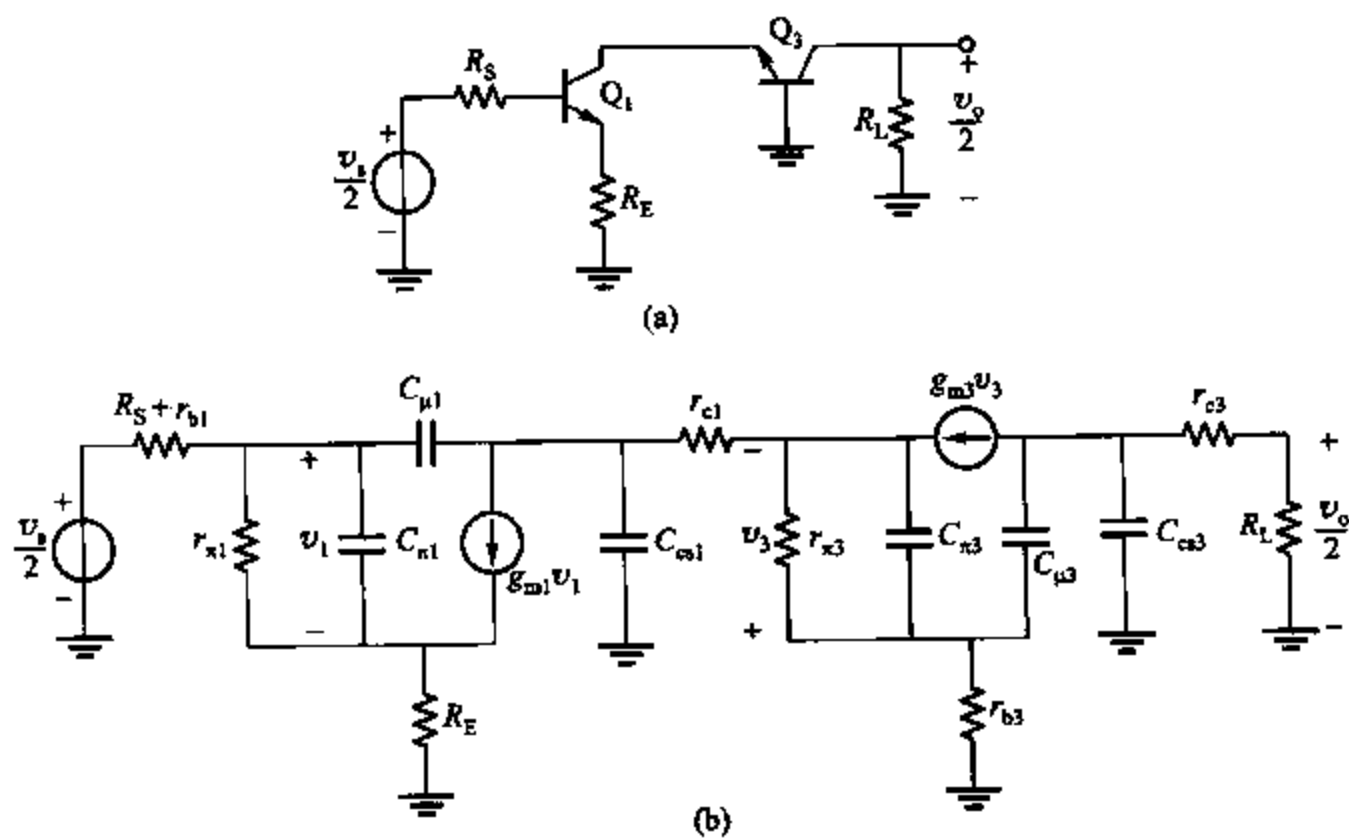


图 7.31 (a) 图 7.30 的交流差模半边电路；(b) 小信号等效模型

示例

计算低频小信号增益和图 7.30 中电路的 -3 dB 截止频率, 参数为: $R_S = 1 \text{ k}\Omega$, $R_E = 75 \Omega$, $R_3 = 4 \text{ k}\Omega$, $R_L = 1 \text{ k}\Omega$, $R_1 = 4 \text{ k}\Omega$, $R_2 = 10 \text{ k}\Omega$ 且 $V_{CC} = V_{EE} = 10 \text{ V}$ 。器件数据 $\beta =$

200, $V_{BE(on)} = 0.7 \text{ V}$, $\tau_F = 0.25 \text{ ns}$, $r_b = 200 \Omega$, $r_c(\text{放大区}) = 150 \Omega$, $C_{je0} = 1.3 \text{ pF}$, $C_{je} = 0.6 \text{ pF}$, $\phi_{0c} = 0.6 \text{ V}$, $C_{cs0} = 2 \text{ pF}$, $\phi_{0s} = 0.58 \text{ V}$ 且 $n_s = 0.5$ 。

忽略晶体管的基极电流, 首先计算直流偏置工作点。Q₃ 和 Q₄ 的基极电压为

$$V_{B3} = V_{CC} - \frac{R_1}{R_1 + R_2} (V_{CC} + V_{EE}) = (10 - \frac{4}{14} \times 20) \text{ V} = 4.3 \text{ V}$$

Q₁ 和 Q₂ 的集电极电压为

$$V_{C1} = V_{B3} - V_{BE3(on)} = 3.6 \text{ V}$$

假设 Q₁ 和 Q₂ 的基极接地, 可以计算出 Q₁ 和 Q₂ 的集电极电流为

$$I_{C1} = \frac{V_{EE} - V_{BE(on)}}{2R_3 + R_E} = \frac{10 - 0.7}{8.075} \text{ mA} = 1.15 \text{ mA}$$

因此, 得到

$$I_{C1} = I_{C2} = I_{C3} = I_{C4} = 1.15 \text{ mA}$$

通过结点可以完全对直流进行分析, Q₃ 和 Q₄ 的集电极电压为

$$V_{C3} = V_{CC} - I_{C3} R_L = 10 \text{ V} - 1.15 \text{ V} = 8.85 \text{ V}$$

用第三章导出的有射极电阻的放大器的结果可以算出图 7.31a 中差模交流半边电路的低频增益。如果忽略基极电阻, 那么 Q₁ 的包含 R_E 的小信号跨导可由式(3.93)给出为

$$G_{m1} \approx \frac{g_{m1}}{1 + g_{m1} R_E} = 10.24 \text{ mS}$$

Q₁ 的包含 R_E 的小信号输入电阻由式(3.90)给出为

$$R_{i1} \approx r_{\pi1} + (\beta + 1) R_E = 19.5 \text{ k}\Omega$$

如第三章所示, 共基放大器的电流增益为单位值 1。因此, Q₁ 的小信号集电极电流也流过 Q₃ 的集电极。则图 7.31a 中的电路的电压增益为

$$\frac{v_o}{v_s} = - \frac{R_{i1}}{R_{i1} + R_s} G_{m1} R_L = - \frac{19.5}{19.5 + 1} \times 10.24 \times 1 = -9.74$$

为了计算电路的 -3 dB 截止频率, 必须先计算图 7.31b 中小信号等效模型的参数。 $g_{m1} = g_{m3} = qI_{C1}/kT = 44.2 \text{ mS}$, $r_{\pi1} = r_{\pi3} = \beta/g_{m1} = 4525 \Omega$, $r_{c1} = r_{c3} = 150 \Omega$, $r_{b1} = r_{b3} = 200 \Omega$ 且 $R_s + r_b = 1.2 \text{ k}\Omega$ 。因为电路中的各阻值很低, 所以晶体管的输出电阻可以忽略不计。

用第一章介绍的方法计算图 7.31b 中的电容。首先考虑基极-发射极电容和耗尽层电容 C_{je} 。如第一章所述, 正向放大区的 C_{je} 值是很难计算的, 比较好的近似是两倍的 C_{je0} 。所以 $C_{je} = 2.6 \text{ pF}$ 。从式(1.104)中 Q₁ 的基极充电电容是

$$C_{b1} = \tau_F g_{m1} = 0.25 \times 10^{-9} \times 44.2 \times 10^{-3} \text{ F} = 11.1 \text{ pF}$$

又由式(1.118)得

$$C_{\pi1} = C_{b1} + C_{je1} = 13.7 \text{ pF}$$

因为 Q₁ 和 Q₃ 的集电极电流相同, 所以 $C_{\pi3} = C_{\pi1} = 13.7 \text{ pF}$ 。

Q₁ 的集电极-基极电容 $C_{\mu1}$ 可由式(7.117a)算出, 注意到 Q₁ 的集电极-基极偏置电压为 $V_{CB1} = 3.6 \text{ V}$, 这样

$$C_{\mu 1} = \frac{C_{\mu 0}}{\sqrt{1 + \frac{V_{CB}}{\phi_{0c}}}} = \frac{0.6}{\sqrt{1 + \frac{3.6}{0.6}}} \text{ pF} = 0.23 \text{ pF}$$

Q_1 的集电极-衬底电容也可以由式(1.117a)计算,衬底电压为 $V_{CS} = V_{C1} + V_{EE} = 13.6 \text{ V}$ 。(假设衬底与负电源相连)。因此,得到

$$C_{cs1} = \frac{C_{cs0}}{\sqrt{1 + \frac{V_{CS}}{\phi_{0s}}}} = \frac{2}{\sqrt{1 + \frac{13.6}{0.58}}} \text{ pF} = 0.40 \text{ pF}$$

相似的计算可得出 Q_3 的参数 $C_{\mu 3} = 0.2 \text{ pF}$ 和 $C_{cs3} = 0.35 \text{ pF}$ 。

电路的 -3 dB 截止频率可以由计算电路的零值时间常数法估计。首先考虑 $C_{\pi 1}$ 。从它的两端看进去的电阻由从射随器推出的式(7.122)给出。因为电流源 $g_{m1} v_1$ 的电阻无穷大,所以与 Q_1 集电极串联的电阻与计算无关。由式(7.122)得

$$R_{x01} = r_{\pi 1} // \frac{R_S + r_{b1} + R_E}{1 + g_{m1} R_E} = \left(4525 // \frac{1000 + 200 + 75}{1 + 44.2 \times 0.075} \right) \Omega = (4525 // 295) \Omega = 277 \Omega$$

注意 R_E 的影响是降低 R_{x01} , 通过降低 $C_{\pi 1}$ 的零值时间常数提高带宽。时间常数值为

$$C_{\pi 1} R_{x01} = 13.7 \times 0.277 \text{ ns} = 3.79 \text{ ns}$$

从 Q_1 的集电极-衬底电容看进去电阻等于 r_{c1} 加共基放大器的输入电阻,即

$$R_{i3} = \frac{1}{g_{m3}} + \frac{r_{b3}}{\beta + 1} = 23.6 \Omega$$

从 C_{cs1} 两端看进去的电阻为

$$R_{cs01} = R_{i3} + r_{c1} = 174 \Omega$$

零值时间常数为

$$C_{cs1} R_{cs01} = 0.4 \times 0.174 \text{ ns} = 0.07 \text{ ns}$$

Q_1 中 $C_{\mu 1}$ 的零值时间常数可由计算图 7.32a 中的等效电路的 $C_{\mu 1}$ 两端的电阻得到。为了简化分析,图 7.32a 中的电路改为如图 7.32b 所示,其中,带射极反馈的晶体管由参数 R_{ii} 和 G_{m1} 表示,它们都是前面定义过的。图 7.32b 中的电路是如图 7.25 所示的共射放大器的形式,且由此导出的公式也可以在这里使用,由式(7.117)得

$$R_{\mu 01} = R_i + R_{L1} + G_{m1} R_{L1} R_i \quad (7.133)$$

其中

$$R_i = R_{i1} // (R_S + r_b) = (19.5 // 1.2) \text{ k}\Omega = 1.13 \text{ k}\Omega$$

负载电阻 R_{L1} 刚好是 r_{c1} 加上 Q_3 的输入电阻。用前面的计算结果得

$$R_{L1} = 174 \Omega$$

代入式(7.133)中得

$$R_{\mu 01} = [1.13 + 0.17 + (10.24 \times 1.13 \times 0.17)] \text{ k}\Omega = 3.27 \text{ k}\Omega$$

$C_{\mu 1}$ 的零值时间常数是

$$C_{\mu 1} R_{\mu 01} = 0.23 \times 3.27 \text{ ns} = 0.75 \text{ ns}$$

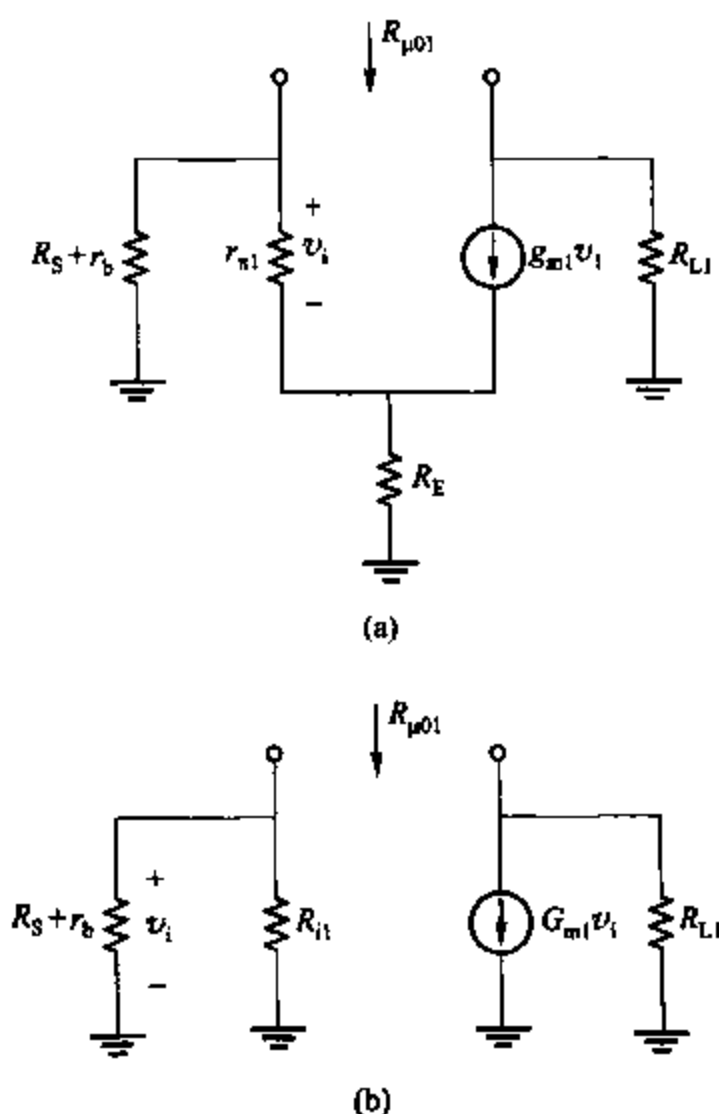


图 7.32 (a) 计算 Q_1 的 $R_{\mu01}$ 电路; (b) (a) 电路的等效模型

因为共基放大器的输入阻抗很小, 因此, $C_{\mu1}$ 的时间常数远比 $C_{\pi1}$ 的时间常数对总和的影响小。

Q_3 的 $C_{\pi3}$ 的时间常数可以由射随器导出的式(7.122)来计算。当基极接地时有有效的源电阻 R_S 是零, 且因为 Q_1 的集电极与 Q_3 的发射极相连所以发射极有效电阻 R_L 无穷大。由式(7.122)得

$$R_{\pi03} = r_{\pi3} // \frac{1}{g_{m3}} = 22.6 \Omega$$

$C_{\pi3}$ 的零值时间常数为

$$C_{\pi3} R_{\pi03} = 13.7 \times 0.0023 \text{ ns} = 0.32 \text{ ns}$$

Q_3 的集电极 - 基极电容 $C_{\mu3}$ 的时间常数可由式(7.133)得到。因为, 此时 R_E 无穷大所以 G_{m1} 为零。式(7.133)中的 R_1 就是 r_b , 则有

$$R_{\mu03} = r_b + R_{L3}$$

其中

$$R_{L3} = r_{e3} + R_L$$

R_{L3} 就是 Q_3 的负载电阻。因此

$$R_{\mu03} = (200 + 150 + 1000) \Omega = 1.35 \text{ k}\Omega$$

时间常数为

$$C_{\mu 3} R_{\mu 03} = 0.2 \times 1.35 \text{ ns} = 0.27 \text{ ns}$$

最后,从 Q_3 的集电极-衬底电容看进出的电阻为

$$R_{\infty 3} = r_{e3} + R_L = 1.15 \text{ k}\Omega$$

且

$$C_{cs3} R_{\infty 3} = 0.35 \times 1.15 \text{ ns} = 0.4 \text{ ns}$$

所以零值时间常数的和为

$$\sum T_0 = (3.79 + 0.07 + 0.75 + 0.32 + 0.27 + 0.4) \text{ ns} = 5.60 \text{ ns}$$

-3 dB 截止频率可以估算为

$$f_{-3\text{dB}} = \frac{1}{2\pi \sum T_0} = 28.4 \text{ MHz}$$

用 SPICE 的计算机仿真给出的 -3 dB 频率为 34.7 MHz。仿真给出 6 个极点,前两个是负实数极点分别为 35.8 MHz 和 253 MHz。零值时间常数分析近似估计的 -3 dB 频率说明电路频率响应的主要限制是来自 Q_1 的 $C_{\pi 1}$ 。因此,电路可通过提高 Q_1 的射极电阻 R_E 来展宽频带。 $R_{\infty 1}$ 的计算说明增加 R_E 可以降低 $R_{\infty 1}$,这种变化会降低电路的增益。

从前面的计算了解到图 7.31 中 Q_3 有效地隔离了 $C_{\mu 3}$ 和其他电路的 C_{cs3} ,进一步得到关于电路频率响应的更有用的信息。实际上,如果 r_{e3} 是零,这两个电容并联跨接在输出端而使传递函数增加一个分开的极点。此极点的值可通过计算 $C_{\mu 3}$ 和 C_{cs3} 的时间常数的和来估计,得到 $\sum T_0 = 0.67$,此时间常数相当于一个幅值为 $\frac{1}{2\pi \sum T_0} = 237 \text{ MHz}$ 的极点,它非常

靠近仿真得出的第二个极点。主极点可通过计算余下的时间常数和得到 $\sum T_0 = 4.93 \text{ ns}$,它相当于一个幅值为 32.3 MHz 的极点,也很接近仿真值。此方法可用于电路的各部分隔离得很好的情况。可由计算某部分的时间常数的和来估计主极点。

在这个例子中,差模增益的带宽,可由计算差模半边电路的零值时间常数来估计。共模增益的带宽可由计算共模半边电路的零值时间常数来估计。

7.3.5 负载为一个镜像电流源的差分对的频率响应

负载为一个镜像电流源的差分对的 CMOS 电路如图 7.33a 所示。这里的镜像电流源产生了相隔不太远的一个零点和一个极点。为了说明这个结果,考虑图 7.33b 中简化小信号电路, $v_o = 0$ 时跨导为 $G_m = i_o / v_{id}$,令所有晶体管 $r_o \rightarrow \infty$ 且忽略除 C_x 外的所有电容后,电路被简化。这里 C_x 代表从点 X 到地的总电容,包括 C_{gs3} 、 C_{gs4} 和其他一些小电容。如果是单纯的差模输入,点 Y 是交流地。 C_x 的零值时间常数是 $T_0 = C_x / g_{m3}$;因此

$$p = -\frac{g_{m3}}{C_x} \quad (7.134)$$

通过电路的精确分析得出由式(7.134)确定的一个极点和一个零点 $z = -2g_{m3}/C_x$ 的传递函数。(参看习题 7.48。)极点和零点的值相差一个八倍频。 $G_m(s)$ 的幅频和相频响应如图

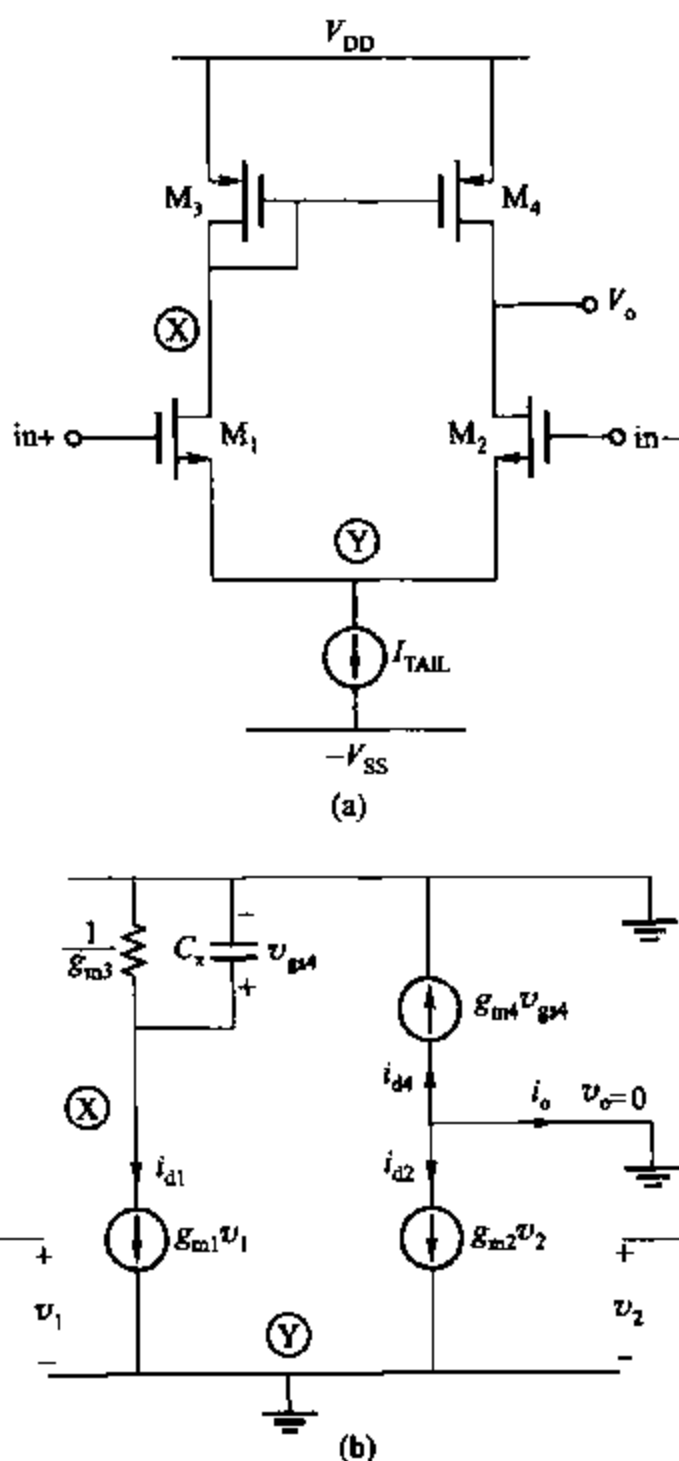


图 7.33 (a) 带镜像电流源负载的差分对; (b) 简化的小信号模型

7.34所示。这个零、极点对的相移为 $0 \sim -19.4^\circ$ 。

对频率响应特性可作如下解释。差分对的漏极电流是 $i_{d1} = g_{m1} v_{id}/2$ 和 $i_{d2} = -g_{m1} v_{id}/2$ 。在低频段, M_3 和 M_4 的镜像电流为 i_{d1} , 得到输出电流

$$i_o = -i_{d2} - i_{d4} = -i_{d2} + i_{d1} = g_{m1} v_{id} \quad (7.135)$$

在高频段($\omega \rightarrow \infty$), C_x 短路, 所以 $v_{gs4} \rightarrow 0$, $i_{d4} \rightarrow 0$, 因此

$$i_o = -i_{d2} - i_{d4} = -i_{d2} - 0 = g_{m1} v_{id}/2 \quad (7.136)$$

此等式说明跨导从低频的 g_{m1} 降到高频段的 $g_{m1}/2$ 。此结果是由于 C_x 短路时电流源不能贡献输出电流。在 $|p|$ 和 $|z|$ 之间的频段, 跨导发生改变。分析说明零、极点在电路中都是很重要的。因为 $C_x \approx C_{gs3} + C_{gs4} = 2C_{gs3}$, 式(7.134)给出 $|p| \approx g_{m3}/2C_{gs3} \approx \omega_{T(M_3)}/2$ 。因此, 零、极点对仅仅在很高的频段有影响, 且此零、极点对的影响比分开的零点或极点的影响小

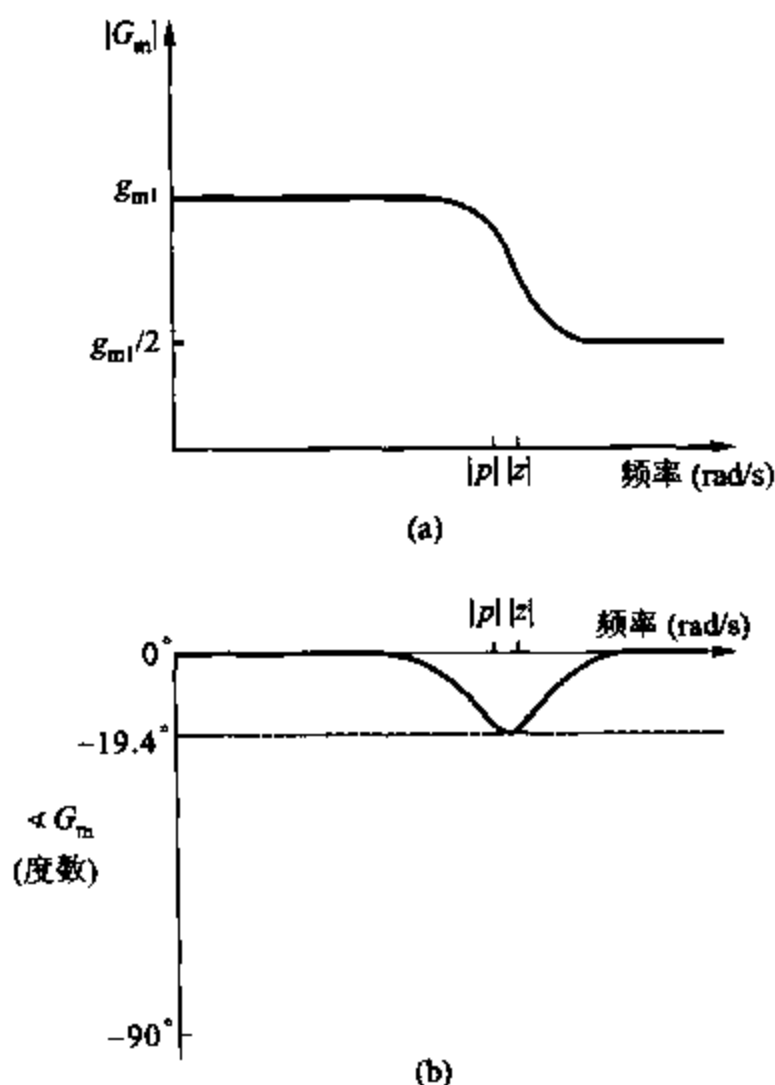


图 7.34 (a) 图 7.33 中电路跨导 $G_m = i_o/v_{in}$ 的幅频特性; (b) 相频特性

得多。

对图 7.33a 中电路的双极型晶体管分析可以得到相似的结果。

7.3.6 短路时间常数

零值时间常数分析(又称为开路时间常数分析)可用来估计放大器的最小值的极点。此估计值一般用来估计有低通传递函数的直流耦合放大器增益的 -3 dB 截止频率。另一种时间常数分析叫短路时间常数分析。短路时间常数分析可用来估计最大值的极点的位置。短路时间常数分析常用来估计交流耦合放大器的 -3 dB 截止频率,^{1,2} 将用这些时间常数估计只有两个相距较远的实数极点的交流耦合放大器的非主极点的值。

短路时间常数公式可以由图 7.24 所示的小信号电路导出。式(7.91)~式(7.93)描述了此电路,式(7.94)决定这些方程的 $\Delta(s)$,如下式:

$$\begin{aligned}\Delta(s) &= K_3 \left(s^3 + \frac{K_2}{K_3} s^2 + \frac{K_1}{K_3} s + \frac{K_0}{K_3} \right) \\ &= K_3 (s - p_1)(s - p_2)(s - p_3)\end{aligned}\quad (7.137)$$

因为 $\Delta(s)$ 的零点是传递函数的极点。展开等式的右边, s^2 的系数为

$$\frac{K_2}{K_3} = - \sum_{i=1}^3 p_i \quad (7.138)$$

现在可以推导出一个计算 K_2/K_3 的公式。将式(7.91)~(7.93)变形,式(7.94)中与 s^3 相乘的 K_3 由下式给出:

$$K_3 = C_\pi C_\mu C_x \quad (7.139)$$

K_2 项为

$$K_2 = g_{11} C_\mu C_x + g_{22} C_\pi C_x + g_{33} C_\pi C_\mu \quad (7.140)$$

由式(7.139)和式(7.140)得 K_2/K_3 的比值为

$$\frac{K_2}{K_3} = \frac{g_{11}}{C_\pi} + \frac{g_{22}}{C_\mu} + \frac{g_{33}}{C_x} = \frac{1}{r_{11} C_\pi} + \frac{1}{r_{22} C_\mu} + \frac{1}{r_{33} C_x} \quad (7.141)$$

其中 $r_{ii} = \frac{1}{g_{ii}}$ 。现在,分析表达式最右边的每一项。第一项是 $1/(r_{11} C_\pi)$ 。由式(7.91)和

$r_{11} = \frac{1}{g_{11}}$ 得

$$r_{11} = \frac{1}{g_{11}} = \frac{v_1}{i_1} \bigg|_{v_2=v_3=0, C_x=0} \quad (7.142)$$

因为, r_{11} 是与 C_π 并联的电阻,计算时将 C_π 从电路中移出,并将其他电容 C_μ 和 C_x 短路(注意短路 C_μ 使 $v_2=0$,短路 C_x 使 $v_3=0$)。因此, $r_{11} C_\pi$ 叫做电容 C_π 的短路时间常数,与此类似,由式(7.92)得

$$r_{22} = \frac{1}{g_{22}} = \frac{v_2}{i_2} \bigg|_{v_1=v_3=0, C_\mu=0} \quad (7.143)$$

电阻 r_{22} 和电容 C_μ 并联,计算时将 C_μ 从电路中移出,并将其他电容 C_π 和 C_x 短路。最后由式(7.93)得

$$r_{33} = \frac{1}{g_{33}} = \frac{v_3}{i_3} \bigg|_{v_1=v_2=0, C_x=0} \quad (7.144)$$

r_{33} 是和 C_x 并联的电阻,计算时将 C_x 从电路中移出,并将其他电容 C_π 和 C_μ 短路。由式(7.142)~(7.144),式(7.141)可以写为

$$\frac{K_2}{K_3} = \sum_{i=1}^3 \frac{1}{\tau_{si}} \quad (7.145)$$

其中 τ_{si} 是电路中 i^{th} 电容的短路时间常数,它由 i^{th} 电容和与之并联的驱动点电阻相乘得出,认为其他电容均短路。

由式(7.145)和式(7.138)得

$$\sum_{i=1}^3 p_i = - \sum_{i=1}^3 \frac{1}{\tau_{si}} \quad (7.146)$$

这个等式与极点的总和与短路时间常数的倒数有关。此关系式对任何包含电阻电容和受控源的小信号模型都适用,前提是假设电路没有环路电容。¹

如果电路有 n 个极点,且 p_n 的幅值比其他的极点都大,则式(7.146)的一般形式为

$$p_n \approx \sum_{i=1}^n p_i = - \sum_{i=1}^n \frac{1}{\tau_{si}} \quad (7.147)$$

对于只有两个相距较远的实数极点的电路式(7.147)可简化为

$$p_2 \approx - \sum \frac{1}{\tau_{si}} \quad (7.148)$$

这个简单的关系表明可以由短路时间常数估计非主极点的幅值。

示例

估计图 7.35 中电路的非主极点值。参数如下：

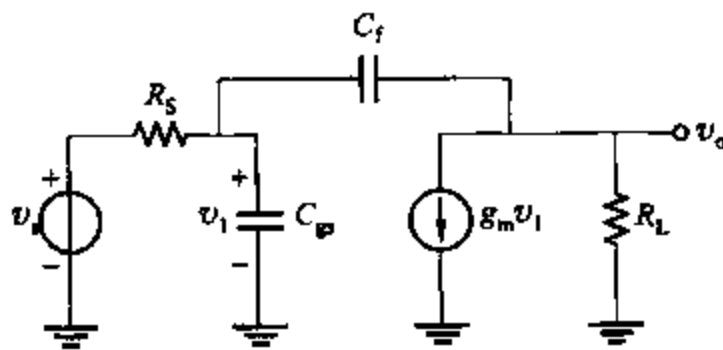


图 7.35 例子中计算短路时间常数的电路

$$R_s = 10 \text{ k}\Omega \quad R_L = 10 \text{ k}\Omega$$

$$C_{gs} = 1 \text{ pF} \quad C_f = 20 \text{ pF} \quad g_m = 3 \text{ mA/V}$$

此电路因为有两个独立的电容所以有两个极点。首先计算 C_f 短路时间常数 τ_{s1} 。认为 C_{gs} 被短路且独立的电压源 v_i 也是零,所以通过电压源的电流也是零,从 C_f 看进去的电阻就是 R_L ,且相应的时间常数是

$$\tau_{s1} = C_f R_L = (20 \text{ pF})(10 \text{ k}\Omega) = 200 \text{ ns}$$

为计算 C_{gs} 的短路时间常数,使 C_f 短路并找出从 C_{gs} 看进去的电阻。当 C_f 短路时,可控电流源由它两端的电压控制。因此,它的作用是一个阻值为 $1/g_m$ 的电阻。此电阻与 R_L 、 R_s 并联,所以 C_{gs} 的短路时间常数是

$$\tau_{s2} = C_{gs} (R_s // 1/g_m // R_L) = (1 \text{ pF})(10 \text{ k}\Omega // 333 \Omega // 10 \text{ k}\Omega) = 0.312 \text{ ns} \quad (7.149)$$

由式(7.148),如果极点是实数且相距很远,得

$$p_2 \approx - \sum \frac{1}{\tau_{si}} = - \left(\frac{1}{200 \text{ ns}} + \frac{1}{0.312 \text{ ns}} \right) = -3.21 \text{ Grad/s} \quad (7.150)$$

通过此电路的精确分析得出 $p_2 \approx -3.20 \text{ Grad/s}$,它和前面估计的值很相近。且 $p_1 \approx 156 \text{ krad/s}$ 。

用零值时间常数分析可以估计主极点的值。由式(7.124), C_f 的零值时间常数为

$$\begin{aligned} C_f R_0 &= C_f (R_s + R_L + g_m R_L R_s) \\ &= (20 \times 10^{-6}) (10 \times 10^3 + 10 \times 10^3 + 3 \times 10^{-3} \times 10 \times 10^3 \times 10 \times 10^3) \text{ s} = 6.4 \mu\text{s} \end{aligned} \quad (7.151)$$

C_{gs} 的零值时间常数可以简化为

$$C_{gs}R_s = (1 \text{ pF})(10 \text{ k}\Omega) = 10 \text{ ns}$$

因此,由式(7.111)得

$$p_1 \approx -\frac{1}{6.4 \mu\text{s} + 10 \text{ ns}} = -156 \text{ krad/s}$$

由电路的精确分析得出 $p_1 \approx 156 \text{ krad/s}$, 和估计值很相近。此例说明对于有两个相距很远的实数极点的电路, 通过时间常数分析可以精确地估计主极点而非主极点。

在此例中, 两个极点相距很远, 可以仅用一个时间常数估计每个极点。因为 C_i 远比 C_{gs} 大, 且在计算零值时间常数时, 从 C_i 看进去的电阻远比从 C_{gs} 看进去的大, 一个有用的结果是 C_{gs} 在接近频点 $|p_1|$ 时可以忽略。因此, 在式(7.111)中估计 p_1 时最重要的零值时间常数是 C_i 的时间常数(计算时 C_{gs} 开路)。仅用此时间常数得

$$p_1 \approx -\frac{1}{6.4 \mu\text{s}} = -156 \text{ krad/s}$$

它是 p_1 的非常精确的估计值。

如果实数极点相距很远且知道极点主要由 C_i 决定, 在接近频点 $|p_2|$ 时 C_i 可被看为短路。因此, 式(7.150)中 C_{gs} 的短路时间常数是最重要的(计算时 C_i 短路)。仅将由式(7.149)求得的时间常数代入式(7.148)得

$$p_2 \approx -\frac{1}{0.312 \text{ ns}} = -3.21 \text{ Grad/s}$$

它是 p_2 的精确估计。

最后的计算说明, 如果两个实数极点相距较远, 那么一个电容主要决定 p_1 , 另一个主要决定 p_2 。只需计算零值时间常数来估计 p_1 , 计算短路时间常数来估计 p_2 。

7.4 741 运算放大器的频率响应分析

前面对集成电路的频率响应的分析仅限于相当简单的电路形式。原因是很明显的, 前面章节也说明了, 估计一些简单电路的主极点需要大量的计算。对较大的集成电路进行手工频率分析是不现实的。然而, 设计者经常需要了解电路(如运算放大器 741)的频率响应, 并定出一些参数, 用前面介绍的一些近似的方法可以提供一些信息。这里将通过分析 741 的频率响应来说明这一点。

7.4.1 741 的高频等效电路

741 的原理图如图 6.32a 所示。它的频率响应主要由集成电容 C_c 决定, 此电容是一个为了避免电路发生振荡的补偿电容。电容 C_c 的选择和功能将在第九章介绍。

因为 741 包含 20 多个集成晶体管, 即使用零值时间常数法的完全分析也是不可行的。为了得到此电路频率响应的估计, 设计者必须知道并去掉对电路的频率响应没有影响或影响很小的部分。一般的规则是可以去掉电路的偏置电路, 且差模电路可换为半边电路。用此方法得到图 7.36 所示的交流原理图, 它可以用来作估计 741 的高频段的响应。去掉了所

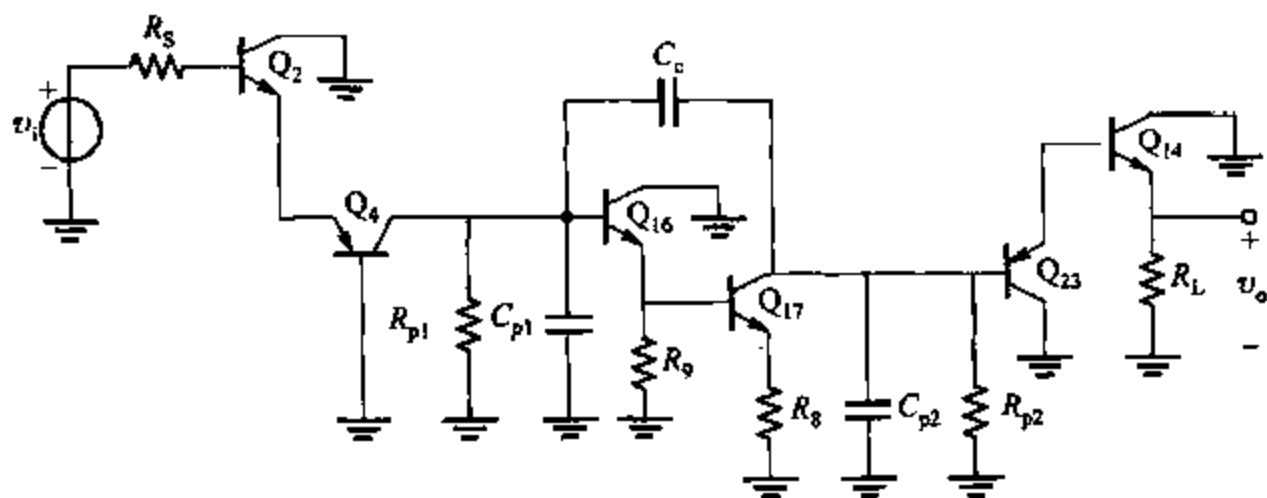


图 7.36 741 高频增益的交流原理图

有的偏置电路(除可以对增益路径产生寄生参数的部分外),它们用 R_{p1} , C_{p1} , R_{p2} 和 C_{p2} 表示。在输出级,是 Q_{14} 还是 Q_{20} 导通取决于输出电压的正负,且电路的频率响应也会有所不同。图 7.36 中是假设 Q_{14} 导通的情况。

图 7.36 中主要的近似是忽略了输入级有源负载的频率限制,有源负载可以从增益路径中去掉。但输出电阻和 Q_6 的电容被计算在 R_{p1} 和 C_{p1} 中。进一步的计算和计算机仿真说明这些近似都是允许的。

如上面所述,741 的频率响应主要由 C_e 决定,且 -3 dB 频率可通过单独考虑此电容的影响来估计。然而,如第九章所述,当有反馈时非主极点的存在影响电路的特性。因此,需要考虑非主极点的幅值,阐述估计它的方法。首先计算电路的 -3 dB 截止频率。

7.4.2 741 的 -3 dB 截止频率的计算

图 7.36 中电路的 -3 dB 频率可通过计算从 C_e 看进去的电阻 R_o 来估计。 R_o 可由图 7.37a 中的交流电路计算得出,其中 Q_{23} 的输入电阻被认为非常高而被忽略。 R_o 的计算可由图 7.37b 所示电路来简化。

参数 R_{ic} , R_{oc} 和 G_{mc} 分别为图 7.37a 中电路的输入电阻、输出电阻和跨导。在第六章计算过它们的值。如果考虑到 β 随偏置电流而变,那么得出更精确的结果如下:

$$R_{ic} = R_{o4} // R_{p1} // R_{i16} = 1.95 \text{ M}\Omega$$

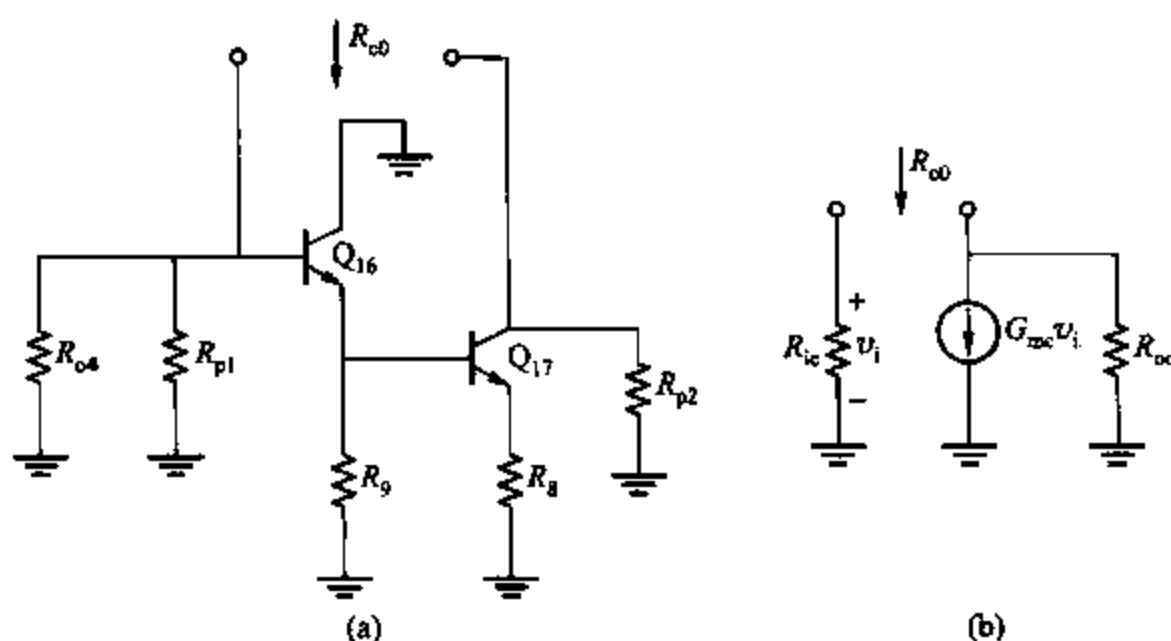
$$R_{oc} = R_{o17} // R_{p2} = 86.3 \text{ k}\Omega$$

$$G_{mc} = 6.39 \text{ mS}$$

注意 R_{p1} 是 Q_6 的有效输出电阻,且 R_{p2} 是图 6.32a 中原理图的 Q_{13B} 的有效输出电阻。

因为图 7.37b 中电路与图 7.24 中电路相同,所以可以用式(7.117)来估计 R_o 。

$$\begin{aligned} R_o &= R_{ic} + R_{oc} + G_{mc} R_{ic} R_{oc} \\ &= [1.95 + 0.086 + (6.39 \times 10^{-3} \times 86.3 \times 10^3 \times 1.95)] \text{ M}\Omega \\ &= 1.08 \times 10^9 \Omega \end{aligned} \quad (7.152)$$

图 7.37 (a) 计算 C_c 的零值时间常数的电路; (b) 等效模型

这个非常大的电阻和 C_c 结合得出时间常数为

$$C_c R_{o0} = 30 \times 10^{-12} \times 1.08 \times 10^9 \text{ s} = 32.4 \times 10^{-3} \text{ s}$$

此时间常数主要决定零值时间常数的总和, 所以 -3 dB 截止频率为

$$f_{-3 \text{ dB}} = \frac{1}{2\pi C_c R_{o0}} = 4.9 \text{ Hz}$$

计算机对 741 仿真, 结果为 5.0 Hz 。另一种可选择的频率补偿的有效方法是用如 7.2.1 节介绍的密勒效应。补偿电容接在 Q_{16} 的基极和 Q_{17} 的集电极, 这两点的电压增益可由图 7.37b 中的等效电路来计算如下:

$$A_v = -G_{mc} R_{oc} \quad (7.153)$$

由式(7.5)可得 Q_{16} 基极的密勒电容是

$$C_M = (1 - A_v) C_c \quad (7.154)$$

将式(7.153)代入式(7.154)中得

$$\begin{aligned} C_M &= (1 + G_{mc} R_{oc}) C_c \\ &= [1 + (6.39 \times 10^{-3} \times 86.3 \times 10^3)] \times 30 \text{ pF} \\ &= 16\,540 \text{ pF} \end{aligned} \quad (7.155)$$

这个电容影响非常大, 且它和电阻 $R_{ic} = 1.95 \text{ M}\Omega$ 结合得到电路的 -3 dB 频率为

$$\begin{aligned} f_{-3 \text{ dB}} &= \frac{1}{2\pi C_M R_{ic}} \\ &= \frac{1}{2\pi \times 16\,540 \times 10^{-12} \times 1.95 \times 10^6} \text{ Hz} \\ &= 4.9 \text{ Hz} \end{aligned}$$

这和零值时间常数法预测的一样。

注意有一个附加电容同 C_c 被引入电路。它是第二章介绍的连接在 C_c 和衬底间的电

容。在这种情况下,与电容 C_c 相连导致 Q_{16} 的基极到地之间存在寄生电容,而且被 C_c 的密勒效应所覆盖。因为有 30 pF 的面积较大的电容存在,此寄生电容有相对较大的值(约为 14 pF)。电容占去了总芯片面积 56 mil^2 中的 16 mil^2 ,相当于一般管子的 13 倍左右。(1 000 mil = 1 inch = 25.4 mm)

如果去掉补偿电容再计算零值时间常数, -3dB 频率为 18.9 kHz,它主要由电容 C_{pi} 决定,大约为 3.4 pF,且包含了 Q_6 和 Q_{22} 的集电极-衬底电容。由上述计算可知,由 C_{pi} 看进去的电阻为 $R_{ic} = 1.95 \text{ M}\Omega$,时间常数为 $6.6 \mu\text{s}$ 。

7.4.3 741 的非主极点

前面的计算说明在 741 中 30 pF 的补偿电容产生一个 4.9 Hz 的主极点。从电路的复杂性可以看出,一定有许多值较大的极点存在。

晶体管 Q_{16} 和 Q_{17} 组成了连接补偿电容的增益放大级。连接 C_c 后,传递函数包含了一个值为 4.6 Hz 的极点和更高频率的极点。如第九章所示,接入 C_c 后这些高频极点的作用就很小了,但它们仍旧在放大器的单一增益频率处(约为 1.25 MHz)贡献相移。精确计算这些高频极点是很困难的。

高频极点的其他来源是在图 7.36 中忽略的有源负载即横向 pnp 射随器 Q_{23} 。计算机仿真结果表明在 1.25 MHz 处的单位增益频率有相位的变化。在前面的例子中手工计算电路的这些部分的频率响应是很困难的,且要考虑所有的寄生参数。

图 7.36 中的一部分对非主极点有贡献的电路是可以计算的。pnp 共基放大器 Q_4 ,由 npn 射随器 Q_2 驱动, Q_2 的频带可以认为远远宽于 Q_4 ,因为 npn 晶体管的 f_T 远远大于横向 pnp 晶体管。忽略 Q_2 对频率的影响,假设 Q_4 由 v_i 串联 $1/g_{m2}$ 激励, $1/g_{m2}$ 是当 R_s 很小时从 Q_2 的发射极看进去的电阻。另外, Q_4 的集电极可认为是对交流短路,因为大密勒效应电容导致 Q_4 的集电极的阻抗很小。 Q_4 的小信号等效模型如图 7.38 所示,它从其他电路分离出来。此级产生一个独立的极点,且可由零值时间常数法来估计。注意 r_{b4} 和 $C_{\mu 4}$ 可忽略。

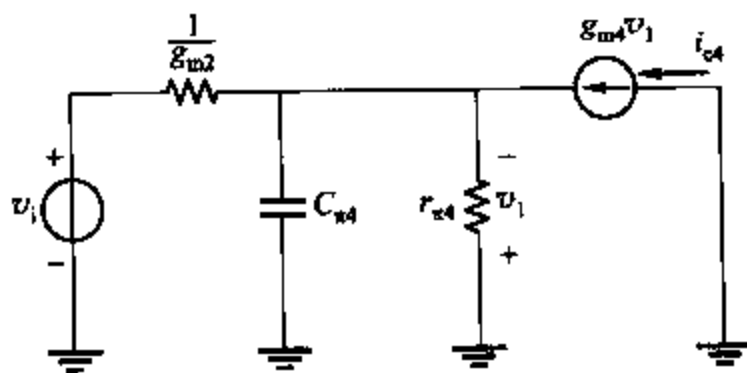


图 7.38 图 7.36 中 Q_4 的小信号等效电路

首先计算图 7.38 所示电路的小信号参数。偏置电路在第六章计算得 $I_{c2} = -I_{c4} = 12 \mu\text{A}$,因此 $g_{m2} = g_{m4} = 0.46 \text{ mS}$,正偏置得 pnp 晶体管的 C_{π} 的典型值为 0.6 pF。假设此横

向 pnp 管的 $\tau_F = 25 \text{ ns}$, 可以用第一章的式(1.104)计算出 Q_4 的基极充电电容为

$$C_{b4} = \tau_{F4} g_{m4} = 20 \times 10^{-9} \times \frac{12 \times 10^{-6}}{26 \times 10^{-3}} \text{ F} = 11.6 \text{ pF}$$

由式(1.118)得

$$C_{\pi4} = C_{b4} + C_{j4} = 12.2 \text{ pF}$$

即使偏置电流很小, 横向 pnp 管的 C_{π} 仍主要由 C_b 决定, 因为它的扩散时间 τ_F 相当大。

Q_4 产生的极点的值可通过计算 $C_{\pi4}$ 看进去的 $R_{\pi04}$ 来计算。它是 $1/g_{m2}$ 和 Q_4 输入电阻的并联, 大约为 $1/g_{m4}$ 。因此

$$R_{\pi04} = \frac{1}{2} \frac{1}{g_{m2}} = 1087 \Omega$$

所以

$$C_{\pi4} R_{\pi04} = 12.2 \times 10^{-12} \times 1087 \text{ s} = 0.0126 \mu\text{s}$$

因此, 极点为

$$\frac{1}{2\pi C_{\pi4} R_{\pi04}} = 1.26 \text{ MHz}$$

如第九章计算机仿真的结果, 741 的零、极点中出现一个 -15 MHz 的负实数极点, 此极点由 Q_4 产生, 因为计算机用更精确的模型所以结果有些偏差。注意值为 12.6 MHz 的极点在 1.25 MHz 时为单位增益提供了 6° 的相移, 且这是很重要的。然而, 由 Q_{16} 、 Q_{17} 和 Q_{23} 产生的非主极点和有源负载也产生很重要的相移。整个电路的精确的相移仅仅可以由计算机仿真得出。但这部分的计算允许设计者从电路中分离提供附加相移的部分并在需要改进电路性能时做些改变。

7.5 频率响应和时间响应的关系

在本章, 考虑信号频率对电路的影响时假设输入是正弦信号。但实际上, 放大器应该可以放大非正弦信号如冲击串或方波信号。这些信号经常用来测试电路的频率响应。下面计算此种信号的频率响应。

首先, 一个近似为单极点小信号传递函数的电路

$$\frac{v_o(s)}{v_i(s)} = \frac{K}{1 - \frac{s}{p_1}} \quad (7.156)$$

其中 K 是低频增益, p_1 是传递函数的极点。如前所述, -3 dB 截止频率是 $\omega_{-3\text{dB}} = -p_1$ 。现在考虑一个输入阶跃电压 v_i , 如果假设电路是线性响应, 可以用式(7.156)来计算电路的响应, 因此

$$v_o(s) = \frac{K v_i}{s} \frac{1}{1 - \frac{s}{p_1}} = K v_i \left(\frac{1}{s} - \frac{1}{1 - p_1} \right)$$

电路的阶跃响应为

$$v_o(t) = Kv_s(1 - e^{p_1 t}) \quad (7.157)$$

在式(7.157)中,输出电压接近 Kv_s 且时间常数为 $-1/p_1$ 。式(7.157)和 v_i 的波形如图 7.39a 所示。输出的上升时间定义为从 10%~90% 的时间。由式(7.157)得

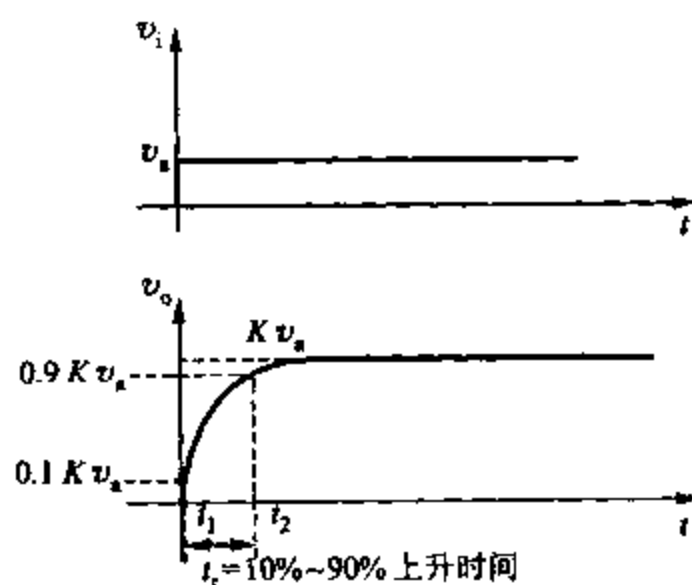
$$0.1Kv_s = Kv_s(1 - e^{p_1 t_1}) \quad (7.158)$$

$$0.9Kv_s = Kv_s(1 - e^{p_1 t_2}) \quad (7.159)$$

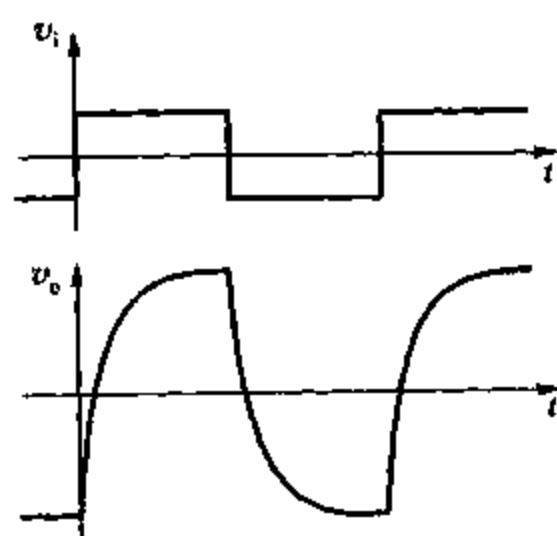
所以可以得到从 10%~90% 的上升时间为

$$t_r = t_2 - t_1 = -\frac{1}{p_1} \ln 9 = \frac{2.2}{\omega_{-3dB}} = \frac{0.35}{f_{-3dB}} \quad (7.160)$$

此等式说明上升时间直接和电路的 -3 dB 截止频率有关。例如, $f_{-3dB} = 10$ MHz, 所以 $t_r = 35$ ns。对于单极点传递函数, 如果输入为方波, 输出波形如图 7.39b 所示下降。而对于单脉冲输入, 方波的沿变圆滑了。



(a)



(b)

图 7.39 (a) 增益为 K 的单极点传递函数的线性电路的阶跃响应;
(b) 增益为 K 的单极点传递函数的线性电路的方波响应

本节计算说明了小信号激励单极点传递函数频率响应和时间响应的关系。对多极点传递函数电路,同样的驱动下冲击响应不同于图 7.39 所示。特别是,假如电路传递函数包含导致高频峰值频率响应的复数极点(参见第九章),脉冲响应将超调³并且出现阻尼正弦振荡,如图 7.40 所示。这种响应在脉冲放大器中通常是不期望的。

最后,必须指出所有以上结果都建立在假设实际信号很小,也就是放大器处于线性工作的条件下。假如实际脉冲大到使电路非线性工作时,脉冲响应可能与以上明显不同。这一点将在第九章中进一步讨论。

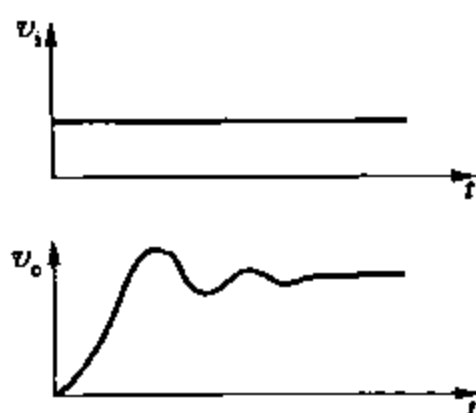


图 7.40 传递函数包含复极点电路的典型脉冲响应

习题

7.1 (a) 使用密勒近似法来计算图 7.2a 所示共射晶体管小信号电压增益的 -3 dB 截止频率, $R_s = 5 \text{ k}\Omega$, $R_L = 3 \text{ k}\Omega$, 其余参数如下:

$$r_b = 300 \text{ }\Omega, I_C = 0.5 \text{ mA}, \beta = 200, f_T = 500 \text{ MHz} (I_C = 0.5 \text{ mA}), C_p = 0.3 \text{ pF}, C_{CS} = 0 \text{ 且 } V_A = \infty.$$

(b) 计算(a)中电路非主极点的大小,并与 SPICE 仿真结果进行比较。

7.2 用图 7.2b 所示的共源 MOS 级重做习题 7.1, $R_s = 10 \text{ k}\Omega$, $R_L = 5 \text{ k}\Omega$, $I_D = 0.5 \text{ mA}$ 以及以下 NMOS 晶体管参数:

$$\text{NMOS: } W = 100 \text{ }\mu\text{m}, L_{\text{drawn}} = 2 \text{ }\mu\text{m}, L_d = 0.2 \text{ }\mu\text{m}, X_d = 0, \lambda = 0, k'_n = 60 \text{ }\mu\text{A/V}^2, \gamma = 0, C_{\text{sb}} = C_{\text{db}} = 0, C_{\text{ox}} = 0.7 \text{ fF/}(\mu\text{m}^2), C_{\text{gt}} = 14 \text{ fF}.$$

7.3 将习题 7.1 电路的输出电阻视为 R_L , 计算输出阻抗表达式并画出等效电路。频率 f 使用对数坐标,从 1 kHz 取到 100 MHz,画出该电阻的值。

7.4 分别取 $R_s = 0$ 和 $R_s = \infty$,重做习题 7.3。

7.5 用习题 7.2 中的 MOS 电路重做习题 7.3。

7.6 如图 7.5 所示,双极型差分放大器 $I_{EE} = 1 \text{ mA}$,电阻大小和晶体管参数如习题 7.1。如果尾电流源有联合电阻 $R_T = 300 \text{ k}\Omega$,电容 $C_T = 2 \text{ pF}$ (如图 7.11a 中所定义),计算共模(CM)和差模(DM)增益以及共模抑制比(CMRR)的幅频特性。画出上述数值曲线,频率使用对数坐标,从 10 kHz 取到 20 MHz。比较答案和 SPICE 仿真的结果。

7.7 图 7.9 所示为一 MOS 差分放大器。对这个电路进行如习题 7.6 的计算。如图 7.11b 所示,取 $I_{SS} = 1 \text{ mA}$, $R_T = 300 \text{ k}\Omega$, $C_T = 2 \text{ pF}$,晶体管数据如习题 7.2。

7.8 一个横向 pnp 射极跟随器 $R_s = 250 \text{ }\Omega$, $r_b = 200 \text{ }\Omega$, $\beta = 50$, $I_C = -300 \text{ }\mu\text{A}$, $f_T = 4 \text{ MHz}$, $R_E = 4 \text{ k}\Omega$, $C_p = 0$, $r_n = \infty$ 。计算小信号电压增益的幅频特性。频率使用对数坐标,从 10 kHz 取到 20 MHz,画出电压增益幅度的曲线。

7.9 计算习题 7.8 的射极跟随器输入输出阻抗小信号等效电路的参数值。画出这些阻抗幅值对频率的响应。频率 f 用对数坐标,从 10 kHz 取到 20 MHz。用 SPICE 来计算该电路对 1 k Ω 电阻负载及 400 pF 电容负载的阶跃响应。使用幅值为 1 mV,上升延时时为 0 的脉冲输入。分析时域响应波形。(电容负载测试时,300 μA 理想电流源连接在发射极来建立偏置回路)

7.10 对于图 7.13b 中的射随器,找出其低频增益并画出其电压的幅度和相位相对频率的曲线,频率 f 用对数坐标,从 10 kHz 取到 20 GHz。与 SPICE 仿真结果比较。晶体管数据如习题 7.2,先加一个 1 k Ω 的阻抗负载,然后加 400 pF 的电容负载。在这两种情况下,都取 $I_D = 0.5 \text{ mA}$ 。输入脉冲幅度为 1 mV,上

升沿时间为 0。分析时域响应波形。(电容负载测试时, 0.5 mA 理想电流源接在源极来建立偏置回路。)

7.11 (a) 写出 MOS 源极跟随器输出阻抗模型中 R_1 , R_2 和 L 的表达式。设 $R_S \gg 1/g_m$, $\gamma \neq 0$ 且 $v_{gs} = v_{gs0}$ 。

(b) 画出输出阻抗对频率的幅频响应, 频率 f 用对数坐标, 从 10 kHz 取到 10 GHz, $R_S = 1 \text{ M}\Omega$, $g_m = 0.3 \text{ mA/V}$ 且 $\gamma = 0$ 。

7.12 共基放大级参数如下:

$I_C = 0.5 \text{ mA}$, $C_\pi = 10 \text{ pF}$, $C_\mu = 0.3 \text{ pF}$, $r_b = 200 \Omega$, $\beta = 100$, $r_o = \infty$, $R_L = 0$ 且 $R_S = \infty$ 。

(a) 计算其小信号电流对频率增益的表达式, 并由此得到电流增益低频值 3 dB 对应的频率。

(b) 计算其输入输出电阻小信号等效电路参数的值, 画出其对频率的响应曲线。频率使用对数坐标, f 从 100 kHz 取到 100 MHz。

7.13 对一个 NMOS 共栅级, 重做习题 7.12。取 $R_L = 0$, $R_S = \infty$, $I_D = 0.5 \text{ mA}$, MOS 晶体管参数如习题 7.2。频率 f 从 100 kHz 取到 100 GHz, 画出阻抗幅值的曲线。

7.14 图 7.2 所示为共射放大级交流原理图。计算低频小信号增益 v_o/v_i 并用零值时间常数法估算 -3 dB 截止频率。参数如下:

$R_S = 10 \text{ k}\Omega$, $R_L = 5 \text{ k}\Omega$, $\beta = 200$, $f_T = 600 \text{ MHz}$ ($I_C = 1 \text{ mA}$), $C_\mu = 0.2 \text{ pF}$, $C_{je} = 2 \text{ pF}$, $C_{je} = 1 \text{ pF}$, $r_b = 0$, $r_o = \infty$ 且 $I_C = 1 \text{ mA}$ 。

7.15 如果射极负反馈电阻为 300 Ω , 重做习题 7.14。

7.16 在晶体管集电极和基极之间添加一个 30 k Ω 的电阻, 重新计算习题 7.14。

7.17 对图 7.2b 的共源放大级重复习题 7.14 的计算。取 $V_{DD} = 7.5 \text{ V}$, $I_D = 0.5 \text{ mA}$, 除了以下数据以外, 电阻和晶体管都与习题 7.2 取相同数值:

1. C_{gs} 和 C_{gd} 没有给出, $f_1 = 3 \text{ GHz}$ 。

2. C_{db} 不等于 0。计算漏-衬底电容, $C_{db} = A_D(C_{j0}) + P_D(C_{jsw0})$, 其中, $A_D = (5 \mu\text{m})W$ 且 $P_D = W$ 。取 $C_{j0} = 0.4 \text{ fF}/(\mu\text{m}^2)$ 且 $C_{jsw0} = 0.4 \text{ fF}/\mu\text{m}$ 。然后使用式(1.202)且取 $\psi_0 = 0.6 \text{ V}$ 来计算 C_{db} 。

7.18 用 NMOS 晶体管代替双极型晶体管重新计算习题 7.14。取 $I_D = 0.5 \text{ mA}$, MOS 晶体管数据如习题 7.2。

7.19 考虑一个 900 Ω 的源极负反馈电阻, 重新计算习题 7.18。

7.20 在漏极之间添加一个 50 k Ω 电阻, 重新计算习题 7.18。

7.21 图 7.41 所示为一个达林顿管和一个共集共射串联级。 $R_S = 100 \text{ k}\Omega$, $R_L = 3 \text{ k}\Omega$ 。

(a) 计算两个电路的低频小信号电压增益 v_o/v_i 。

(b) 用零值时间常数法计算两个电路 -3 dB 衰减频率。

数据如下:

$\beta = 100$, $f_T = 500 \text{ MHz}$ ($I_C = 1 \text{ mA}$), $C_\mu = 0.4 \text{ pF}$, $C_{je} = 2 \text{ pF}$, $C_{je} = 1 \text{ pF}$, $r_b = 0$, $r_o = \infty$, $I_{C1} = 10 \mu\text{A}$ 且 $I_{C2} = 1 \text{ mA}$ 。(C_π , C_μ 和 C_{je} 的值在偏置点。)

7.22 在 Q_1 的发射极和地之间添加一个泄漏电阻, Q_1 集电极偏置电流变为 50 μA , 重新计算习题 7.21。

7.23 在 Q_1 基极加入一个大小为 i_i 的电流源作为输入信号, 重新计算习题 7.21。(即 i_i 代替电压源 v_i 和电阻 R_S)。传递函数就变成传递电阻 v_o/i_i 。

7.24 用 NMOS 晶体管代替图 7.41 中的双极型晶体管。重新计算习题 7.21, 取 $R_S = 100 \text{ k}\Omega$, $R_L = 3 \text{ k}\Omega$, NMOS 晶体管的参数如习题 7.2, 但 $C_{db} = 200 \text{ fF}$ 且 $C_{sb} = 180 \text{ fF}$ 。取 $I_{D1} = 50 \mu\text{A}$ 且 $I_{D2} = 1 \text{ mA}$ 。

7.25 图 7.42 所示的是一个放大级, 其偏置电流调至 $V_O = 0 \text{ Vdc}$ 。电源 $V_{\text{SUPPLY}} = 10 \text{ V}$ 。

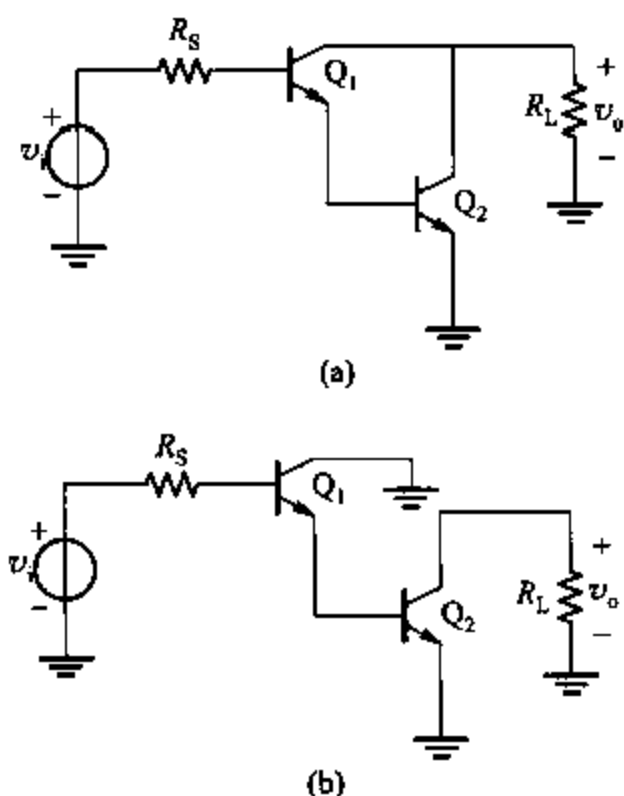


图 7.41 (a) 达林顿放大级交流原理图; (b) 共集 - 共射放大级交流原理图

(a) 计算其低频小信号传递电阻 v_o/i_i , 并用零值时间常数法估算 3 dB 衰减频率。

数据: npn: $\beta = 100$, $f_T = 4 \text{ MHz}$ ($I_C = 1 \text{ mA}$), $C_{\mu 0} = 0.7 \text{ pF}$, $C_{\pi} = 3 \text{ pF}$ (处于偏置点), $C_{L0} = 2 \text{ pF}$, $r_b = 0$ 以及 $V_A = 120 \text{ V}$ 。对于所有的结点, 假设 $n = 0.5$, $\psi_0 = 0.55 \text{ V}$ 。

pnp: $\beta = 50$, $f_T = 4 \text{ MHz}$ ($I_C = -0.5 \text{ mA}$), $C_{\mu 0} = 1.0 \text{ pF}$, $C_{\pi} = 3 \text{ pF}$ (处于偏置点), $C_{L0} = 2 \text{ pF}$, $r_b = 0$ 且 $|V_A| = 50 \text{ V}$ 。对所有的结点, 假设 $n = 0.5$, $\psi_0 = 0.55 \text{ V}$ 。

(b) 在 Q_1 的集电极和基极之间添加一个 20 pF 的电容, 重复(a)的计算。

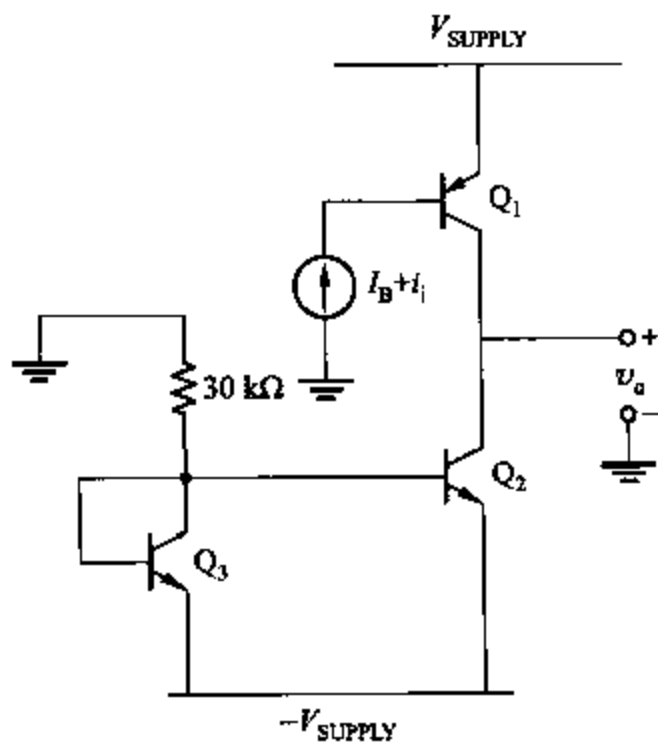


图 7.42 放大级

7.26 更改以下参数,重新计算习题 7.25。

① 用 p 沟道 MOS 晶体管 M_1 代替 Q_1 。用 n 沟道 MOS 晶体管 M_2 和 M_3 代替 Q_2 和 Q_3 。

② 在 M_1 栅极和源极之间加一个大小为 $1/g_{m1}$ 的电阻。

③ 电压源 $V_{\text{SUPPLY}} = 2.5 \text{ V}$ 。

④ 应用在习题 7.17 中给出的 C_{db} 计算方程。

⑤ 对于所有的晶体管: $L_{\text{drwn}} = 2 \mu\text{m}$, $L_d = 0.2 \mu\text{m}$, $X_d = 1 \mu\text{m}$ 且 $\gamma = 0$, $W_1 = 200 \mu\text{m}$, $W_2 = W_3 = 100 \mu\text{m}$ 。对结电容使用式(1.201)和式(1.202)且 $\phi_0 = 0.6 \text{ V}$ 。使用习题 7.17 中的等式得到 C_{db} 。

NMOS 数据: $v_{\text{in}} = 1 \text{ V}$, $k'_n = 60 \mu\text{A/V}^2$, $\lambda_n = 1/(100 \text{ V})$, $C_{\text{ox}} = 0.7 \text{ fF}/(\mu\text{m}^2)$, $C_{\text{jo}} = 0.4 \text{ fF}/(\mu\text{m}^2)$ 且 $C_{\text{jsw0}} = 0.4 \text{ fF}/\mu\text{m}$ 。

PMOS 数据: $v_{\text{tp}} = -1 \text{ V}$, $k'_p = 20 \mu\text{A/V}^2$, $|\lambda_p| = 1/(50 \text{ V})$, $C_{\text{ox}} = 0.7 \text{ fF}/(\mu\text{m}^2)$, $C_{\text{jo}} = 0.2 \text{ fF}/(\mu\text{m}^2)$ 且 $C_{\text{jsw0}} = 0.2 \text{ fF}/(\mu\text{m})$ 。

7.27 图 7.43 所示为有源负载的差分电路。调偏置电压使得 Q_1 和 Q_2 的集电极为 $+5 \text{ V}$, 偏置电阻为 $R_{B1} = 10 \text{ k}\Omega$, $R_{B2} = 20 \text{ k}\Omega$ 。计算低频小信号电压增益 v_o/v_i , 并在差模半边回路中使用零值时间常数法来估算差模增益的 -3 dB 衰减频率。器件数据如习题 7.25。

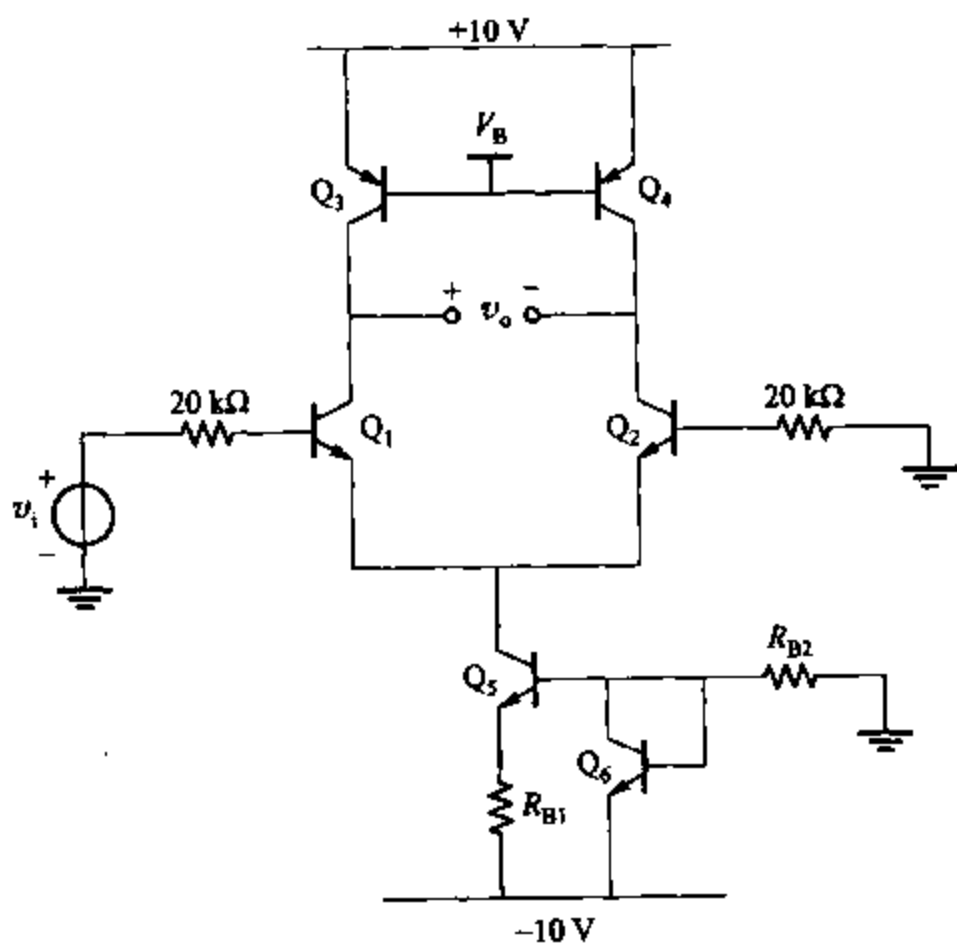


图 7.43 有源负载差分电路

7.28 用 MOS 晶体管代替双极型晶体管,重新计算习题 7.27。假定 R_{B1} 和 R_{B2} 的值使电流 $I_{D5} = 1 \text{ mA}$ 。 $W_1 = W_2 = W_5 = W_6 = 100 \mu\text{m}$, $W_3 = W_4 = 50 \mu\text{m}$ 且 $L_{\text{drwn}} = 2 \mu\text{m}$ 。其余 MOS 晶体管参数见习题 7.26。

7.29 图 7.44 所示为共源级和共源-共栅级的交流原理图, $R_s = 10 \text{ k}\Omega$, $R_L = 20 \text{ k}\Omega$ 。晶体管参数和工作点如习题 7.2:

(a) 计算各个电路的低频小信号电压增益 v_o/v_i 。

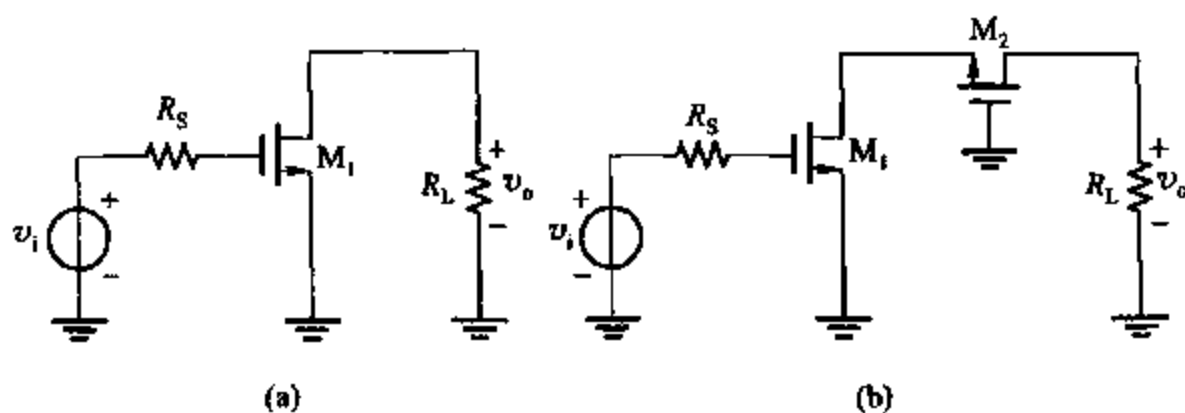


图 7.44 (a) 共源放大级交流原理图; (b) 级联放大级交流原理图

(b) 使用零值时间常数法计算并比较两个电路的 -3dB 截止频率。

(c) 当输入为小阶跃信号时, 估算两个电路 $10\% \sim 90\%$ 的上升时间, 并画出输入为 1 mV 阶跃信号时从 0 ns 到 300 ns 的输出电压波形。

7.30 用 npn 晶体管代替图 7.44 中的 NMOS 晶体管。其交流原理图包括一个共射放大器和一个共射-共基放大器。 $R_S = 5\text{ k}\Omega$, $R_L = 3\text{ k}\Omega$, 其余数据如下, 重新计算习题 7.29。

数据: $I_C = 1\text{ mA}$, $\beta = 100$, $C_{\pi} = 1\text{ pF}$, $C_{\mu} = 0.4\text{ pF}$, $f_T = 5\text{ MHz}$ ($I_C = 1\text{ mA}$) 且 $r_o = \infty$ 。

7.31 图 7.45 所示为一放大器。

(a) 计算低频小信号电压增益 v_o/v_i 。

(b) 应用零值时间常数法计算差模半边电路的 -3dB 截止增益。

数据: $C_{\pi} = 2\text{ pF}$, $C_{\mu} = 0.5\text{ pF}$, $C_{jc} = 4\text{ pF}$ (处于偏置点), $f_T = 500\text{ MHz}$ ($I_C = 2\text{ mA}$), $\beta = 200$, $r_b = 0$ 且 $r_o = \infty$ 。假设对于所有的结点 $n = 0.5$ 且 $\psi_0 = 0.55\text{ V}$ 。

(c) 使用 SPICE 来分析放大器的小信号增益、带宽以及 100 M 时传递函数的幅度和相位。

(d) $r_b = 200\text{ }\Omega$, 重复(c)分析基极电阻的影响, 比较结果。

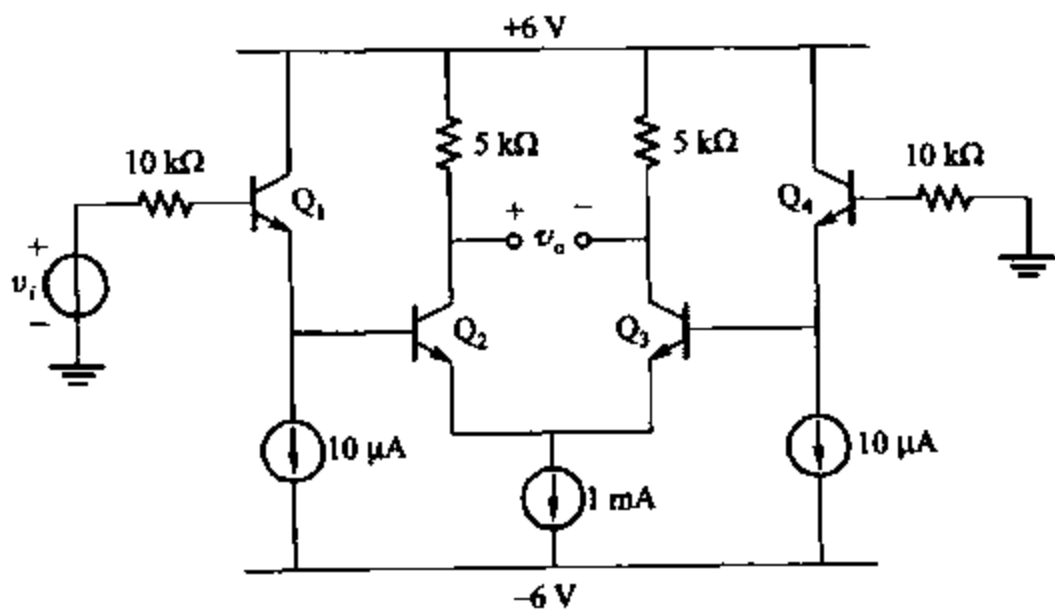


图 7.45 放大级

7.32 用 n 沟道 MOS 晶体管代替所有的双极型晶体管重新计算习题 7.31。假设 $W = 100\text{ }\mu\text{m}$, $L_{\text{drawn}} = 2\text{ }\mu\text{m}$, $L_d = 0.2\text{ }\mu\text{m}$, $X_d = 0$, $\lambda = 0$, $k'_n = 60\text{ }\mu\text{A/V}^2$, $\gamma = 0$, $V_t = 1\text{ V}$, $C_{ox} = 0.7\text{ fF}/\mu\text{m}^2$, $C_d = 0.15\text{ fF}/\mu\text{m}^2$, $C_{j0} = 0.4\text{ fF}/\mu\text{m}^2$ 且 $C_{j\text{sw}} = 0.4\text{ fF}/\mu\text{m}^2$ 。对结点使用式(1.201)取 $\psi_0 = 0.6\text{ V}$ 。应用习题 7.17 的方法计算

$C_{db0} = C_{db}$, 跳过习题 7.31 中的 (d) 步骤。

7.33 图 7.46 所示为宽带 MOS 电流放大器的交流原理图。 M_2 的宽长比 W/L 是 M_1 的四倍, 因此, 偏置电流 $I_{D1} = 1 \text{ mA}$, $I_{D2} = 4 \text{ mA}$ 。计算低频小信号电流增益 i_o/i_i 并用零值时间常数法来估算 -3 dB 截止频率。计算输入为阶跃信号的输出 $10\% \sim 90\%$ 的上升时间。工作点数据如下:

M_1 : $C_{gs} = 0.05 \text{ pF}$, $C_{gs} = 0.2 \text{ pF}$, $C_{db} = C_{db} = 0.09 \text{ pF}$, $v_{ov} = 0.3 \text{ V}$

且 $r_o = \infty$ 。

M_2 : $C_{gs} = 0.2 \text{ pF}$, $C_{gs} = 0.8 \text{ pF}$, $C_{db} = C_{db} = 0.36 \text{ pF}$, $v_{ov} = 0.3 \text{ V}$ 且

$r_o = \infty$ 。

7.34 用 npn 双极型晶体管代替图 7.46 中的 MOS 晶体管。 Q_2 的发射极面积是 Q_1 的四倍, 因此 $I_{C1} = 1 \text{ mA}$, $I_{C2} = 4 \text{ mA}$, 使用以下数据重新计算习题 7.33。

工作点数据:

Q_1 : $\beta = 200$, $\tau_F = 0.2 \text{ ns}$, $C_\mu = 0.2 \text{ pF}$, $C_{je} = 1 \text{ pF}$, $C_{cs} = 1 \text{ pF}$, $r_b = 0$

且 $r_o = \infty$ 。

Q_2 : $\beta = 200$, $\tau_F = 0.2 \text{ ns}$, $C_\mu = 0.8 \text{ pF}$, $C_{je} = 4 \text{ pF}$, $C_{cs} = 4 \text{ pF}$, $r_b = 0$

且 $r_o = \infty$ 。

7.35 图 7.47 所示为二级放大器放大级。计算低频小信号增益并用零值时间常数法来估算 -3 dB 截止频率。计算对输入阶跃信号输出信号的 $10\% \sim 90\%$ 的上升时间。用 SPICE 来确定 -3 dB 截止频率和传递函数中相移超过低频增益值 -135° 的频率。

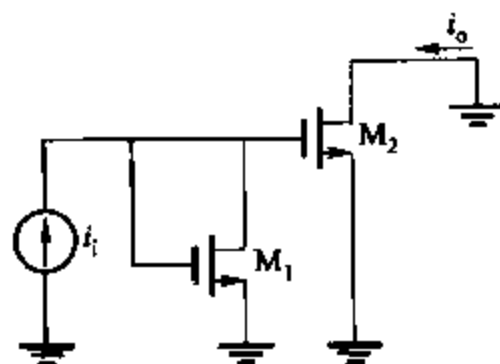


图 7.46 MOS 电流放大器的交流原理图

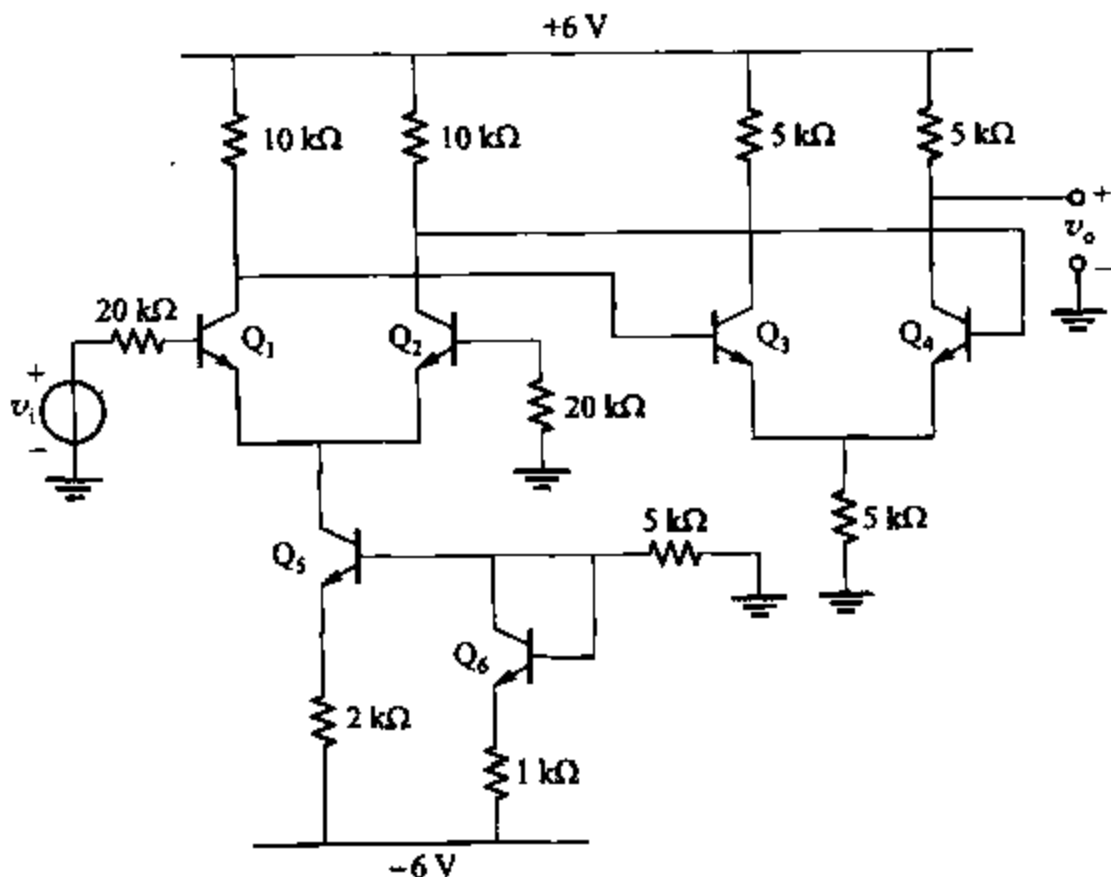


图 7.47 二级放大器

参数: $\beta = 200$, $f_T = 600 \text{ MHz}$ ($I_C = 1 \text{ mA}$), $C_\mu = 0.2 \text{ pF}$, $C_{je} = 2 \text{ pF}$, $C_{cs} = 1 \text{ pF}$, $r_b = 0$, $V_{BE(on)} = 0.6 \text{ V}$

且 $r_o = \infty$ (C_μ , C_{cs} 和 C_{je} 处于偏置点。)

7.36 图 7.48 所示为二级双极型晶体管放大器。计算低频小信号电压增益 v_o/v_i ，用零值时间常数法估算 -3 dB 频率。差分对用差模半边电路。用 SPICE 估算电路的第一和第二主极点。

数据：npn: $\beta = 200$, $f_T = 400\text{ MHz}$ ($I_C = 1\text{ mA}$), $C_\mu = 0.3\text{ pF}$, $C_{je} = 3\text{ pF}$, $C_{js} = 1.5\text{ pF}$, $r_b = 0$, $V_{BE(on)} = 0.6\text{ V}$ 且 $r_o = \infty$ 。

pnp: $\beta = 100$, $f_T = 6\text{ MHz}$ ($I_C = -0.5\text{ mA}$), $C_\mu = 0.3\text{ pF}$, $C_{je} = 3\text{ pF}$, $C_{js} = 1.5\text{ pF}$, $r_b = 0$, $V_{BE(on)} = -0.6\text{ V}$ 且 $r_o = \infty$ 。 (C_μ, C_{js}, C_{je} 和 C_{je} 都处于偏置点。)

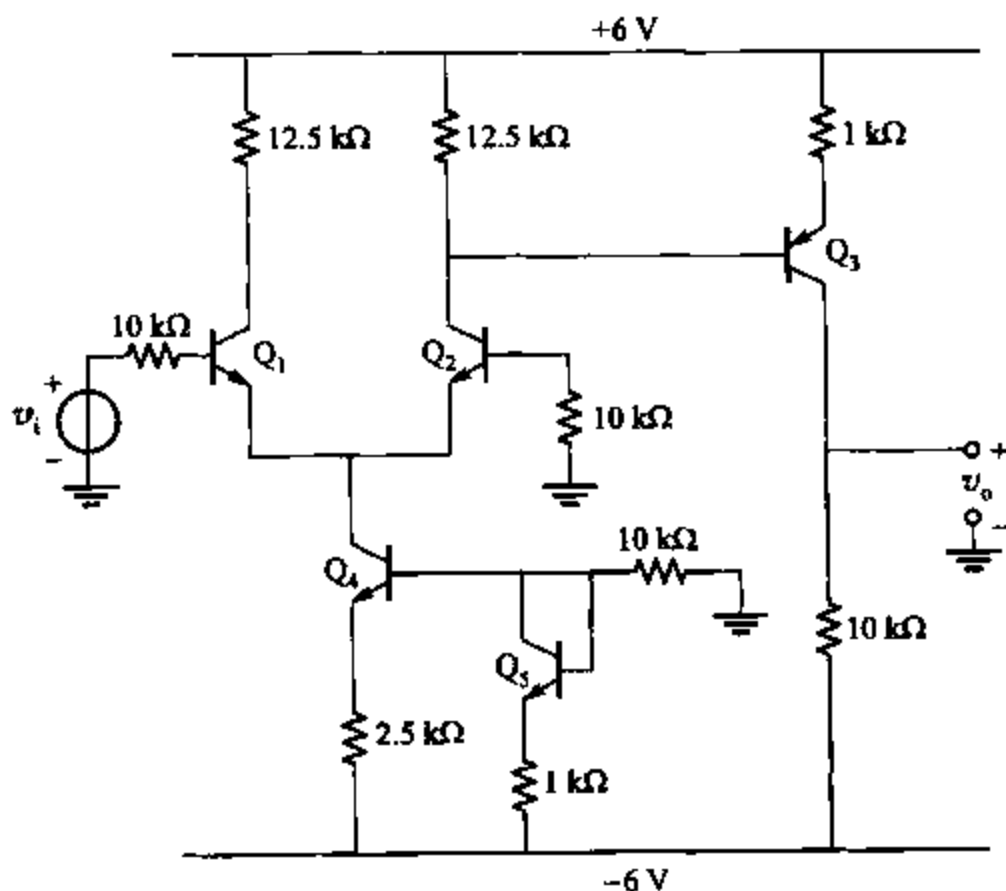


图 7.48 pnp 作次级的两级放大器

7.37 (a) 图 7.49 所示为一宽带 MOS 放大器。计算低频小信号电压增益 v_o/v_i ，用零值时间常数法估算 -3 dB 带宽。 $\mu_n C_{ox} = 60\text{ }\mu\text{A/V}^2$, $t_{ox} = 20\text{ nm}$, $C_{dl} = 0.3\text{ fF}/(\mu\text{m 栅宽})$, $\phi_s = 0.6\text{ V}$, $V_t = 0.7\text{ V}$, $\gamma = 0.4\text{ V}^{1/2}$, $\lambda = 0$ 且 $V_{DD} = 2.5\text{ V}$ (直流)。对于 C_{db} 和 C_{sb} , $C_{db0} = C_{sb0} = 0.8\text{ fF}/(\mu\text{m 栅宽})$ 。假设衬底接地。比较计算结果和 SPICE 仿真结果，并用 SPICE 来估算第二主极点。当输入直流电压从 0 V 变化到 5 V 时，用 SPICE 画出小信号带宽。

(b) 考虑短沟道效应, $E_c = 1.5 \times 10^6\text{ V/m}$, 计算小信号增益和 -3 dB 带宽。假设电流偏置与 (a) 相同, 典型 MOSFET 短沟道效应且有一电阻与电源串联, 器件电容与添加的电源电阻低压端相连。

7.38 图 7.50 所示为一 CMOS 放大器放大级。选择 M_1 和 M_2 的 W/L 使所有器件的 $V_i = V_{DD} = 2.5\text{ V}$, $|I_D| = 100\text{ }\mu\text{A}$ 。 L 和 M 的最小值是 $2\text{ }\mu\text{m}$ 。计算放大级的低频小信号增益 -3 dB 频率。用 SPICE 来验证。使用习题 7.37(a) 的器件数据, $|\lambda| = 0.03\text{ V}^{-1}$, $\mu_p C_{ox} = 30\text{ }\mu\text{A/V}^2$, $V_{tp} = -0.7\text{ V}$ 。

7.39 对于图 3.78 所示的 BiCMOS 回路, 用零值时间常数法估算电路的第一和第二主极点。使用图 2.32 所示的晶体管数据, MOSFET 参数 $C_{gs} = 90\text{ fF}$, $C_{ds} = C_{db} = 200\text{ pF}$, $C_{gs} = 200\text{ fF}$ 处于偏置点, 假设 $\mu_n C_{ox} = 40\text{ }\mu\text{A/V}^2$, $V_t = 0.8\text{ V}$, $\lambda = 0$, $\gamma = 0$ 。用 SPICE 来验证计算结果。

7.40 用零值时间常数法估算图 4.9 的串接 MOS 镜像电流源的电流增益小信号主极点。设输入交

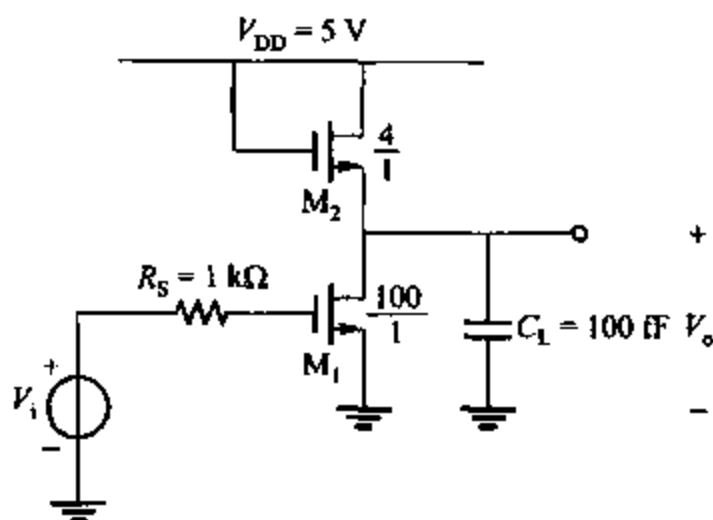


图 7.49 宽带 MOS 放大级

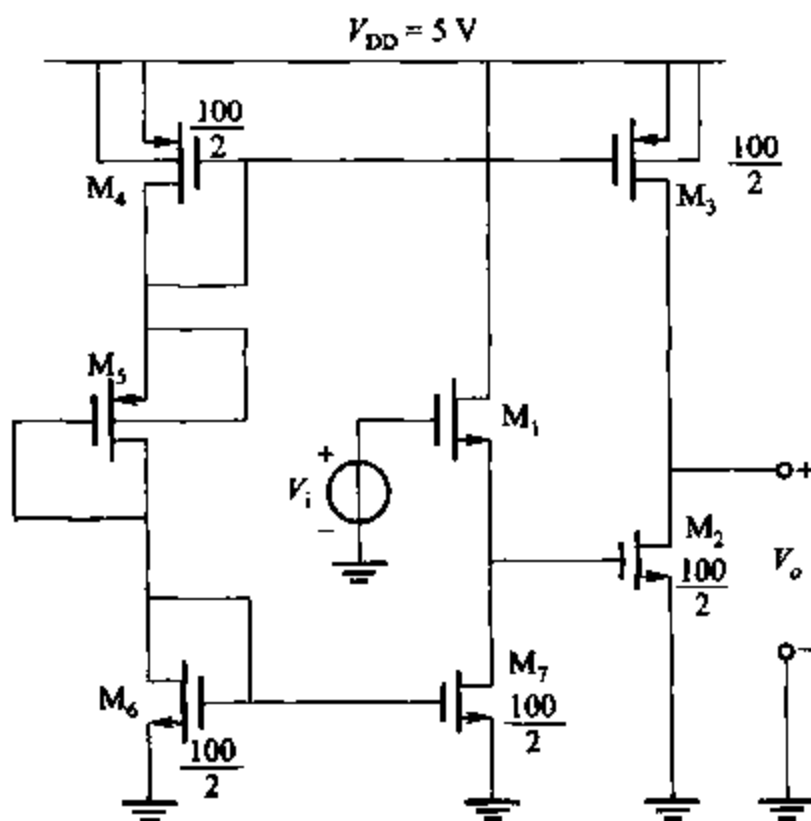


图 7.50 CMOS 放大级

流电流源与 I_{IN} 并联, 零负载阻抗使 $V_{out} = V_{GS3} + V_{GS4}$ 。偏置电流 $I_{IN} = 100 \mu A$, 比较答案和器件转折频率 f_T 。器件参数是: $\mu_n C_{ox} = 60 \mu A/V^2$, $\gamma = 0$, $\lambda = 0$, $V_t = 0.7 V$, $W = 10 \mu m$, $L_{eff} = 1 \mu m$, $C_{gs} = 20 fF$, $C_{gd} = 3 fF$, $C_{sb} = C_{db} = 10 fF$ 处于偏置点, 比较答案和 SPICE 仿真的电路带宽, 用 SPICE 分析对于 $I_{IN} = 50 \mu A$ 以及 $I_{IN} = 200 \mu A$ 的带宽。

7.41 考虑短沟道效应, $E_c = 1.5 \times 10^6 V/m$ 。重新计算习题 7.40。

7.42 用短路时间常数法估算图 6.28 所示折叠式串接电路的 M_1 和 M_2 的漏极结点的非主极点。假设 M_{1A} , M_{2A} , M_3 , M_{11} 和 M_{12} 的栅极由低阻抗点和加在 v_i 的电压驱动产生偏置。除了 M_{11} 和 M_{12} , 其余器件参数都由习题 7.40 给出, M_{11} 和 M_{12} 宽度是其余管子两倍。 M_3 , M_{11} 和 M_{12} 的偏置电流 $|I_D| = 200 \mu A$, 其余偏置电流都为 $100 \mu A$, 假设 M_1 和 M_2 的 V_{GS} 为 $0 V$ 。 $C_L = 1 pF$, $\mu_p C_{ox} = 30 \mu A/V^2$ 。在放大器单位增益

频率点非主极点使放大器传递函数产生的相位偏移量为多少? 用 SPICE 仿真验证计算结果。

7.43 图 7.44b 所示的为一 MOS 管串接放大器。用负载电容 $C_L = 2 \text{ pF}$ 代替负载电阻, 假设接在 M_1 漏极的总电容可以用漏极到交流地之间的电容 $C_p = 0.2 \text{ pF}$ 来描述, 并忽略其他电容。因此, 此电路只有两个极点。对于两个 MOS 管, $I_D = 100 \text{ } \mu\text{A}$, $W = 20 \text{ } \mu\text{m}$, $L_{eff} = 0.5 \text{ } \mu\text{m}$, $k' = 180 \text{ } \mu\text{A/V}^2$ 且 $\lambda = 0.04 \text{ V}^{-1}$ 。

- (a) 用零值时间常数法估算主极点。
- (b) 用短路时间常数法估算非主极点。
- (c) 比较答案和 SPICE 仿真的结果。

7.44 (a) 对习题 7.1 中的共射放大器, 用零值时间常数法来估算主极点, 用短路时间常数法来估算非主极点。

- (b) 比较答案和 SPICE 仿真的结果。

7.45 (a) 对题 7.2 中的共源放大器, 用零值时间常数法来估算主极点, 用短路时间常数法来估算非主极点。

- (b) 比较答案和 SPICE 仿真的结果。

7.46 (a) 图 7.51 所示的为一积分器。用零值时间常数法来估算主极点, 用短路时间常数法来估算非主极点。 $R = 20 \text{ k}\Omega$, $C = 50 \text{ pF}$, $C_{in} = 0.2 \text{ pF}$, $a_v = 1000$ 且 $R_o = 5 \text{ k}\Omega$ 。

- (b) 比较答案和 SPICE 仿真的结果。

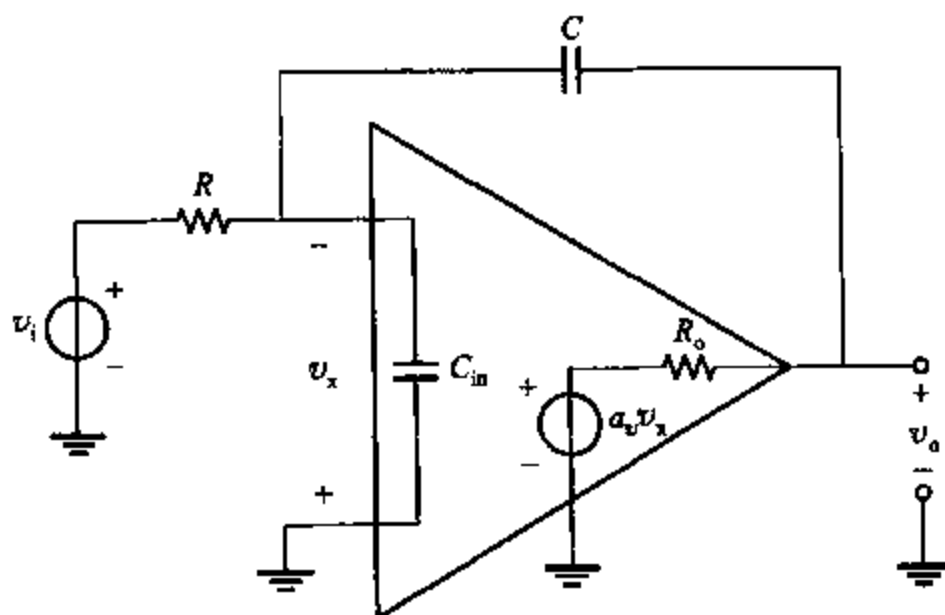


图 7.51 积分放大级

7.47 在图 7.51 的积分器的输出和地之间添加一个 0.5 pF 的电容负载。当加上这个电容后, 电路就有了三个电容的环路。直接使用短路时间常数法对每个短路时间常数都得 0。(验证这一点。)

现在问题在于对于这三个电容计算了三个短路时间常数, 这三个短路时间常数对应之和就等于三个极点之和, 如式(7.146)所示。但是这个电路只有两个极点, 因为只有两个电容是独立的。

另一种估算非主极点的方法是计算零值时间常数并判断其中一个零值时间常数是否远远大于其余时间常数。假如是这样, 最大零值时间常数的对应电容被短路, 对于剩余并联的电容, 一个时间常数就是短路时间常数。完成以上所有步骤, 用 SPICE 来验证估算的非主极点。

7.48 写出图 7.33 中电路 $G_m(s) = i_o(s)/v_d(s)$ 的表达式, 验证 7.3.5 节给出的零、极点方程。

7.49 如果 $I_{D3} = -100 \mu\text{A}$, $|V_{ov3}| = 0.2 \text{ V}$ 且 $C_x = 0.1 \text{ pF}$, 计算图 7.33 中的镜像电流源负载的零、极点。

参考文献

1. P. E. Gray and C. L. Searle. *Electronic Principles: Physics, Models, and Circuits*. Wiley, New York, 1969.
2. A. S. Sedra and K. C. Smith. *Microelectronic Circuits*. Oxford University Press, New York, 1998.
3. K. Ogata. *Modern Control Engineering*. Second Edition, Prentice-Hall, Englewood Cliffs, N. J., 1990.
4. R. D. Thorton, et al. *Multistage Transistor Circuits*. Wiley, New York, 1965.

第八章 反 馈

由于负反馈的几个重要优点,它被广泛应用于放大器设计中。其中最重要的是,对于电源电压变化,温度改变及器件老化所引起的有源器件参数变化,负反馈能稳定放大器的增益。第二个优点是负反馈允许设计者用任何所需要的方式来修改输入输出阻抗。负反馈另一个重要优点是减小了它生成信号波形的失真,因此几乎所有的高质量音频放大器都在功率放大器输出级使用负反馈。最后,负反馈还能增加电路带宽并被广泛应用于宽带放大器中。

但是,以上列出的负反馈的优点伴随着两个缺点。第一,电路的增益的损耗几乎与其获得的优点成正比。因此,常常需要添加额外的放大级来补偿增益损耗,这样就增加了硬件成本。第二,使用负反馈可能出现的问题是,电路中可能会出现振荡的趋势,因此,常常要求设计者来解决这个问题。

在这一章中,分析负反馈的几个优点以及其结构的系统分类。列出两种不同的分析反馈电路的方法。反馈诱发振荡的问题及其解决方法在第九章讨论。

8.1 理想反馈方程

分析图 8.1 的理想反馈结构。图中 S_i 和 S_o 是输入和输出信号,可能是电压或电流。反馈网络(通常是线性无源的)有传递函数 f ,并反馈一个信号 S_{fb} 到输入。在输入端,信号 S_{fb} 在输入差分结点被从输入信号 S_i 中分离出来。误差信号 S_e 是 S_i 和 S_{fb} 的差分, S_e 是传递函数为 a 的基本放大器的输入。注意另一个通常的约定是假设 S_i 和 S_{fb} 一起加在一个输入求和结点上,这就在分析中引出某些符号的改变。应该指出负反馈放大器实际有一个输入差分结点,因此该约定使得放大器分析更加便捷。

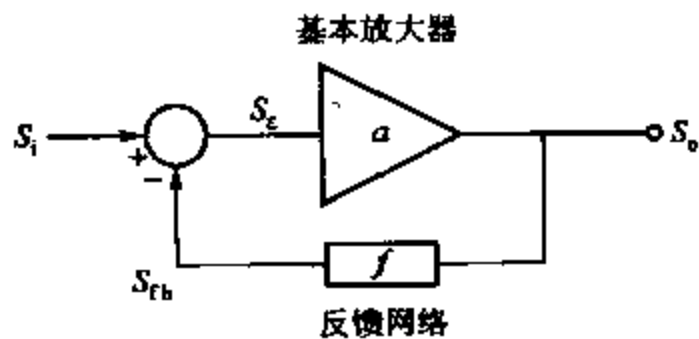


图 8.1 理想反馈网络

由图 8.1 可得

$$S_o = aS_e \quad (8.1)$$

假设反馈网络负载不是基本放大器。同时

$$S_{fb} = fS_o \quad (8.2)$$

$$S_e = S_i - S_{fb} \quad (8.3)$$

将式(8.2)代入式(8.3)得

$$S_e = S_i - fS_o \quad (8.4)$$

将式(8.4)代入式(8.1)得

$$S_o = aS_i - afS_o$$

因此

$$\frac{S_o}{S_i} = A = \frac{a}{1+af} \quad (8.5)$$

式(8.5)是负反馈电路的基本方程, A 是发生反馈的总体增益(A 通常被称为闭环增益)。定义量 T 为环路增益, 其中

$$T = af \quad (8.6)$$

以及

$$\frac{S_o}{S_i} = A = \frac{a}{1+T} \quad (8.7)$$

T 是反馈回路的总体增益。假如 $T \gg 1$, 那么由式(8.5)可知, 增益 A 为

$$A \approx \frac{1}{f} \quad (8.8)$$

即对于环路增益 T 较大的情况, 放大器总增益由传递函数 f 决定。由于反馈网络通常形成于稳态, f 的值被明确定义, 放大器的总体增益即可求得。

改变 S_o 使之趋于 S_i , 反馈环路开始工作。这是通过放大差值 $S_e = S_i - S_o$ 来完成的, 此时反馈环路有效地减小了出错信号 S_e 。将式(8.4)代入式(8.5)可知

$$S_e = S_i - f \frac{aS_i}{1+af}$$

则有

$$\frac{S_e}{S_i} = \frac{1}{1+af} = \frac{1}{1+T} \quad (8.9)$$

由于 T 远远大于 1, S_e 就远远小于 S_i 。此外, 将式(8.5)代入式(8.2)中, 得

$$S_o = fS_i \frac{a}{1+af}$$

因此

$$\frac{S_o}{S_i} = \frac{T}{1+T} \quad (8.10)$$

假如 $T \gg 1$, 那么 S_o 约等于 S_i 。即反馈信号 S_o 与输入信号相同。由于 S_o 和 S_e 由式(8.2)直接联系, 因此假如 $|f| < 1$, 那么 S_e 就是 S_i 的放大复制。这就是反馈放大器的目的。

8.2 增益灵敏度

在大多数实际情况下, 基本放大器的增益 a 没有明确的定义。它取决于温度、有源器件工作情况和晶体管参数。正如前面所提到的, 由于 a 中有变量, 负反馈环路减小了总放大增益的变化量。这个结论可以用微分式(8.5)来检验:

$$\frac{dA}{da} = \frac{(1+af) - af}{(1+af)^2}$$

因此

$$\frac{dA}{da} = \frac{1}{(1+af)^2} \quad (8.11)$$

假如 δa 引起 a 的变化, 那么 δA 使 A 变化:

$$\delta A = \frac{\delta a}{(1+af)^2}$$

A 中的分式变化为

$$\frac{\delta A}{A} = \frac{1+af}{a} \frac{\delta a}{(1+af)^2}$$

可以写为

$$\frac{\delta A}{A} = \frac{\frac{\delta a}{a}}{1+af} = \frac{\frac{\delta a}{a}}{1+T} \quad (8.12)$$

由式(8.12)可知, 对比 a 中的分式变化, A 中的分数减小至原值的 $1/(1+T)$ 倍。例如, 假设 $T=10$ 且由于温度变化 a 变化了 10%, 那么由式(8.12)计算的总增益 A 只变化了 0.1%。

8.3 负反馈对失真的影响

上述结论表明即使基本放大器增益 a 变化, 负反馈 A 也保持总增益基本不变。这就表明负反馈应该能有效地减小失真, 因为失真是由于基本放大器传输特性曲线的倾斜造成的。由于 A 相对独立于 a , 反馈就应努力减小这些斜度变化结果。下面将解释这一点。

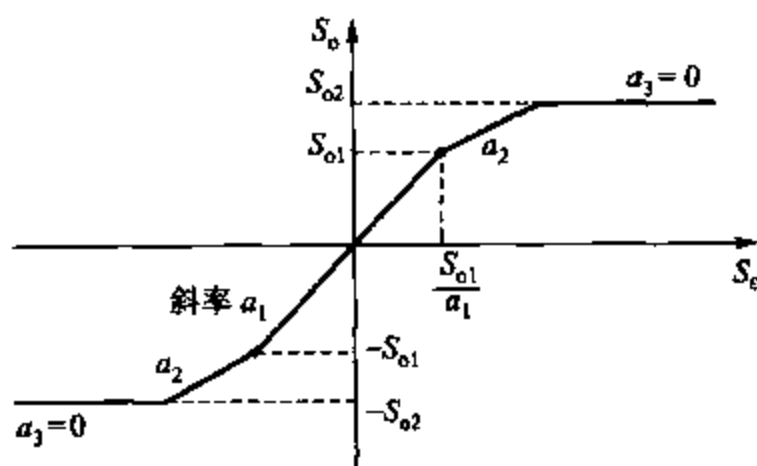


图 8.2 基本放大器的传输特性

假设基本放大器如图 8.2 有非线性传输特性曲线。假设有两个区域存在, 每个都有恒定但不同的斜率 a_1, a_2 。当反馈发生时, 总增益仍然由式(8.5)给出, 但是必须使用 a 的确切值, 这取决于图 8.2 的哪一个区被穿越。因此, 反馈总的传输特性曲线也有斜率不同的两

个区域,如图 8.3 所示。但是,因为负反馈的缘故,斜率 A_1 和 A_2 基本相等。代入式(8.5)可知

$$A_1 = \frac{a_1}{1 + a_1 T} \approx \frac{1}{f} \quad (8.13)$$

$$A_2 = \frac{a_2}{1 + a_2 f} \approx \frac{1}{f} \quad (8.14)$$

因此,图 8.3 的反馈放大器转移特性曲线比图 8.2 的原始基本放大器的非线性要小得多。

注意与图 8.2 相比,图 8.3 的横坐标刻度已经被压缩以利于两副图的比较。变换刻度是有必要的,因为负反馈减小增益。增益减小 $(1 + T)$,负反馈的使用带来几个严重的问题,因为增益可以简单地通过在反馈放大器前加入前置放大器来弥补。由于前置放大器与输出放大器相比,它处理较小信号,失真问题在这个放大器中得以解决。

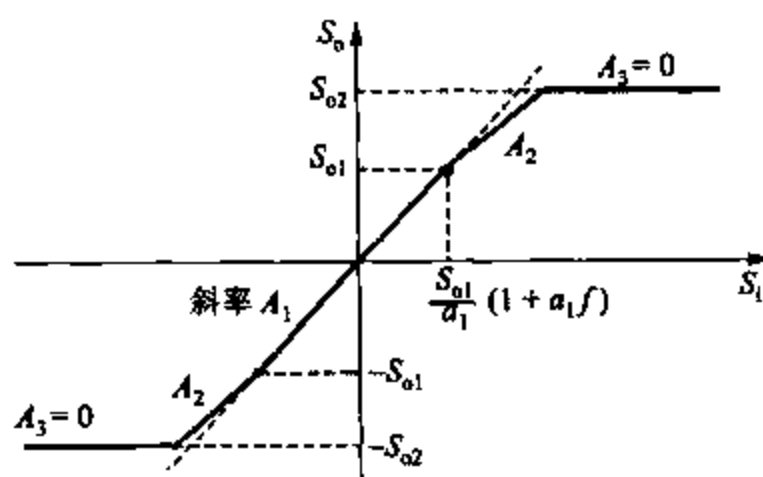


图 8.3 相当于图 8.2 中基本放大器的反馈放大器的传输特性

在图 8.2 和图 8.3 中进一步得出输出放大器在输出信号 S_{o2} 严重饱和(如输出变得与输入独立)的结论。因为该区域增量斜率 $a_3 = 0$,根据式(8.5),当 $A_3 = 0$ 时负反馈不能改变状态。

8.4 反馈结构

前面的章节建立在如图 8.1 所示的理想结构上。实际反馈放大器是由电流或电压信号作为输入且电压或电流作为输出的。为了使反馈放大器达到实际水平,有必要明确反馈采样过程的细节和实现这一过程的电路。有四种基本反馈放大器连接。根据输出信号 S_o 为电压或电流以及反馈信号 S_o 为电压或电流来分类,显然存在四种结构,具体分析如下。

8.4.1 串联-并联反馈

假设要求设计一个建立电压传递函数的反馈放大器,即给定输入电压能得到确定比例的输出电压。这需要采样输出电压,反馈一定比例的电压与输入比较。这种情形如图 8.4 所示。这种基本放大器的增益是 a ,反馈网络是一个传递函数为 f ,并接在基本放大器输出

到样本 v_o 的二端口网络。理想状况下, 阻抗 $z_{22f} = \infty$, 反馈网络没有加入基本放大器。反馈电压 v_{fb} 与输入串联后与 v_i 比较, 同时在理想状况下 $z_{11f} = 0$ 。信号 v_e 是 v_i 和 v_{fb} 之差并被加到基本放大器。假设基本放大器和反馈电路为单向的, 这样基本放大器只从 v_e 传至 v_o , 反馈网络只从 v_o 传至 v_{fb} 。这一点将在后面使用。

这个反馈叫做串联-并联反馈, 因为反馈网络与输入串联且与输出并联。

由图 8.4 有

$$v_o = av_e \quad (8.15)$$

$$v_{fb} = fv_o \quad (8.16)$$

$$v_e = v_i - v_{fb} \quad (8.17)$$

由式(8.15), 式(8.16)和式(8.17)得

$$\frac{v_o}{v_i} = \frac{a}{1 + af} \quad (8.18)$$

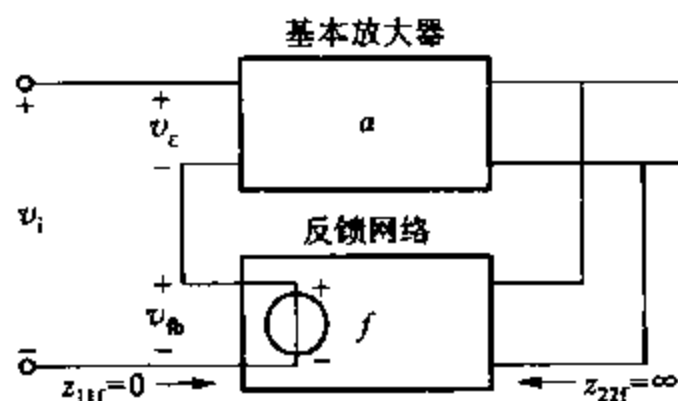


图 8.4 串联-并联反馈结构

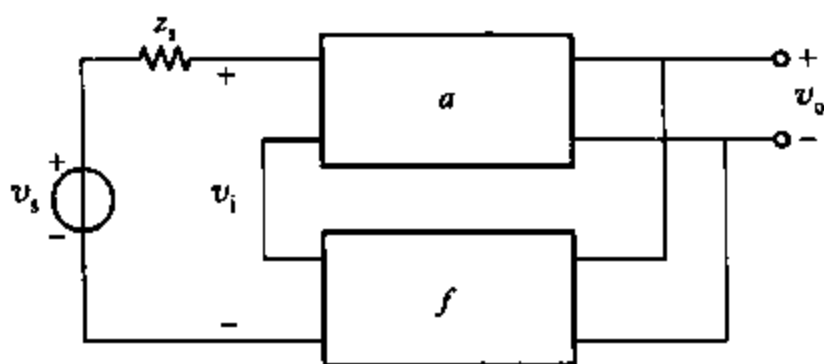


图 8.5 有限源阻抗反馈的串联-并联结构

因此, 得到理想反馈方程。如预想的那样, 式(8.18)表明稳态转移函数为 v_o/v_i 。如果电路有如图 8.5 所示的高源阻抗反馈, 比率 v_o/v_i 仍然稳定(由式(8.18)给出), 但是现在 v_i 为

$$v_i = \frac{Z_i}{Z_i + z_s} v_s \quad (8.19)$$

其中, Z_i 是从 v_i 看进去的输入阻抗。如果 $z_s \approx Z_i$, 那么 v_i 决定于 Z_i , 而 Z_i 通常没有明确给出, 因为它通常取决于有源器件参数。因此, 总增益 v_o/v_s 没有固定。当源阻抗与闭环放大器输入阻抗相比较低时, 串联-并联放大器的稳定增益的优点就达到了。

现在考虑放大器终端阻抗的串联-并联反馈效果。假设基本放大器输入输出阻抗为 Z_i 和 Z_o , 如图 8.6 所示。再次假设反馈网络为理想, 反馈如图所示的电压 $f v_o$ 。两个网络都为单向。电压 v_i 产生输入电流 i_i 和输出电压 v_o 。由图 8.6 得

$$v_o = av_e \quad (8.20)$$

$$v_i = v_e + f v_o \quad (8.21)$$

将式(8.21)代入式(8.20)得

$$v_i = v_e + af v_e = v_e (1 + af) \quad (8.22)$$

同时

$$i_i = \frac{v_e}{z_i} \quad (8.23)$$

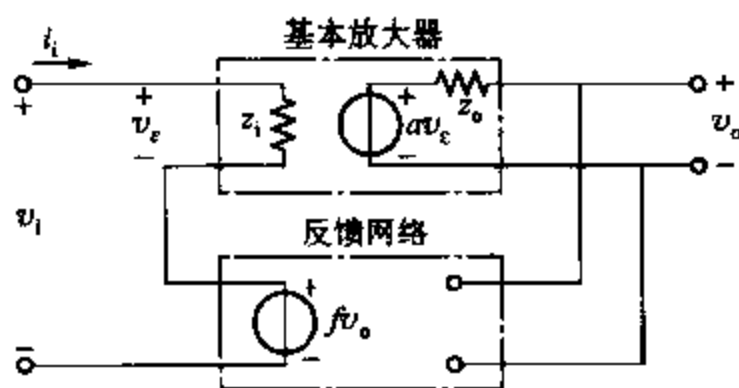


图 8.6 基本放大器为有限阻抗的串联-并联结构

将式(8.23)代入式(8.22)得

$$i_i = \frac{v_i}{z_i} \frac{1}{1 + af} \quad (8.24)$$

因此,由式(8.24)可知,带反馈的输入阻抗 Z_i 为

$$Z_i = \frac{v_i}{i_i} = (1 + T) z_i \quad (8.25)$$

输入端的串联反馈总是增大为输入阻抗的 $(1 + T)$ 倍。

输出阻抗的串联-并联反馈效应可以通过图 8.7 所示的电路来计算。输入电压被移走(输入被短路),电压 v 加在输出端。由图 8.7 得

$$v_e + fv = 0 \quad (8.26)$$

$$i = \frac{v - av_e}{z_o} \quad (8.27)$$

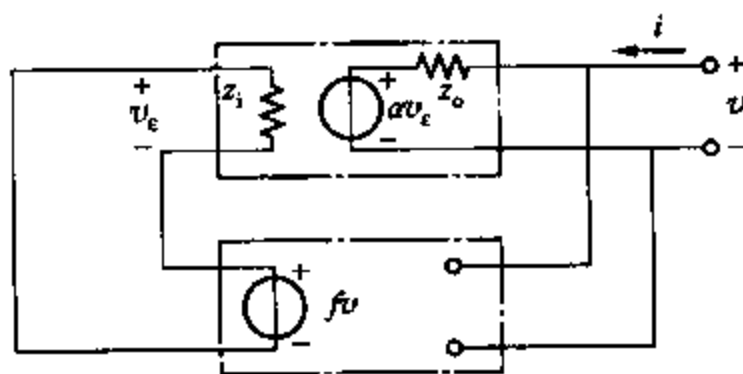


图 8.7 计算串联-并联反馈网络的输出电阻的电路

将式(8.26)代入式(8.27)得

$$i = \frac{v + afv}{z_o} \quad (8.28)$$

由式(8.28)可知带反馈的输出阻抗 Z_o 为

$$Z_o = \frac{v}{i} = \frac{z_o}{1 + T} \quad (8.29)$$

输出并联反馈总是使输出阻抗降低 $(1+T)$ 倍。这使得输出成为一个更佳的电压源,因此,串联-并联反馈能产生一个良好的电压放大器,它有稳定的 v_o/v_i ,提高了 Z_i ,降低了 Z_o 。

图 8.6 所示的原始串联-并联反馈放大器现在可以用式(8.18),(8.25),(8.29)和图 8.8a 来表示。由于前向增益 a 趋于无穷,其等效电路相当于图 8.8b 所示的理想电压放大器。

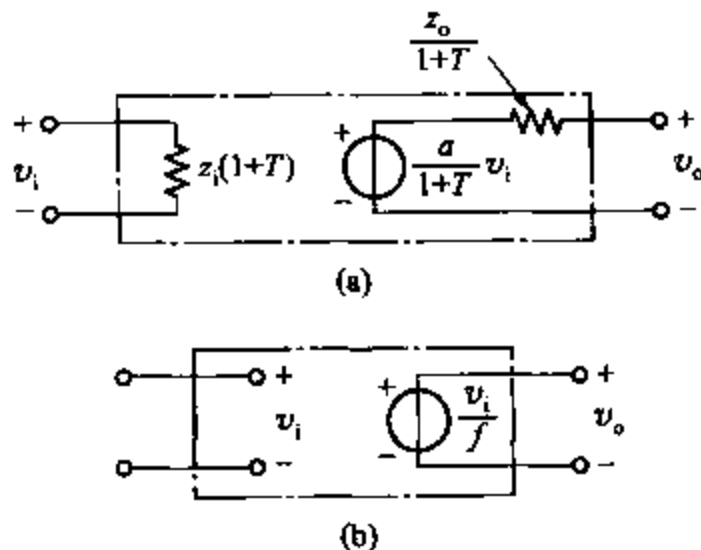


图 8.8 (a) 串并联反馈放大器的等效电路;(b) 当 $a \rightarrow \infty$ 时串并联放大器的等效电路

8.4.2 并联-并联反馈

并联-并联结构如图 8.9 所示。反馈网络再次对基本放大器的输出分流,并对 v_o 采样,如前所述,理想化 $z_{22f} = \infty$ 。但是,现在反馈网络也与主放大器并联且反馈回一个成比例的电流 fv_o 。理想情况下, $z_{11f} = \infty$ 因而反馈网络在放大器输入级不产生任何并联负载。因为反馈信号为一电流,在输入端处理误差电流 i_e 更方便。在这种情况下输入信号是一理想的电流 i_i 。由图 8.9 有

$$a = \frac{v_o}{i_e} \quad (8.30)$$

其中 a 为传输电阻,

$$f = \frac{i_{fb}}{v_o} \quad (8.31)$$

其中 f 为传输电导,并且

$$v_o = ai_e \quad (8.32)$$

$$i_e = i_i - i_{fb} \quad (8.33)$$

将式(8.31)中的 i_{fb} 代入式(8.33)得

$$i_e = i_i - fv_o \quad (8.34)$$

将式(8.32)代入式(8.34)得

$$\frac{v_o}{a} = i_i - fv_o$$

整理得

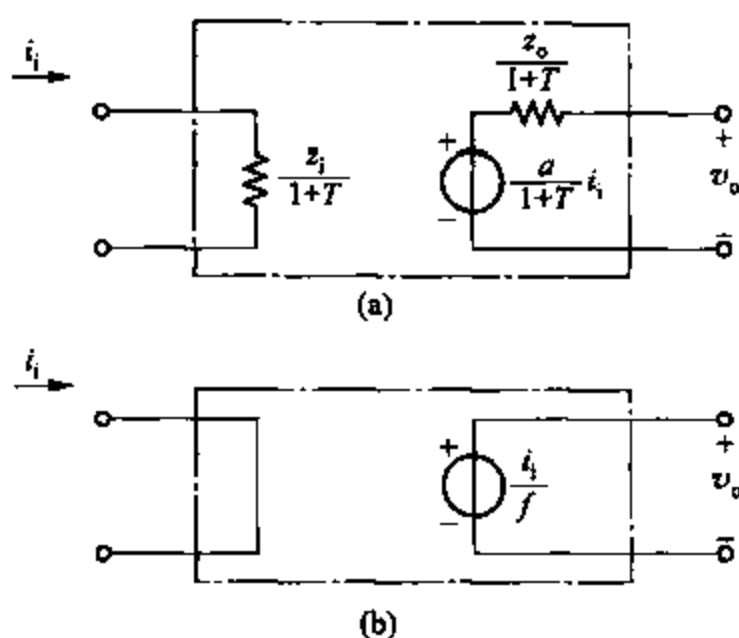


图 8.10 (a) 并联 - 并联反馈放大器的等效电路; (b) 当 $a \rightarrow \infty$ 时并联 - 并联放大器的等效电路

8.4.3 并联 - 串联反馈

并联 - 串联结构如图 8.11 所示。反馈网络采样电流 i_o 并反馈一个对应电流 $i_{fb} = fi_o$ 。因为所求输出信号为电流 i_o 。用 Norton 等效电路来表示基本放大器的输出更方便一些。在这种情况下, a 和 f 都是无量纲的电流比, 理想输入源为电流源 i_i 。可以看出

$$\frac{i_o}{i_i} = \frac{a}{1 + af} \quad (8.40)$$

$$Z_i = \frac{z_i}{1 + T} \quad (8.41)$$

$$Z_o = z_o(1 + T) \quad (8.42)$$

这种放大器是一个良好的电流放大器且有稳定的电流增益 i_o/i_i , Z_i 较低, Z_o 较高。

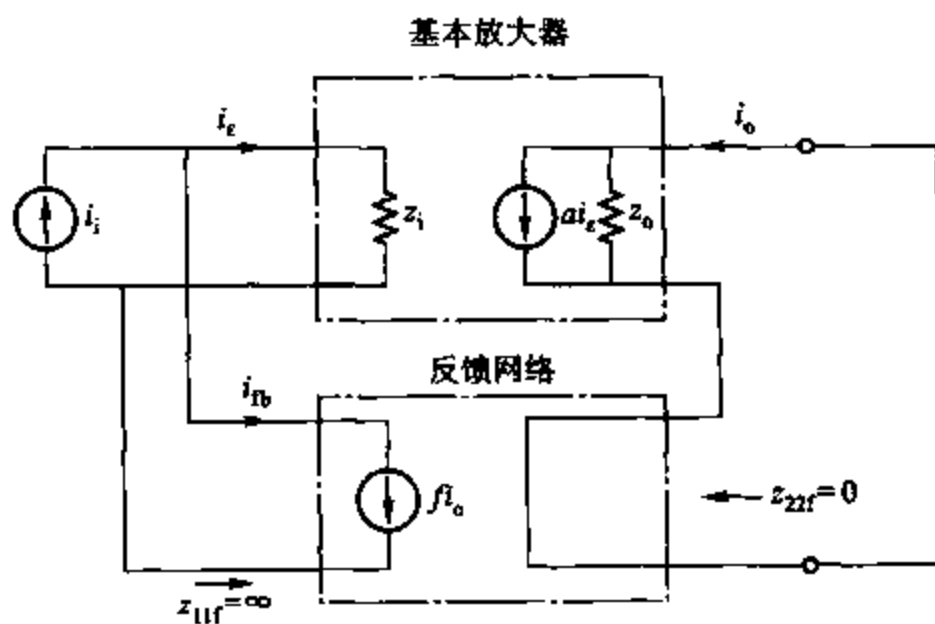


图 8.11 并联 - 串联反馈网络

8.4.4 串联-串联反馈

串联-串联反馈如图 8.12 所示。反馈网络采样电流 i_o 并反馈一个与输入端串联的对应电压 v_{fb} 。前增益 a 为传输导纳, f 为传输电阻, 理想驱动源为一个电压源 v_i 。

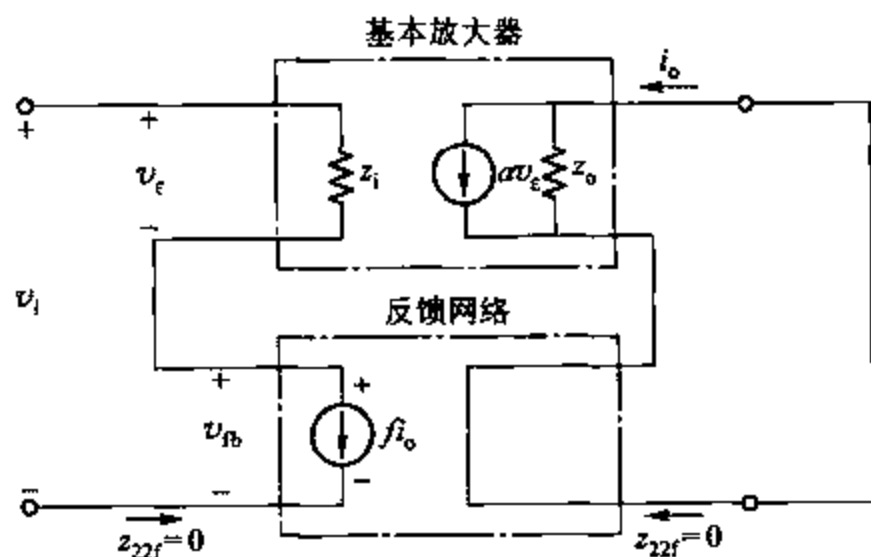


图 8.12 串联-串联反馈结构

$$\frac{i_o}{v_i} = \frac{a}{1 + af} \quad (8.43)$$

$$Z_i = z_i(1 + T) \quad (8.44)$$

$$Z_o = z_o(1 + T) \quad (8.45)$$

可见这种放大器为一良好的传输跨导放大器且有稳定的增益 i_o/v_i , 以及较高的 Z_i 和 Z_o 。

8.5 实际组态及负载的影响

在实际的负载放大器中, 反馈网络在基本放大器输入和输出端引起加载, 基本放大器和反馈网络的区分不像上述方法表述的那样明显。在这些情况下, 电路总能由写好的整个放大器电路方程以及传递函数和终端阻抗解法来分析。但是, 在大多数实际情况下, 这个过程都是乏味且困难的, 方程复杂以致看不出电路性能最重要的方面。因此, 在这些情况下, 确认基本放大器和反馈网络是必要的, 然后再应用上述的理想反馈方程。通常, 必须考虑反馈网络对基本放大器的负载影响, 下面研究在计算中考虑这些负载的方法。用二端口代替有关电路能改进该方法, 如下所述, 这种表示法对于实际计算并不是必需的。

8.5.1 并联-并联反馈

分析图 8.9 所示的并联-并联反馈放大器。图 8.13a 考虑非理想网络的影响, 前向通路和反馈通路的输入和输出导纳都假设为有限的, 反向传送也是一样。假设电源有限, 源导纳负载导纳分别为 y_s 和 y_L 。在这个例子中最方便的二端口表示法就是短路导纳参数或者 y 参数, 如同图 8.13a 所使用的。这样做的原因是基本放大器和反馈网络在输入和输出端

并联,因此在其终端就有相等的电压。参数 y 根据终端电压表示终端电流,使网络响应特定化,当两个网络终端电压相同时,这使计算简化。在接下来的电路计算中,这一点将更加明显。 y 参数表达式由图 8.14 表示。

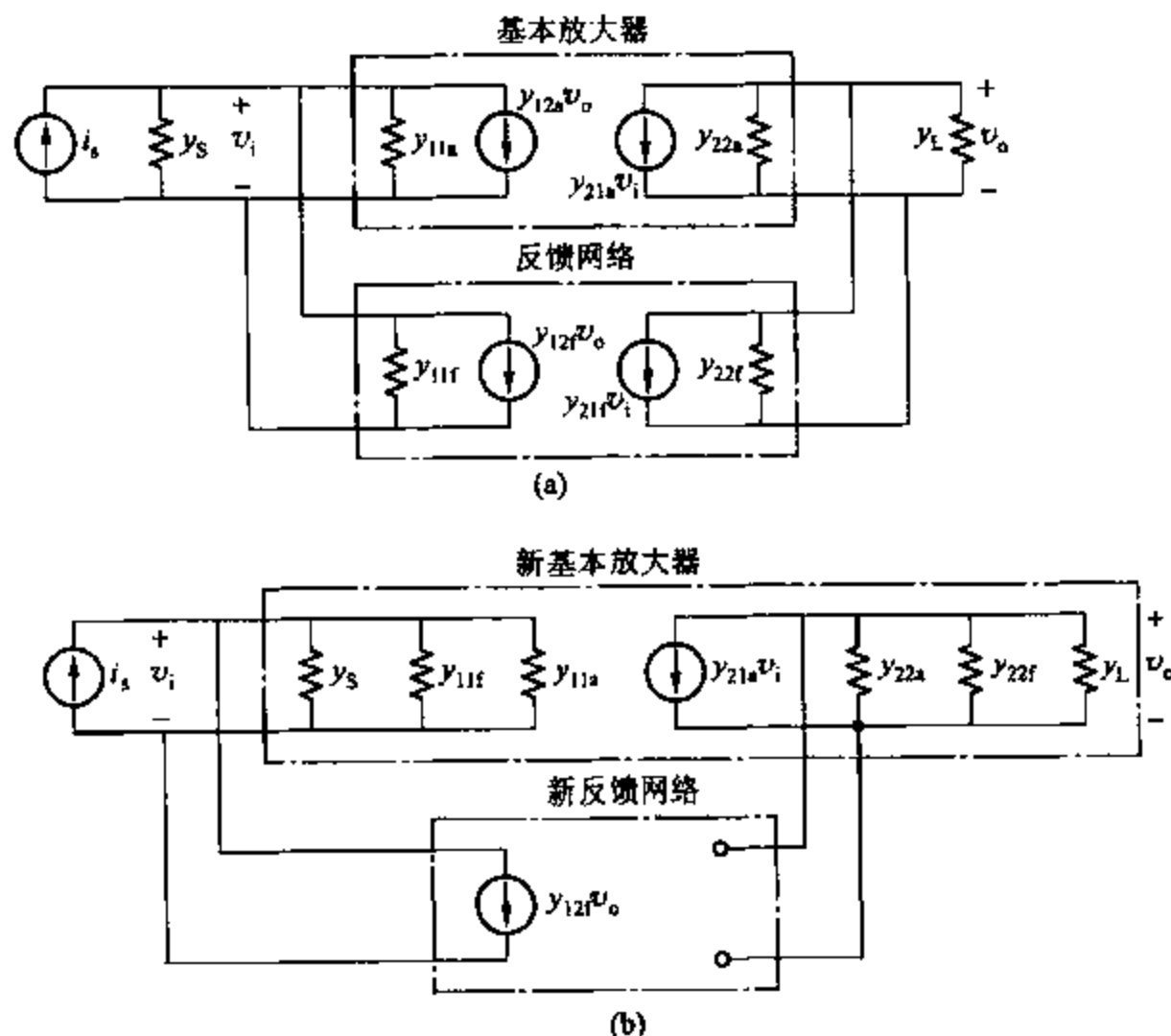


图 8.13 (a) 使用 y 参数描述的并联-并联反馈组态;(b) 忽略 $y_{21f} v_i$ 和 $y_{12a} v_o$ 后的电路

由图 8.13a 可知,在输入端

$$i_s = (y_s + y_{11a} + y_{11f}) v_i + (y_{12a} + y_{12f}) v_o \quad (8.46)$$

输出端电流和为

$$0 = (y_{12a} + y_{12f}) v_i + (y_L + y_{22a} + y_{22f}) v_o \quad (8.47)$$

定义

$$y_i = y_s + y_{11a} + y_{11f} \quad (8.48)$$

$$y_o = y_L + y_{22a} + y_{22f} \quad (8.49)$$

用式(8.48)和式(8.49)解式(8.46)和式(8.47)得

$$\frac{v_o}{i_s} = \frac{-(y_{21a} + y_{21f})}{y_i y_o - (y_{21a} + y_{21f})(y_{12a} + y_{12f})} \quad (8.50)$$

除以 $y_i y_o$ 后,该方程可以变成理想反馈方程式(8.35)的形式,即

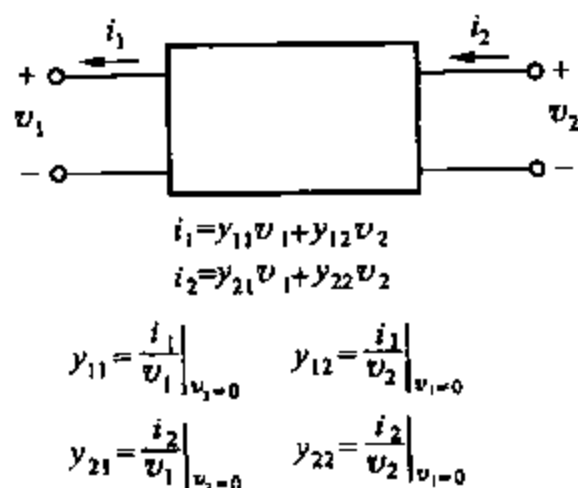


图 8.14 二端口网络的 y 参数描述

$$\frac{v_o}{i_s} = \frac{\frac{-(y_{21a} + y_{21f})}{y_i y_o}}{1 + \frac{-(y_{21a} + y_{21f})}{y_i y_o} (y_{12a} + y_{12f})} \quad (8.51)$$

比较式(8.51)和式(8.35)得

$$a = -\frac{y_{21a} + y_{21f}}{y_i y_o} \quad (8.52)$$

$$f = y_{12a} + y_{12f} \quad (8.53)$$

在这一点上,许多近似能极大地简化计算。首先,假设基本放大器传输的信号远远大于反馈网络前馈信号。由于前者有增益(通常较大)而后者有损耗,这几乎就成了一个正确的假定。即

$$|y_{21a}| \gg |y_{21f}| \quad (8.54)$$

第二,假设反馈网络反馈的信号远大于基本放大器反馈的信号。由于多数有源器件有很小的倒转特性,基本放大器也同样,多数情况下这种假设总是正确的。即有

$$|y_{12a}| \ll |y_{12f}| \quad (8.55)$$

将式(8.54)和式(8.55)代入式(8.51)得

$$\frac{v_o}{i_s} = A \approx \frac{\frac{-y_{21a}}{y_i y_o}}{1 + \left(\frac{-y_{21a}}{y_i y_o} \right) y_{12f}} \quad (8.56)$$

比较式(8.35)和式(8.56),得

$$a = -\frac{y_{21a}}{y_i y_o} \quad (8.57)$$

$$f = y_{12f} \quad (8.58)$$

表示式(8.57)和式(8.58)的电路能由以下推出。在图 8.13a 中式(8.54)和式(8.55)表示如图 8.13a 所示的基本放大器的反馈发生器和反馈网络的前馈发生器可以被忽略。此时电路就变为如图 8.13b 所示,反馈网络的终端导纳 y_{11f} 和 y_{22f} 与电源和负载阻抗 y_s 和 y_L 一起并入基本放大器。因此,新的基本放大器就包含原始反馈网络的负载效应,新的反馈网络如图 8.9 所使用的理想形式。假如计算图 8.13b 的基本放大器的传递函数(首先移走反馈网络),就得到式(8.57)的结果。同样,图 8.13b 的反馈网络传递函数由式(8.58)给出。因此,图 8.13b 所示的电路就代表了式(8.57)和式(8.58)。因为图 8.13b 与图 8.9 直接对应,因此 8.4.2 节对图 8.9 推出的所有结论现在都能使用。简单地用 y_{11f} 和 y_{22f} 分别并联输入输出,反馈网络对基本放大器的负载效应被考虑在内。如图 8.14 所示,短路网络的其他端口计算反馈网络的终端导纳。实际上,简单地短路放大器的输出结点并计算反馈电路的输入导纳就能计算负载项 y_{11f} 。由式(8.58)给出的反馈传递函数 f 是反馈网络的短路反向传递导纳,同图 8.14 定义的一致。这实际上是可计算且可检验的。注意在进一步计算中,参数 y 的使用是不必要的。一旦图 8.13b 所示的电路被建立,任何快捷的网络方法都可以被用来计算基本放大器的增益 a 。这里简单地用二端口来基本描述负载效应在计算中是如何

被考虑的。

例如,使用如图 8.15a 所示的运算放大器来分析普通并联-并联反馈电路。等效电路如图 8.15b 所示,在图 8.15c 中重画使得反馈网络加载在基本放大器上。反馈网络的 y 参数可以从图 8.15d 中得出。使用式(8.54),忽略 y_{211} ,得

$$y_{111} = \left. \frac{i_1}{v_1} \right|_{v_2=0} = \frac{1}{R_F} \quad (8.59)$$

$$y_{221} = \left. \frac{i_2}{v_2} \right|_{v_1=0} = \frac{1}{R_F} \quad (8.60)$$

$$y_{121} = \left. \frac{i_1}{v_2} \right|_{v_1=0} = -\frac{1}{R_F} = f \quad (8.61)$$

令电流 $i_{i_b} = 0$,由图 8.15c 可以算得基本放大器的增益 a 为

$$v_1 = \frac{z_i R_F}{z_i + R_F} i_i \quad (8.62)$$

$$v_o = -\frac{R}{R + z_o} a_v v_1 \quad (8.63)$$

其中

$$R = R_F // R_L \quad (8.64)$$

将式(8.63)代入式(8.62)得

$$\frac{v_o}{i_i} = a = -\frac{R}{R + z_o} a_v \frac{z_i R_F}{z_i + R_F} \quad (8.65)$$

使用 8.4.2 节推出的方程式,可以计算反馈电路的所有参数。这时基本放大器的输入输出阻抗就包括了反馈负载效应,也就是 8.4.2 节中描述的被 $(1 + T)$ 除的这些阻抗。因此,图 8.15c 所示的基本放大器的输入阻抗为

$$z_{i_b} = R_F // z_i = \frac{z_i R_F}{z_i + R_F} \quad (8.66)$$

当加上反馈时,输入阻抗为

$$Z_i = \frac{z_{i_b}}{1 + T} \quad (8.67)$$

基本放大器的输出阻抗类似

$$z_{o_b} = z_o // R_F // R_L \quad (8.68)$$

当加上反馈时,变为

$$Z_o = \frac{z_{o_b} // R_F // R_L}{1 + T} \quad (8.69)$$

需要注意的是,以上计算都可以从图 8.15c 所示的电路得出,而不必再使用二端口 y 参数。

因为对环路增益 T 更加关心,所以现在用式(8.61)和式(8.65)来计算:

$$T = af = \frac{R_F R_L}{R_F R_L + z_o R_F + z_o R_L} a_v \frac{z_i}{z_i + R_F} \quad (8.70)$$

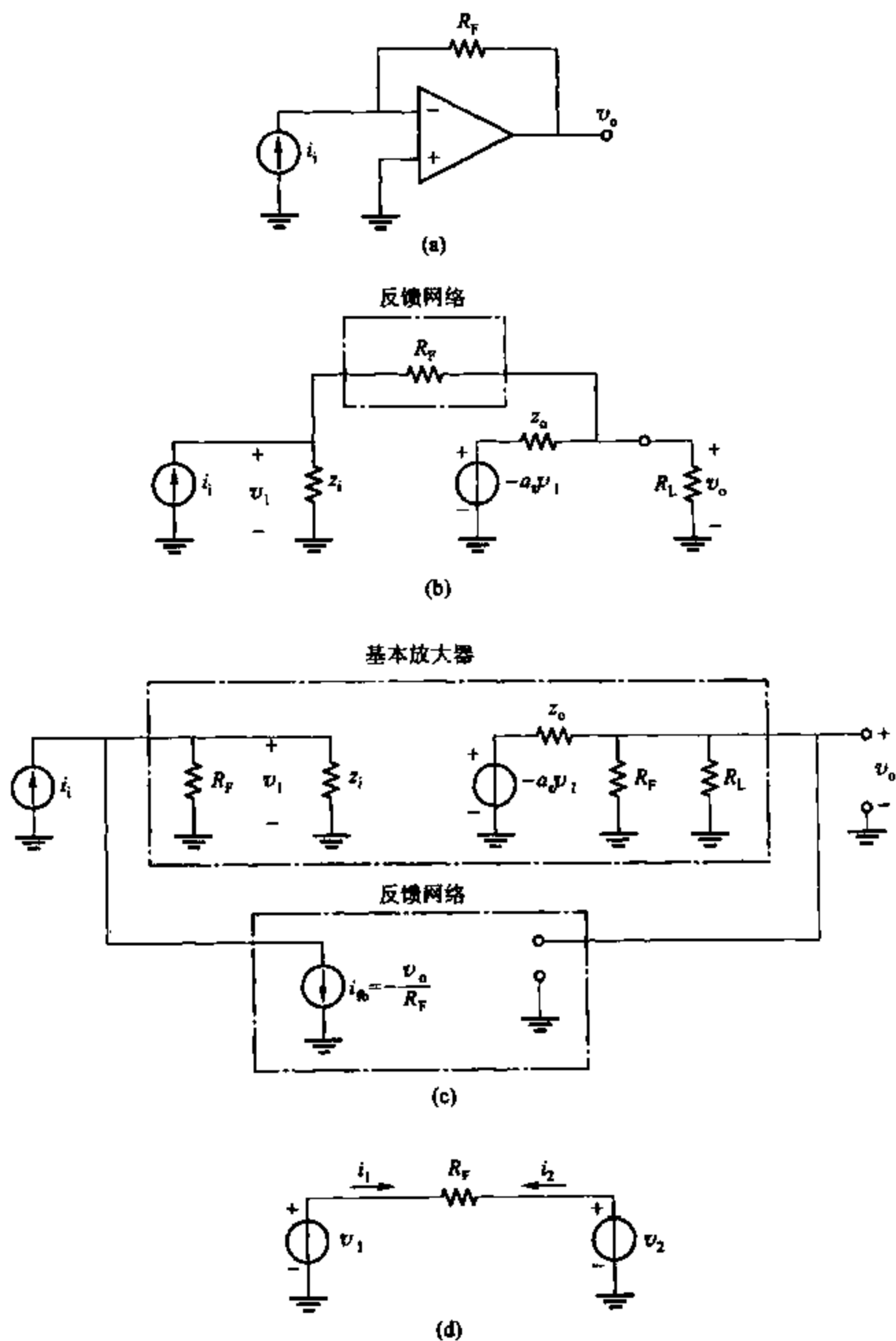


图 8.15 (a) 用运算放大器作增益的并联-并联反馈电路; (b) (a) 的等效电路;
(c) (b) 中电路反馈路径的分离; (d) 计算 (b) 中的反馈网络的 y 参数的电路

示例

假设图 8.15a 的电路使用 741 运算放大器, $R_f = 1 \text{ M}\Omega$, $R_L = 10 \text{ k}\Omega$, 计算终端阻抗, 环路增益和反馈放大器低频总增益。典型 741 的参数是 $z_i = 2 \text{ M}\Omega$, $z_o = 75 \text{ }\Omega$ 且 $a_v = 200\ 000$ 。

由式(8.66)考虑负载的基本放大器低频输入阻抗为

$$z_{ia} = \frac{10^6 \times 2 \times 10^6}{10^6 + 2 \times 10^6} \Omega = 666.7 \text{ k}\Omega \quad (8.71)$$

由式(8.68), 基本放大器的低频输出阻抗为

$$z_{oa} = 75 \text{ }\Omega // 1 \text{ M}\Omega // 10 \text{ k}\Omega \approx 75 \text{ }\Omega \quad (8.72)$$

低频环路增益可以由式(8.70)算得

$$T = \frac{10^6 \times 10^4}{10^6 \times 10^4 + 75 \times 10^6 + 75 \times 10^4} \times 200\ 000 \times \frac{2 \times 10^6}{10^6 + 2 \times 10^6} = 133\ 333 \quad (8.73)$$

本例中的环路增益很大。值得注意的是, 输入端的有限电源电阻能显著地减小增益。

将式(8.71)和式(8.73)代入式(8.67)得带反馈的输入阻抗为

$$Z_i = \frac{666.7 \times 10^3}{133\ 333} \Omega = 5 \text{ }\Omega$$

将式(8.72)和式(8.73)代入式(8.69)得带反馈的输出阻抗为

$$Z_o = \frac{75}{133\ 333} \Omega = 0.000\ 563 \text{ }\Omega$$

实际上, 电路的二阶效应可能导致 Z_o 变大。

带反馈的总传递函数可由式(8.8)近似表示为

$$\frac{v_o}{i_i} = A \approx \frac{1}{f} \quad (8.74)$$

将式(8.61)代入式(8.74)得

$$\frac{v_o}{i_i} = A \approx -R_f$$

代入 R_f 得

$$\frac{v_o}{i_i} = A \approx -1 \text{ M}\Omega \quad (8.75)$$

更精确的 A 值可由(8.5)式得出。因为此例中的环路增益很大, 所以将式(8.5)写成如下形式:

$$A = \frac{1}{f} \frac{1}{1 + \frac{1}{af}} \quad (8.76)$$

$$= \frac{1}{f} \frac{1}{1 + \frac{1}{T}} \quad (8.77)$$

因为此例中的 T 很大, 所以 A 与 $\frac{1}{f}$ 相差很小。代 $T = 133\,333$ 及 $\frac{1}{f} = -1\text{ M}\Omega$ 入式(8.77)中, 可得

$$A = -999\,992\ \Omega \quad (8.78)$$

对绝大多数情况下, 式(8.75)已经足够精确了。

8.5.2 串联 - 串联反馈

分析图 8.12 所示的串联 - 串联反馈连接。非理想网络的作用可以由图 8.16a 表示。在这种情况下, 最简单的二端口表示法是使用开路阻抗参数或者 z 参数, 因为基本放大器

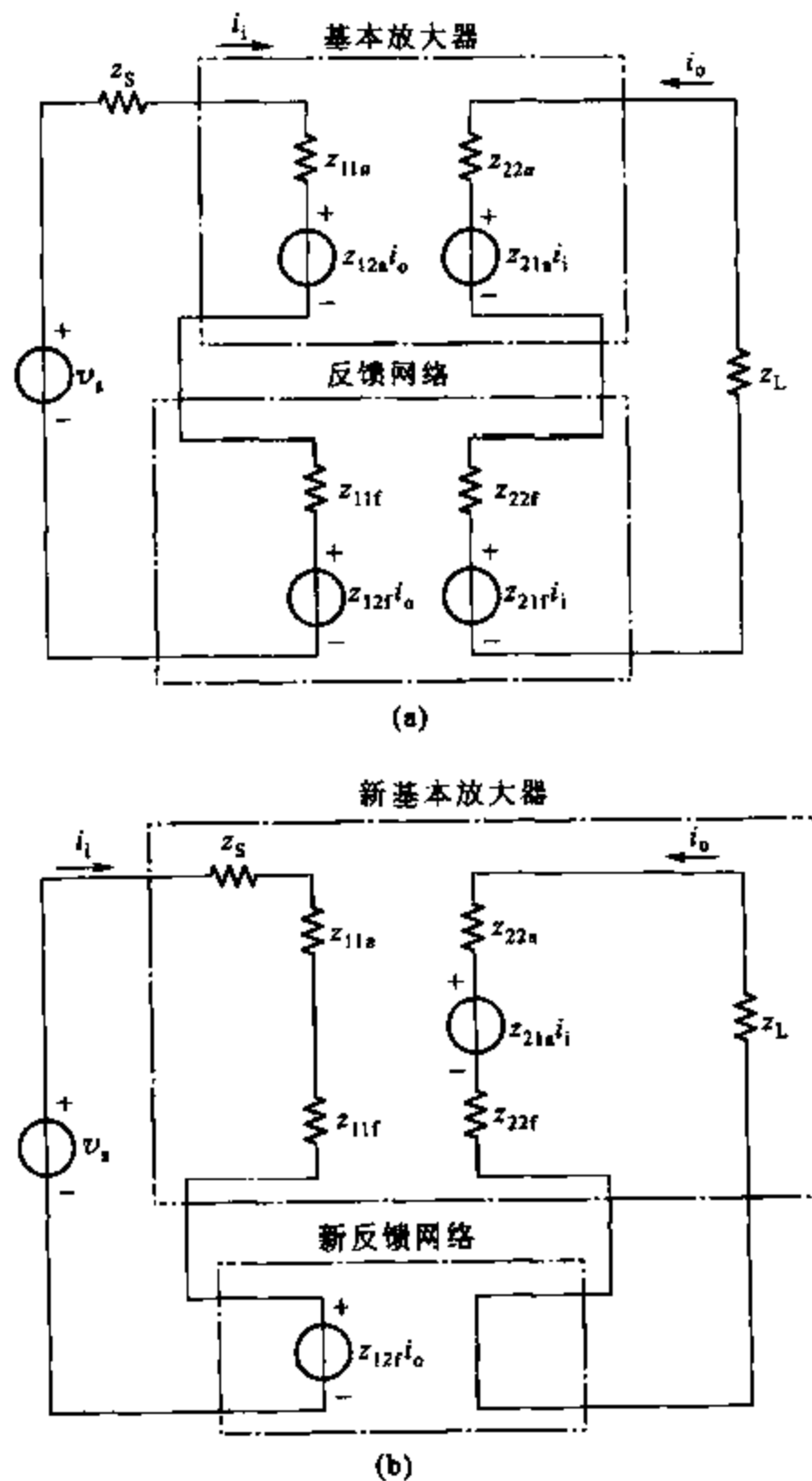


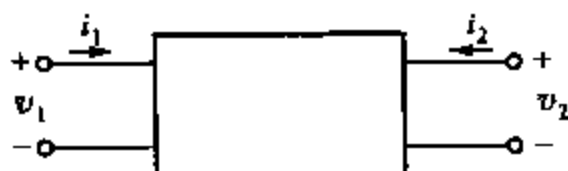
图 8.16 (a)用 z 参数描述的串联 - 串联反馈组态; (b)忽略 $z_{21f}i_i$ 和 $z_{12a}i_o$ 后的电路

和反馈网络现在在输入端和输出端串联,其终端就有相同的电流。如图 8.17 所示, z 参数用终端电流的形式表示终端电压以确定网络,当两个网络有相同的终端电流时简化计算。这种情况下计算的效率恰为 8.5.1 节中的两倍。由图 8.16 可知,在输入端计算电压之和得

$$v_s = (z_s + z_{11s} + z_{11f})i_i + (z_{12s} + z_{12f})i_o \quad (8.79)$$

求输出电压之和得

$$0 = (z_{21s} + z_{21f})i_i + (z_L + z_{22s} + z_{22f})i_o \quad (8.80)$$



定义

$$z_i = z_s + z_{11s} + z_{11f} \quad (8.81)$$

$$z_o = z_L + z_{22s} + z_{22f} \quad (8.82)$$

$$\begin{aligned} v_1 &= z_{11}i_1 + z_{12}i_2 \\ v_2 &= z_{21}i_1 + z_{22}i_2 \end{aligned}$$

$$z_{11} = \left. \frac{v_1}{i_1} \right|_{i_2=0} \quad z_{12} = \left. \frac{v_1}{i_2} \right|_{i_1=0}$$

$$z_{21} = \left. \frac{v_2}{i_1} \right|_{i_2=0} \quad z_{22} = \left. \frac{v_2}{i_2} \right|_{i_1=0}$$

再次忽略基本放大器的反向传输,假设

$$|z_{12s}| \ll |z_{12f}| \quad (8.83)$$

同时忽略反馈网络的前馈,得

$$|z_{21s}| \gg |z_{21f}| \quad (8.84)$$

图 8.17 二端口网络的 z 参数描述

根据上述假设,

$$\frac{i_o}{v_s} = A \approx \frac{\frac{-z_{21s}}{z_i z_o}}{1 + \left(\frac{-z_{21s}}{z_o z_i} \right) z_{12f}} = \frac{a}{1 + af} \quad (8.85)$$

其中

$$a = -\frac{z_{21s}}{z_i z_o} \quad (8.86)$$

$$f = z_{12f} \quad (8.87)$$

根据式(8.83)和式(8.84)去掉图 8.16b 中的电压源 $z_{21f}i_i$ 和 $z_{12s}i_o$,即可表示式(8.86)中的 a 和式(8.87)中的 f 。这就是图 8.16b 的近似表示,其中新的基本放大器包含了原始反馈网络的负载效应。新的反馈网络为理想网络,如图 8.12 所示。图 8.12b 所示基本放大器的传递函数等同于式(8.86),图 8.16b 所示反馈网络的传递函数由式(8.87)给出。因此图 8.16b 的电路就表示了式(8.86)和式(8.87)。

因为图 8.16b 与图 8.12 直接联系,所有 8.4.4 节推出的结果现在都可使用。将反馈网络的终端阻抗 z_{11f} 和 z_{22f} 串联在基本放大器的输入输出端,则反馈网络对基本放大器的负载效应被考虑在内。 z_{11f} 和 z_{22f} 由图 8.17 定义,可由使其他端口开路计算反馈网络的终端阻抗来获得。由式(8.87)定义的反馈函数 f 是反馈网络的反向传递阻抗。

例如,分析图 8.18a 的串联-串联三级反馈,它被用作宽带反馈放大器。 R_{E2} 通常是一个用来采样输出电流 i_o 的小电阻,结果 R_{E2} 上的电压被分压电阻 R_F 和 R_{E1} 采样来产生在 R_{E1} 上的反馈电压。通常 $R_F \gg R_{E1}$ 和 R_{E2} 。

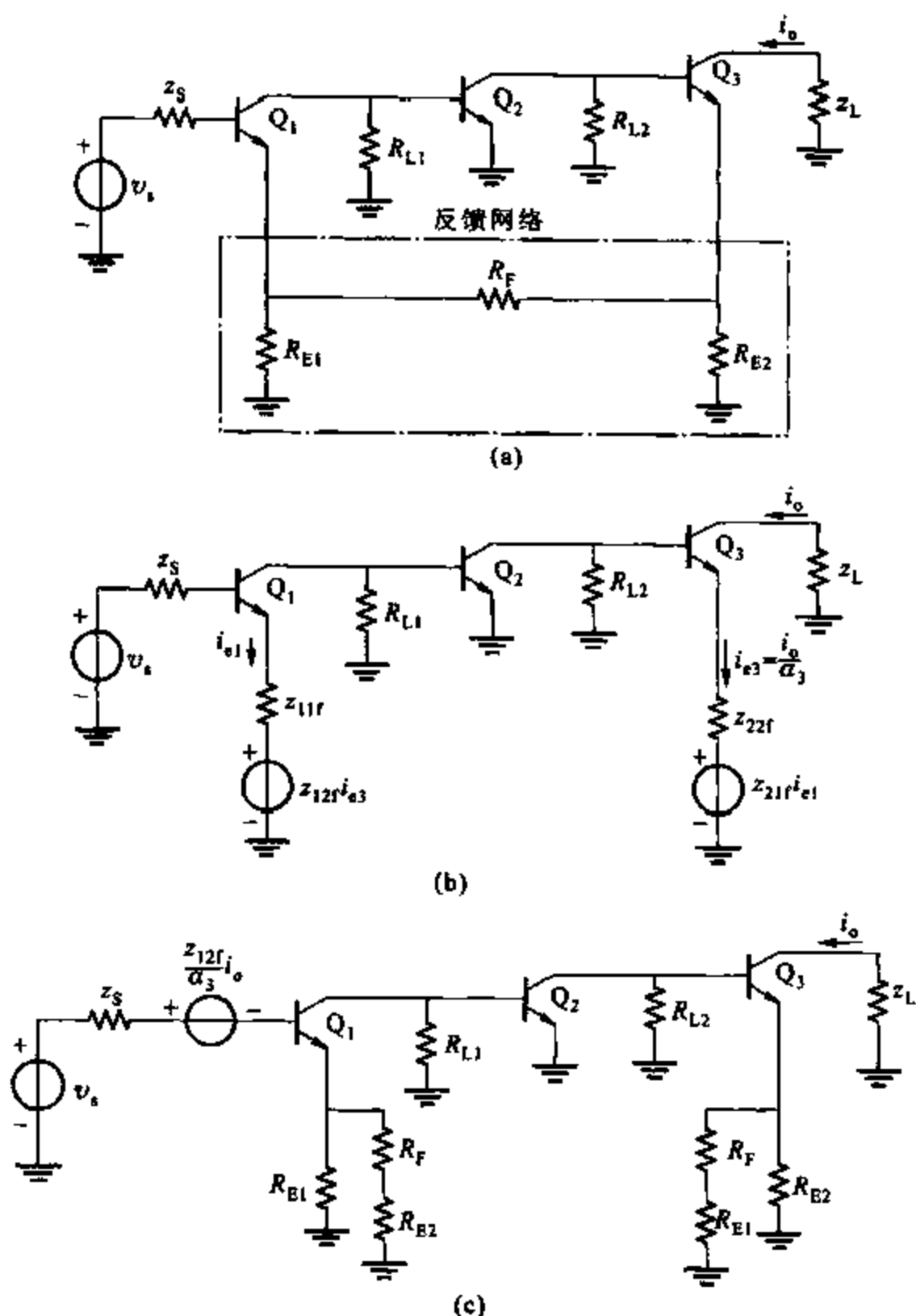


图 8.18 (a)三级串联-串联反馈;(b)用二端口 z 参数描述的(a)中电路的反馈网络;
(c)电路的近似图形

前面的二端口的结论现在不能直接使用,因为基本放大器不能用二端口表示。但是,前面使用二端口的技巧经过少量修正以后可以使用,即首先注明反馈网络可由图 8.18b 所示的二端口网络表示。此电路的一个问题是反馈电源 $z_{12f}i_{e3}$ 在 Q_1 的发射极而不在能与 v_s 直接比较的输入端。分析如图 8.19 所示的电路输入部分小信号等效模型,可以解决这个问题。对于这个电路,有

$$v_s = i_i z_s + v_{be} + i_{e1} z_{11f} + z_{12f} i_{e3} \quad (8.88)$$

代

$$i_{e3} = \frac{i_o}{\alpha_3} \quad (8.89)$$

入式(8.88)得

$$v_s - z_{12f} \frac{i_o}{\alpha_3} = i_1 z_S + v_{be} + z_{11f} i_{e1} \quad (8.90)$$

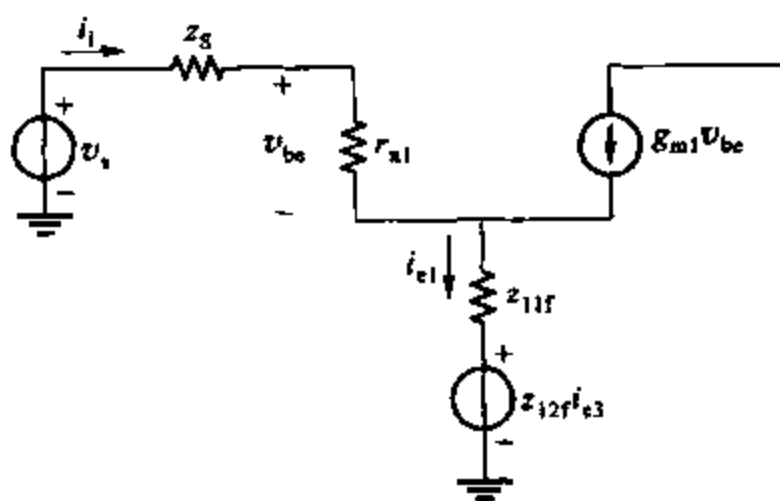


图 8.19 图 8.18b 中的输入级的小信号等效电路

这些方程中的变量都是小信号值。式(8.90)表示反馈电压发生器 $z_{12f} \left(\frac{i_o}{\alpha_3} \right)$ 可以移至与输入端串联。这样能得到完全相同的方程(参见图 8.18c)。注意 Q_3 的共基电流增益 α_3 出现在反馈表达式中, 因为输出电流由 Q_3 发射极上的 R_{E2} 采样以反馈回输入一个适当的信号。这个问题存在于大多数输出端采用串联反馈的电路中, Q_3 的 α_3 处于反馈环路之外。因为 $\alpha \approx 1$, 在很多应用中都不存在这个问题。但是, 假如需要很高的增益精确度, α_3 的变量就会引起麻烦。

反馈网络的 z 参数可由图 8.20 计算得

$$z_{12f} = \left. \frac{v_1}{i_2} \right|_{i_1=0} = \frac{R_{E1} R_{E2}}{R_{E1} + R_{E2} + R_F} \quad (8.91)$$

$$z_{22f} = \left. \frac{v_2}{i_2} \right|_{i_1=0} = R_{E2} // (R_{E1} + R_F) \quad (8.92)$$

$$z_{11f} = \left. \frac{v_1}{i_1} \right|_{i_2=0} = R_{E1} // (R_F + R_{E2}) \quad (8.93)$$

这里使用式(8.84), 忽略 Z_{21f} 。

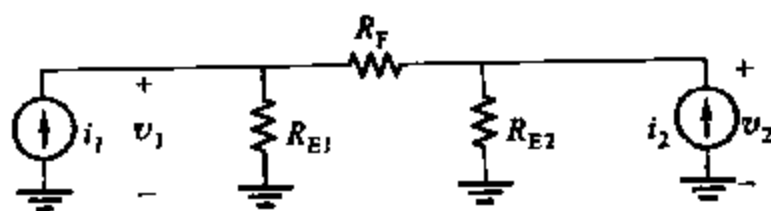


图 8.20 计算图 8.18a 中电路的反馈网络的 z 参数的电路

由上述结果重画图 8.18b 的电路,如图 8.18c 所示。根据以上计算,反馈网络(在 $z_{21f}i_o$ 的例子中)的前馈信号被忽略了。反馈电压发生器与输入端串联,输入端就存在一个理想差分结点。对基本放大器的反馈负载效应由 Q_1 和 Q_3 发射极上的阻抗表示。注意这种情况与图 8.16b 的例子有区别,即反馈网络的阻抗 z_{11f} 和 z_{22} 与图 8.16b 中的输入和输出端口串联,而在图 8.18c 中这些阻抗在 Q_1 和 Q_3 的发射极上。这是由于图 8.18a 所示的基本放大器电路不能由二端口 z 参数表示,但其分析方法却没有区别。因为图 8.18c 的反馈电压发生器与输入直接串联且与 i_o 成比例,因此就可以建立与图 8.16b 的直接联系,8.4.4 节的结论就可以使用了。现在不再需要 z 参数,观察可得

$$\frac{i_o}{v_s} = A \approx \frac{a}{1 + af} \quad (8.94)$$

其中

$$f = \frac{z_{12f}}{\alpha_3} = \frac{1}{\alpha_3} \frac{R_{E1} R_{E2}}{R_{E1} + R_{E2} + R_F} \quad (8.95)$$

a 是移除反馈发生器 $[(z_{12f}/\alpha_3)i_o]$ 后图 8.18c 所示电路的跨导。

从 v_s 看进去的带反馈的输入阻抗为 $(1 + af) \times$ (图 8.18c 包含反馈负载的基本放大器的输入阻抗)。

带反馈的输出阻抗是带反馈负载的基本放大器输出阻抗的 $(1 + af)$ 倍。

假如环路增益 $T = af$ 很大,带反馈的增益为

$$A = \frac{i_o}{v_s} \approx \frac{1}{f} = \alpha_3 \frac{R_{E1} + R_{E2} + R_F}{R_{E1} R_{E2}} \quad (8.96)$$

示例

基于三级串联-串联反馈的商用集成电路²MC 1553 如图 8.21a 所示。计算终端阻抗、环路增益和放大器的低频总增益。

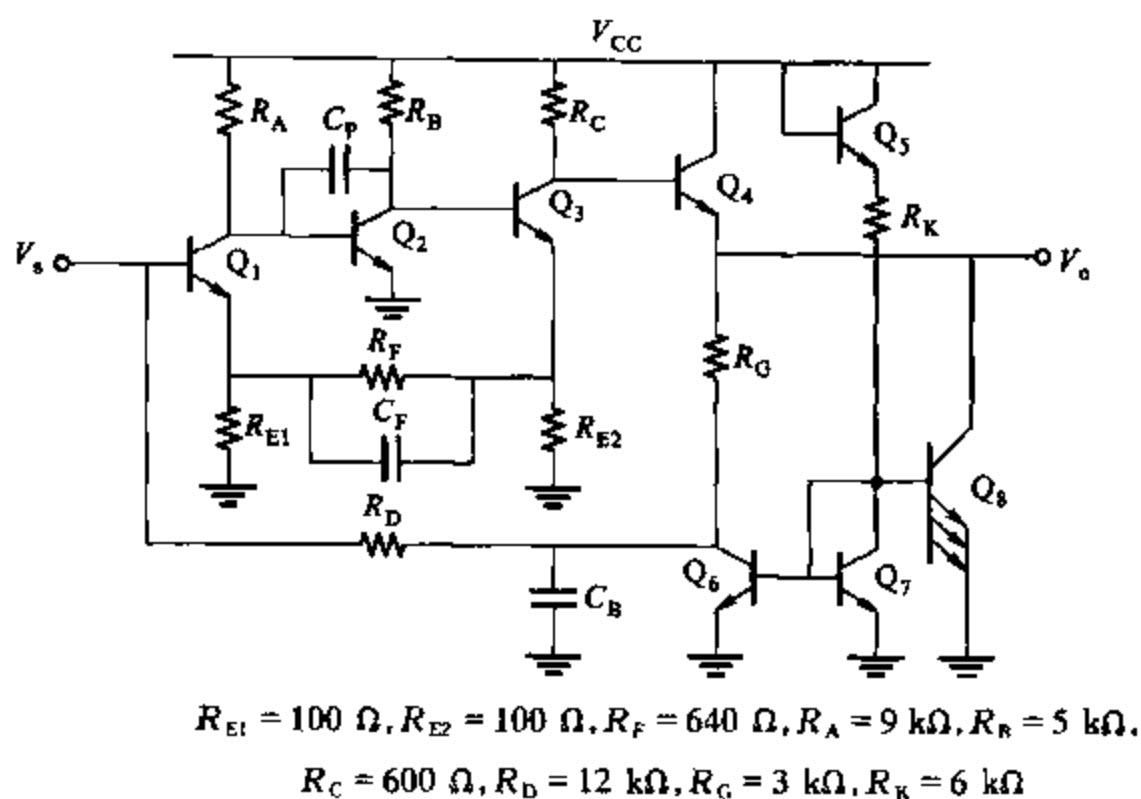
MC 1553 为宽带放大器,增益为 50 的时候带宽为 50 MHz。电路增益由 Q_1, Q_2, Q_3 组成的三级串联-串联反馈,输出电压通过负载电阻 R_L 反馈回射随器 Q_4 的发射极,保证输出阻抗较低。除了电容 C_P, C_F 和 C_B 外,电路的其余部分都是用来产生偏置的。电容 C_P 和 C_F 是只有几皮法的小电容,包含在芯片上,保证反馈网络的稳定性,其功能可由第九章描述。电容 C_B 与芯片外接,它是一个分流的大电容,用来分离所需信号频率的偏置电流。

偏置计算 电路的分析从偏置情况开始。偏置电流由电阻 R_K 上的参考电流 I_{RK} 设定,假设 $V_{BE(on)} = 0.6 \text{ V}$ 且 $V_{CC} = 6 \text{ V}$,可得

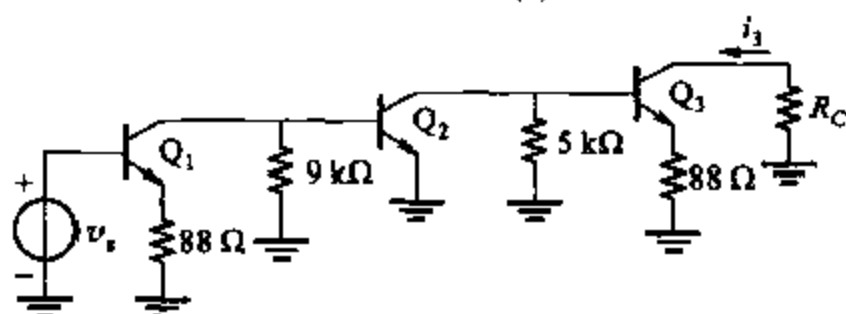
$$I_{RK} = \frac{V_{CC} - 2V_{BE(on)}}{R_K} \quad (8.97)$$

将数据代入式(8.97)有

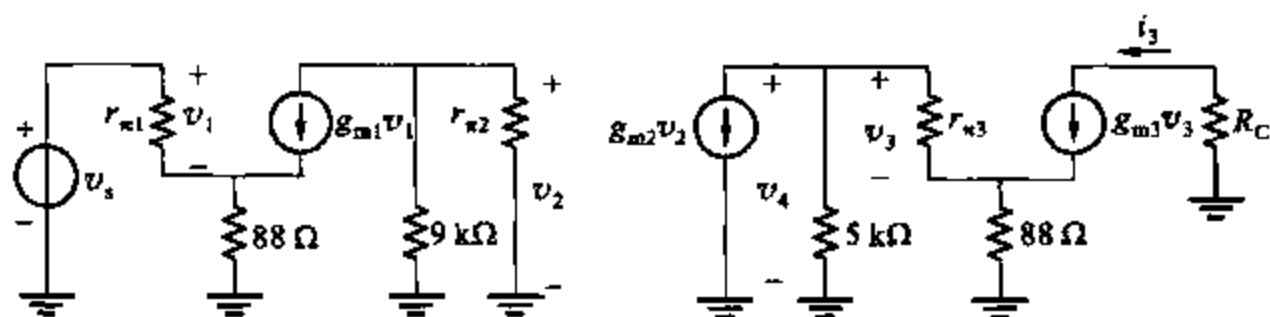
$$I_{RK} = \frac{6 - 1.2}{6\,000} \text{ A} = 0.80 \text{ mA}$$



(a)



(b)



$I_{C1} = 0.6 \text{ mA}$	$I_{C2} = 1 \text{ mA}$	$I_{C3} = 4 \text{ mA}$
$r_{\pi1} = 4.33 \text{ k}\Omega$	$r_{\pi2} = 2.6 \text{ k}\Omega$	$r_{\pi3} = 650 \Omega$
$g_{m1} = \frac{1}{43.3} \text{ S}$	$g_{m2} = \frac{1}{26} \text{ S}$	$g_{m3} = \frac{4}{26} \text{ S}$

(c)

图 8.21 (a) MC 1553 宽带积分电路; (b) (a) 中三级串联-串联反馈的基本放大器
(c) (b) 中基本放大器的小信号等效电路

输出射随器 Q_4 的电流由 Q_5 和 Q_8 的电流决定。 Q_8 的面积为 Q_7 和 Q_6 的三倍, 因此

$$I_{C8} = 3 \times 0.8 \text{ mA} = 2.4 \text{ mA}$$

$$I_{C6} = 0.8 \text{ mA}$$

其中,假设在这些偏置计算中 β_F 很大。假如 Q_1 的基极电流很小。 I_{C6} 和 I_{C8} 全部流过 Q_4 , 且

$$I_{C4} \approx I_{C6} + I_{C8} \quad (8.98)$$

因此

$$I_{C4} \approx 3.2 \text{ mA}$$

晶体管 Q_6 提供大部分偏置电流给 Q_4 , 该器件的功能如同 5.2 节中的甲类射随输出级。 Q_6 的作用是允许形成用于稳定直流工作点的负反馈偏置环路, 电阻 R_C 生成足够高的电压降, 从而允许 R_D 连回 Q_1 的基极。晶体管 Q_1, Q_2, Q_3 和 Q_4 连在一个负反馈环路中, 直流情况可近似确定如下:

$$\begin{aligned} I_{RA} &= \frac{5.4}{R_A} \\ &= \frac{5.4}{9\,000} \text{ A} = 0.6 \text{ mA} \end{aligned} \quad (8.99)$$

如果假设 β_F 很高, 可得

$$I_{C1} \approx I_{RA} = 0.6 \text{ mA} \quad (8.100)$$

因为 R_{E1} 上的电压很小, 所以 Q_1 基极电压大约 0.6 V, 假如 Q_1 基极电流很小, 那么 Q_6 集电极电压也为 6 V, 因为任何并联在 R_D 上的电压都会很小。直流输出电压可以写成:

$$V_O = V_{C6} + I_{C6} R_C \quad (8.101)$$

代入数据得

$$V_O = (0.6 + 0.8 \times 3) \text{ V} = 3 \text{ V}$$

Q_4 的基极电压(即 Q_3 的集电极)为 V_{BE} , 它的值比 V_O 高为 3.6 V。 Q_3 的集电极电流为

$$I_{C3} \approx \frac{V_{CC} - V_{C3}}{R_C} \quad (8.102)$$

代入参数值得

$$I_{C3} \approx \frac{6 - 3.6}{600} \text{ A} = 4 \text{ mA}$$

Q_3 基极(即 Q_2 的集电极)电压为

$$V_{B3} \approx -I_{E3} R_{E2} + V_{BE(on)} \quad (8.103)$$

因此

$$V_{B3} = V_{C2} \approx (4 \times 0.1 + 0.6) \text{ V} = 1 \text{ V}$$

I_{C2} 可以计算为

$$I_{C2} \approx \frac{V_{CC} - V_{C2}}{R_B} \quad (8.104)$$

代入参数得

$$I_{C2} \approx \frac{6 - 1}{5\,000} \text{ A} = 1 \text{ mA}$$

交流计算 交流分析可以使用本章前面所用的分析方法。为了进行交流分析, 图 8.21a

由 Q_1 , Q_2 和 Q_3 组成的三级反馈与图 8.18a 所示电路相同, 前面推出的后一个电路的结论可以直接应用于图 8.21a 中的三点式反馈。为了获得图 8.21a 所示电路的电压增益, 简单地用负载电阻 R_c 与三级的跨导并联, 因为射随器 Q_4 的增益几乎恰好为 1。注意电容 C_B 很大, 电阻 R_D 对交流信号相当于接地。因此, 除了后面将要讨论的并联效应之外, R_D 对交流工作点没有影响。由式(8.95), 图 8.21 中的串联-串联三级反馈因子 f 为

$$f = \frac{1}{0.99} \frac{100 \times 100}{100 + 100 + 640} \Omega = 12.0 \Omega \quad (8.105)$$

其中假设 $\beta_0 = 100$ 。

假如环路增益很大, 图 8.21a 中的三级的跨导可以由式(8.96)计算如下:

$$\frac{i_{\omega 3}}{v_s} \approx \frac{1}{f} = \frac{1}{12} \text{ S} \quad (8.106)$$

其中 $i_{\omega 3}$ 是图 8.21a 中 Q_3 的小信号集电极电流。假如射随器 Q_4 的输入阻抗很大, Q_3 的负载电阻为 $R_c = 600 \Omega$, 电路的电压增益为

$$\frac{v_o}{v_s} = -\frac{i_{\omega 3}}{v_s} \times R_c \quad (8.107)$$

将式(8.106)代入式(8.107)得

$$\frac{v_o}{v_s} = -50.0 \quad (8.108)$$

现在分析图 8.21a 所示电路的环路增益。环路增益可通过计算图 8.18c 中的基本放大器表达式的前向增益 a 来计算。图 8.18c 用本例中的数据重画在图 8.21b 中, 假设 $Z_s \approx 0$ 且忽略反馈源。低频小信号等效电路如图 8.21c 所示, 假设 $\beta_0 = 100$, 直接计算基本放大器的增益

$$a = \frac{i_3}{v_s} = 20.3 \text{ S} \quad (8.109)$$

联立式(8.105)和式(8.109)得

$$T = af = 12 \times 20.3 = 243.6 \quad (8.110)$$

现在可以比式(8.94)更准确地算得三级式反馈的跨导为

$$\frac{i_{\omega 3}}{v_s} = \frac{a}{1+T} = \frac{20.3}{244.6} \text{ S} = 0.083 \text{ S} \quad (8.111)$$

将式(8.111)代入式(8.107)算得总增益为

$$\frac{v_o}{v_s} = -\frac{i_{\omega 3}}{v_s} R_c = -0.083 \times 600 = -49.8 \quad (8.112)$$

这与式(8.108)所得的近似值接近。

基本放大器的输入电阻可由图 8.21c 确定为

$$r_{ia} = 13.2 \text{ k}\Omega \quad (8.113)$$

带反馈的输入电阻为

$$R_i = r_{ia}(1+T) \quad (8.114)$$

将式(8.113)和式(8.110)代入式(8.114)得

$$R_i = 13.2 \times 244.6 \text{ k}\Omega = 3.23 \text{ M}\Omega \quad (8.115)$$

正如所预料的,输入端串联反馈导致较高的输入电阻。但在此例中,偏置电阻 R_D 直接分流输入交流信号,且处于环路之外。因为 $R_D = 12 \text{ k}\Omega$, 比 R_i 小得多,电阻 R_D 就决定了电路的输入电阻。

最后,电路的输出电阻很有意思。三级反馈的输出电阻可以在图 8.21c 中考虑 Q_3 模型的输出电阻 r_o 来计算。所得的电阻乘以 $(1 + T)$, 其结果就比 Q_3 的集电极负载电阻大得多, $R_c = 600 \Omega$ 。全电路的输出电阻因此集中在射随器 Q_4 通过一个 600Ω 源电阻反馈回的输出电阻上,即

$$R_o = \frac{1}{g_{m4}} + \frac{R_c}{\beta_4} = \left(\frac{26}{3.2} + \frac{600}{100} \right) \Omega = 14 \Omega \quad (8.116)$$

8.5.3 串联-并联反馈

串联-并联反馈原理如图 8.4 所示。基本放大器与反馈网络有相同的输入电流和输出电压。将输入电流和输出电压作为独立变量的二端口表达式,用图 8.22 的混合 h 参数来表达。该 h 参数可以用来描述如图 8.23a 所示的非理想串联-并联反馈电路。对该图输入端的电压求和得

$$v_s = (z_s + h_{11a} + h_{11f}) i_i + (h_{12a} + h_{12f}) v_o \quad (8.117)$$

计算输出电流和,即

$$0 = (h_{21a} + h_{21f}) i_i + (y_L + h_{22a} + h_{22f}) v_o \quad (8.118)$$

现在定义

$$z_i = z_s + h_{11a} + h_{11f} \quad (8.119)$$

$$y_o = y_L + h_{22a} + h_{22f} \quad (8.120)$$

与前面的例子作同样的假设:

$$|h_{12a}| \ll |h_{12f}| \quad (8.121)$$

$$|h_{21a}| \gg |h_{21f}| \quad (8.122)$$

可以看出

$$\frac{v_o}{v_s} = A \approx \frac{-\frac{h_{21a}}{z_i y_o}}{1 + \left(-\frac{h_{21a}}{z_i y_o} \right) h_{21f}} = \frac{a}{1 + af} \quad (8.123)$$

其中

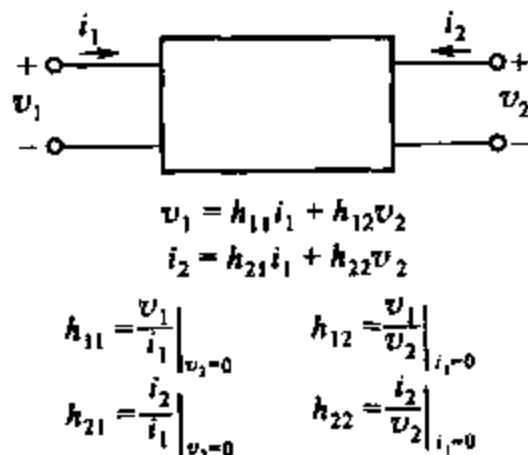
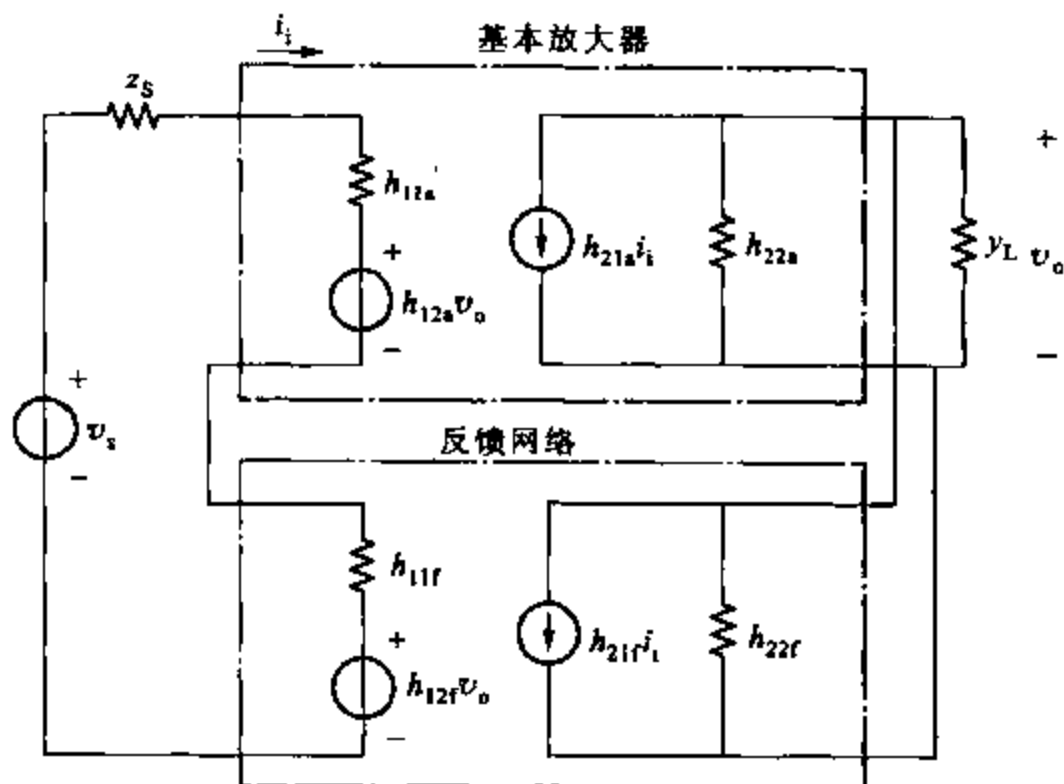


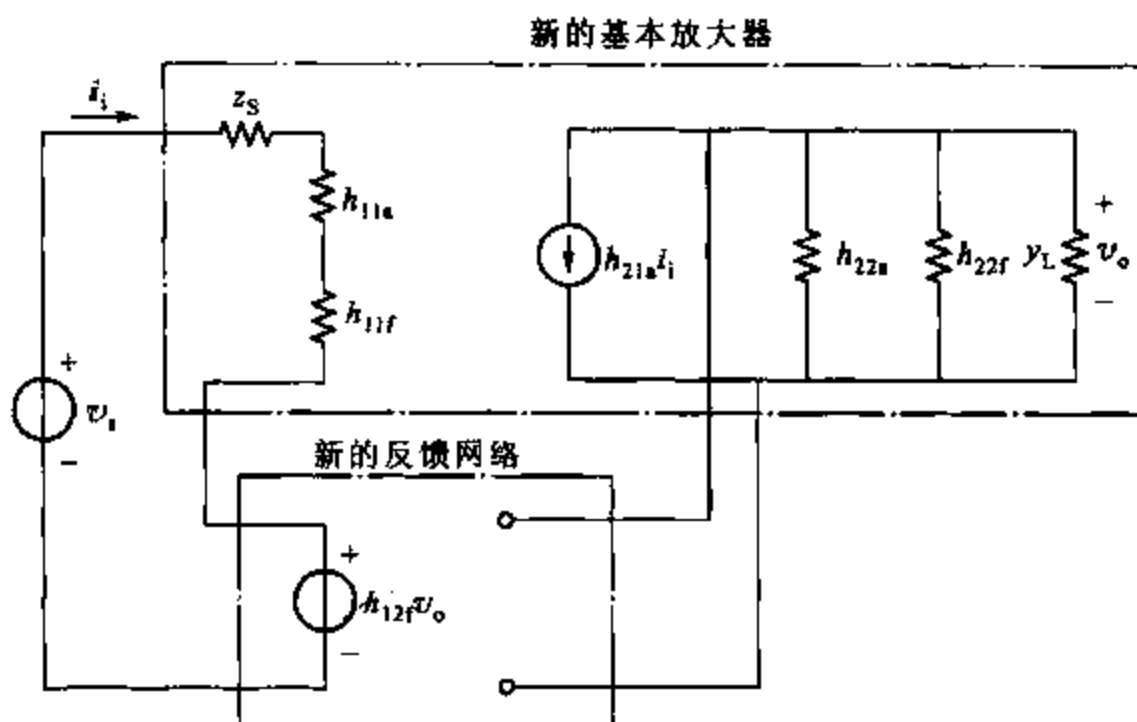
图 8.22 二端口网络的 h 参数描述

$$a = - \frac{h_{21a}}{z_i y_o} \quad (8.124)$$

$$f = h_{12f} \quad (8.125)$$



(a)



(b)

图 8.23 (a)用 h 参数描述的串联-并联反馈组态;(b)忽略电流源 $h_{21f}i_i$ 和电压源 $h_{12f}v_o$ 后的电路

由式(8.121)和式(8.122)近似,从图 8.23a 中移除电源 $h_{12a}v_o$ 和 $h_{21a}i_i$ 即可得到式(8.124)和式(8.125)中的 a 的电路描述。这就给出了图 8.23b 的近似描述,其中,新的基本放大器包括了原始基本放大器的负载效应。如同前面的例子,图 8.23b 的电路描述了式(8.123)、式(8.124)和式(8.125),具有理想放大器的形式。因此,所有 8.4.1 节的方程都可用于

电路。

例如,分析图 8.24 的基本串联-并联运算放大器,它非常符合上面描述的模型。首先由图 8.25 确定反馈网络的 h 参数:

$$h_{22f} = \left. \frac{i_2}{v_2} \right|_{v_1=0} = \frac{1}{R_E + R_F} \quad (8.126)$$

$$h_{12f} = \left. \frac{v_1}{v_2} \right|_{i_1=0} = \frac{R_E}{R_E + R_F} \quad (8.127)$$

$$h_{11f} = \left. \frac{v_1}{i_1} \right|_{v_2=0} = R_E // R_F \quad (8.128)$$

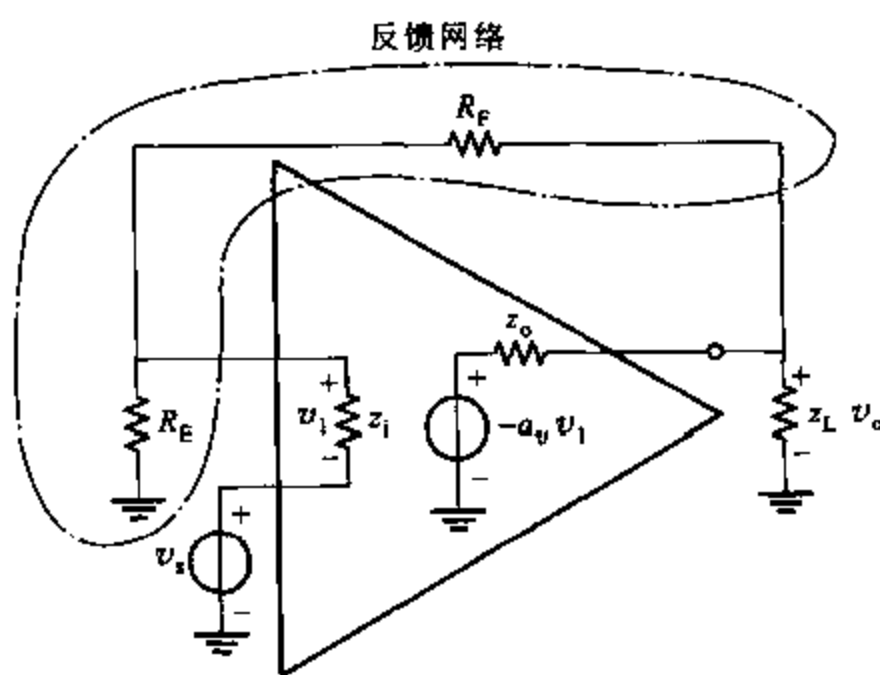


图 8.24 用一个运放增益的串联-并联反馈

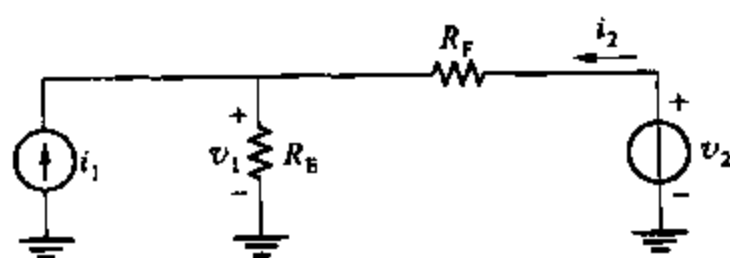


图 8.25 决定图 8.24 中反馈网络的 h 参数的电路

使用式(8.122)时,忽略 h_{21f} 。包含负载效应的完全反馈放大器如图 8.26 所示且与图 8.23b 直接对应。(仅有的不同之处是运算放大器的输出由戴维宁而非诺顿等效模型表示。)

忽略反馈电源,基本放大器的增益 a 可由图 8.26 计算得

$$a = \frac{z_i}{z_i + R} a_v \frac{z_{LX}}{z_{LX} + z_o} \quad (8.129)$$

其中

$$R = R_E // R_F \quad (8.130)$$

$$z_{LX} = z_L // (R_E + R_F) \quad (8.131)$$

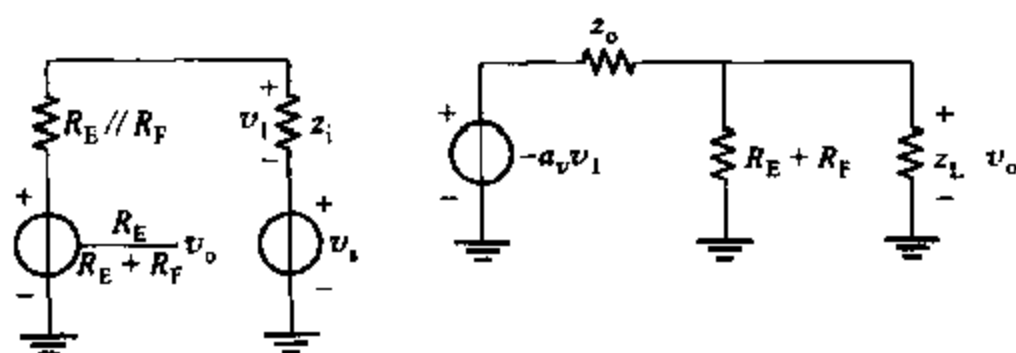


图 8.26 图 8.24 的等效电路

同时

$$f = \frac{R_E}{R_E + R_F} \quad (8.132)$$

因此,反馈电路的总增益为

$$A = \frac{v_o}{v_s} = \frac{a}{1 + af} \quad (8.133)$$

A 可由式(8.129)和式(8.132)估算。

示例

假设图 8.24 的电路所用的低频差分放大器参数 $z_i = 100 \text{ k}\Omega$, $z_o = 10 \text{ k}\Omega$, $a_v = 3\,000$ 。如果 $R_E = 5 \text{ k}\Omega$, $R_F = 20 \text{ k}\Omega$ 且 $z_L = 10 \text{ k}\Omega$, 计算反馈放大器的低频输入阻抗。注意本例中的 z_o 并不是像运算放大器中通常使用的那么小, 这种情形出现在某些应用之中。

解决这个问题最好的方法是首先计算基本放大器的输入阻抗, 然后像式(8.25)所指出的那样乘以 $(1 + T)$ 来计算反馈放大器的输入阻抗。观察图 8.26, 基本放大器的输入阻抗为

$$z_{ia} = z_i + R_E // R_F = (100 + 5 // 20) \text{ k}\Omega = 104 \text{ k}\Omega$$

图 8.27 中的 z_L 与 $(R_F + R_E)$ 并联电阻得

$$z_{LX} = \frac{10 \times 25}{35} \text{ k}\Omega = 7.14 \text{ k}\Omega$$

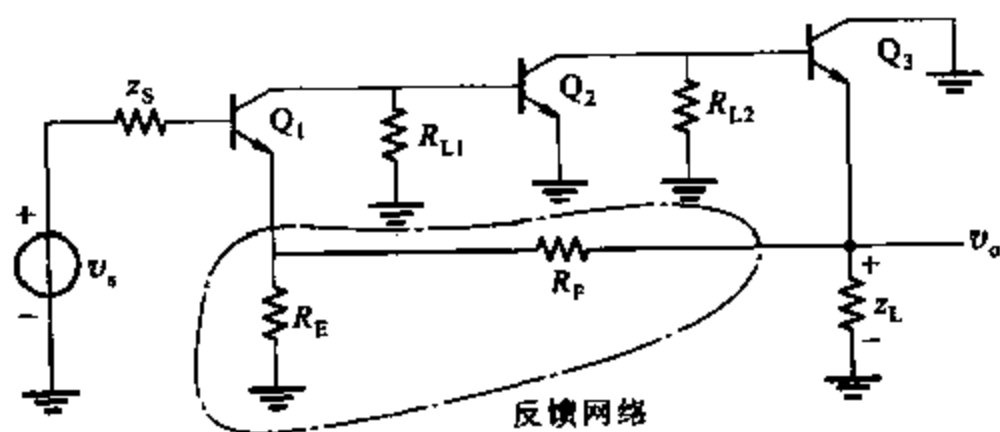


图 8.27 串联 - 并联反馈电路

代入式(8.129), 对图 8.26 中基本放大器的增益, 有

$$a = \frac{100}{100+4} \times 3\,000 \times \frac{7.14}{7.14+10} = 1202$$

由式(8.127), 此电路的反馈因子 f 为

$$f = \frac{5}{5+20} = 0.2$$

环路增益为

$$T = af = 1202 \times 0.2 = 240$$

反馈放大器的输入阻抗为

$$Z_i = z_{in}(1+T) = 104 \times 241 \text{ k}\Omega = 25 \text{ M}\Omega$$

在这个例子中, 由于 $(R_F + R_E)$ 在输出端产生的负载效应对基本放大器的增益 a 有显著的影响, 因此也对反馈放大器的输入阻抗有显著的影响。

在串联-并联反馈电路的其他例子中, 考虑图 8.18a 中的串联-串联三级反馈, 但假设输出为作用在 Q_3 的发射极上的电压信号, 如图 8.27 所示。相同的电路, 假如输出在不同的结点上, 其反馈函数不相同。如同图 8.18a 的情况, 图 8.27 的基本放大器不能用二端口网络表示。但是, 反馈网络可以用它表示且 h 参数适用, 如图 8.28 所示。反馈网络的 h 参数由式(8.126), 式(8.127)和式(8.128)给出, 忽略 h_{21f} 。图 8.28 的分析和平常的分析方法相同。

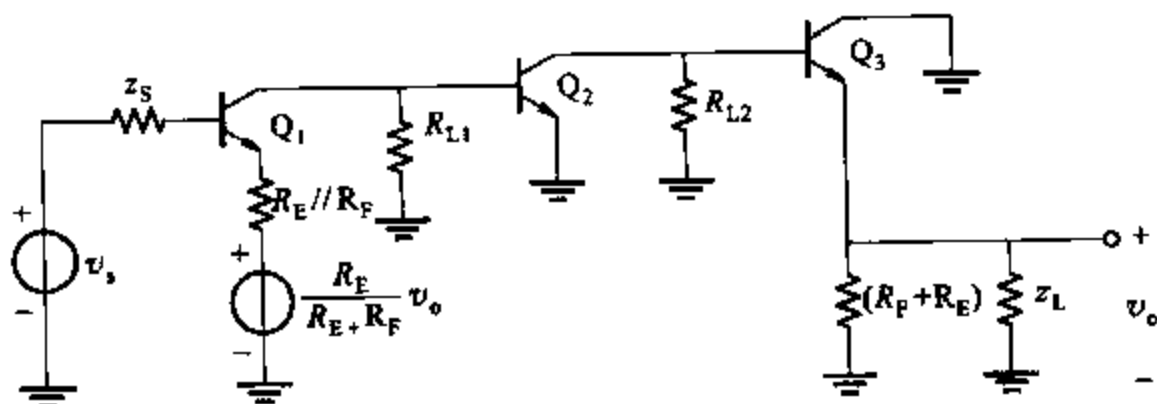


图 8.28 8.27 中用二端口网络代表反馈网络的等效电路

8.5.4 并联-串联反馈

并联-串联反馈原理如图 8.11 所示。基本放大器和反馈网络具有相同的输入电压和输出电流, 图 8.29 定义的混合 g 参数最适合用于这种情况。反馈电路如图 8.30a 所示, 在输入端有

$$i_s = (y_s + g_{11a} + g_{11f})v_i + (g_{12a} + g_{12f})i_o \quad (8.134)$$

在输出端有

$$0 = (g_{21a} + g_{21f})v_i + (z_L + g_{22a} + g_{22f})i_o \quad (8.135)$$

定义

$$y_i = y_s + g_{11a} + g_{11f} \quad (8.136)$$

$$z_o = z_L + g_{22a} + g_{22f} \quad (8.137)$$

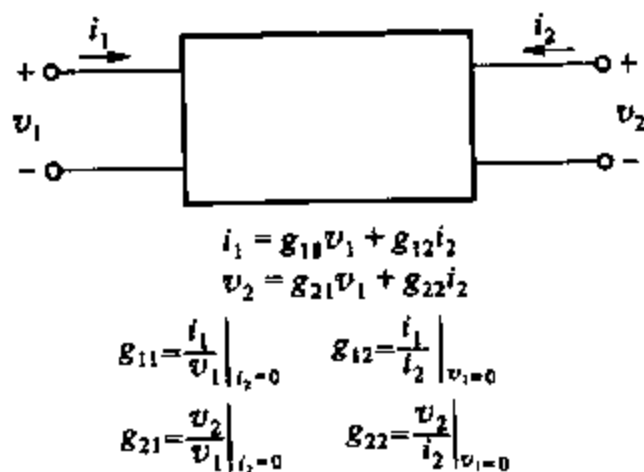


图 8.29 二端口网络的 g 参数描述

并做假设

$$|g_{12a}| \ll |g_{12f}| \quad (8.138)$$

$$|g_{21a}| \gg |g_{21f}| \quad (8.139)$$

得

$$\frac{i_o}{i_s} = A \approx \frac{-\frac{g_{21a}}{y_i z_o}}{1 + \left(-\frac{g_{21a}}{y_i z_o}\right) g_{12f}} = \frac{a}{1 + af} \quad (8.140)$$

其中

$$a = -\frac{g_{21a}}{y_i z_o} \quad (8.141)$$

$$f = g_{12f} \quad (8.142)$$

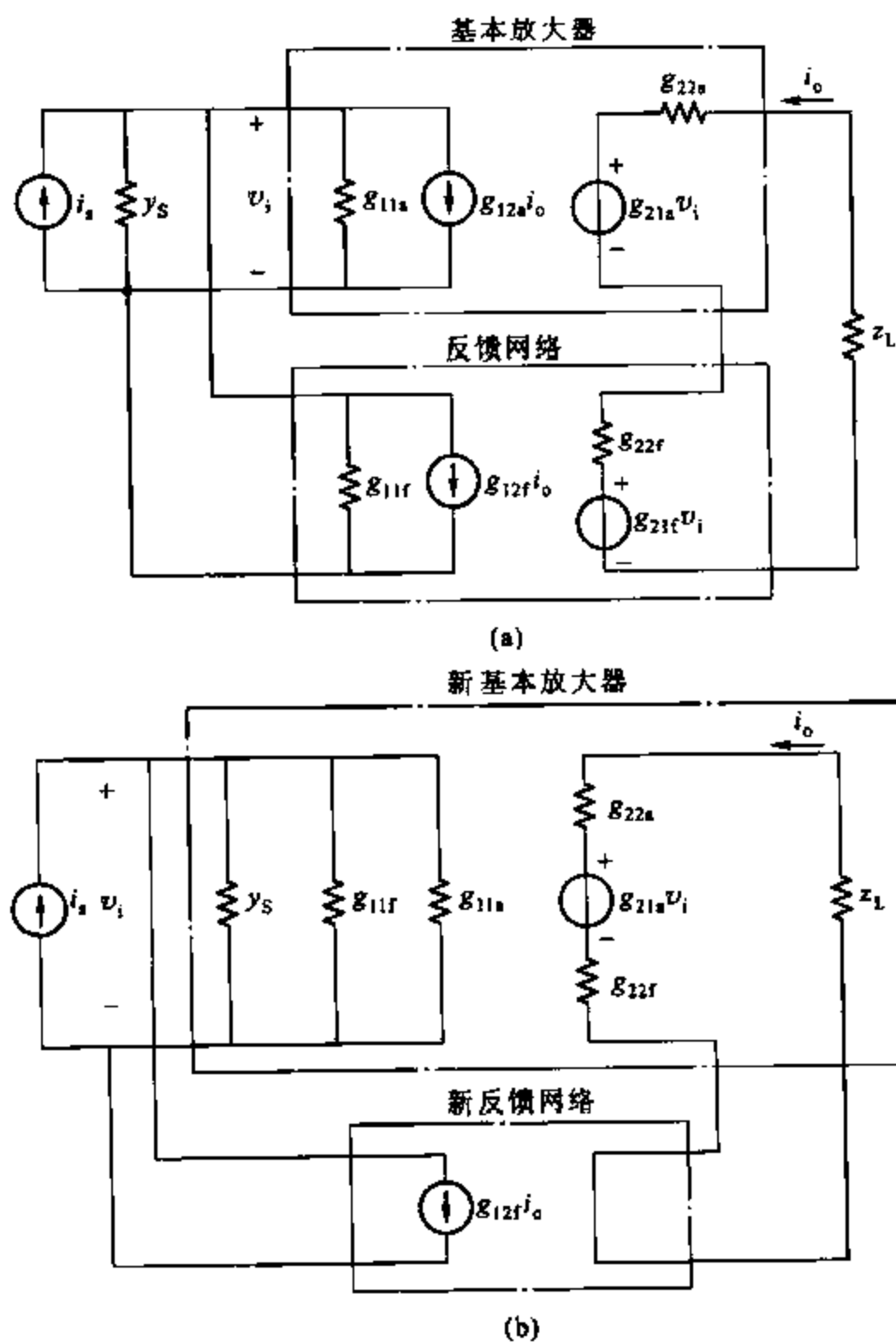


图 8.30 (a)用 g 参数表示的并联-串联反馈结构;(b)忽略电压源 $g_{21f}v_i$ 和电流源 $g_{12a}i_o$ 重画的(a)的电路

按照前面例子的推算过程,可以移除电源 $g_{21f}v_i$ 和 $g_{12f}i_o$ 。找到这种情况的电路描述,以获得图 8.30b 的近似描述。因为具有理想反馈电路的形式,所有 8.4.3 节的结论这里都可以使用。

一个通常的并联-串联反馈放大器为图 8.31 所示的电流反馈对。因此,图 8.31 中的基本放大器不能用二端口网络表示,图 8.30b 的形式不能直接使用。但是,如同前面的例子,反馈网络可以用二端口描述, g 参数可以通过图 8.32 计算得出

$$g_{11f} = \left. \frac{i_1}{v_1} \right|_{i_2=0} = \frac{1}{R_F + R_E} \quad (8.143)$$

$$g_{12f} = \left. \frac{i_1}{i_2} \right|_{v_1=0} = -\frac{R_E}{R_F + R_E} \quad (8.144)$$

$$g_{22f} = \left. \frac{v_2}{i_2} \right|_{v_1=0} = R_E // R_F \quad (8.145)$$

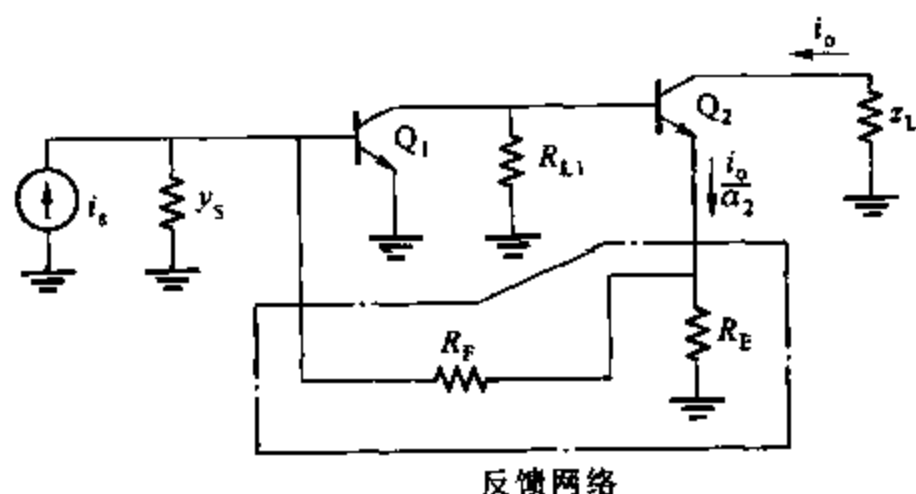


图 8.31 电流反馈电路

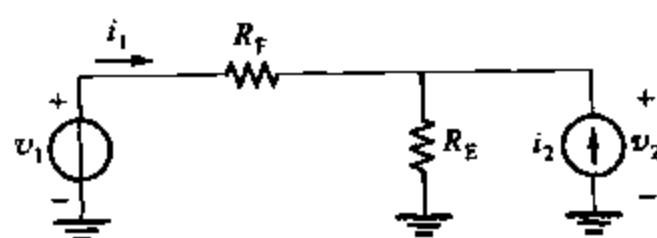


图 8.32 计算图 8.31 中反馈网络 g 参数的电路

使用式(8.139)时,忽略 g_{21f} 。假设 $g_{21f}v_i$ 可忽略,可以重画图 8.31 中的电路如图 8.33 所示。该电路具有理想输入差分结点,反馈函数可确定为

$$f = -\frac{R_E}{R_E + R_F} \frac{1}{a_2} \quad (8.146)$$

基本放大器的增益 a 是由移除反馈电源计算图 8.33 所示电路的电流增益来确定的。带反馈的总电流增益可由式(8.40)计算获得。

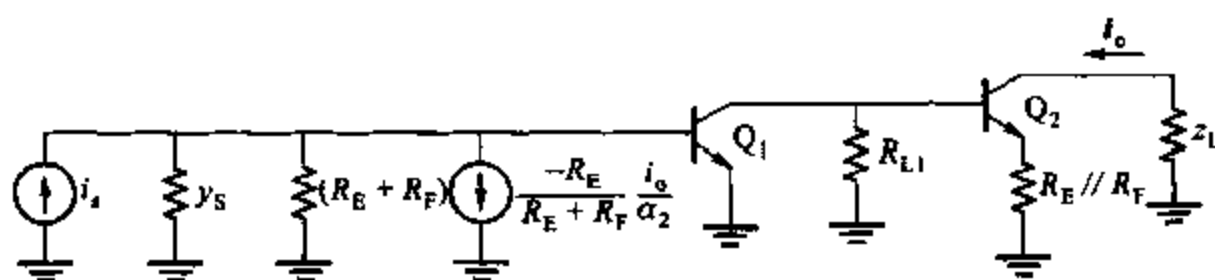


图 8.33 图 8.31 反馈网络使用二端口表示的等效电路

8.5.5 总结

由以上考虑实际反馈电路和负载效应所推出的结论可以总结如下:

首先,输入输出变量必须确定,并且在输入和输出端必须确定反馈类型为串联或是并联。

反馈函数 f 由以下分析得出。假如反馈在输入端并联,将输入反馈结点与地短接,计算反馈电流。假如反馈在输入端串联,将输入反馈结点开路来计算反馈电压。在以上两种情况下,假如反馈在输出端并联,则由电压源来驱动反馈网络。假如反馈在输出端串联,则由电流源来驱动。

反馈对基本放大器的负载效应分析如下。假如反馈在输入端串联,将输入反馈结点与地短接来分析反馈对输出的负载。假如反馈在输入端串联,将输入反馈结点开路来计算输出反馈负载,同样,假如反馈在输出端串联或并联,开路或短路输出反馈结点来计算反馈对输入的负载。这些结论及其他结果总结在表 8.1 中。

表 8.1

反馈结构	二端口 网络参数	输出 变量	输入 变量	转移函数 稳定性	Z_i	Z_o	计算反馈负载		计算反馈函数 f
							输入	输出	
Shunt - shunt 并联 - 并联	y	v_o	i_i	$\frac{v_o}{i_i}$ 传输电阻	低	低	输出反馈 结点短路	输入反馈 结点短路	在输出端用一个电压驱动反馈网络,计算流入短路电流
Shunt - series 并联 - 串联	g	i_o	i_i	$\frac{i_o}{i_i}$ 电流增益	低	高	输出反馈 结点开路	输入反馈 结点短路	用一个电流驱动反馈网络,计算流入短路电流
Series - shunt 串联 - 并联	h	v_o	v_i	$\frac{v_o}{v_i}$ 电压增益	高	低	输出反馈 结点短路	输入反馈 结点开路	用一个电压驱动反馈网络,计算开路电压
Series - series 串联 - 串联	z	i_o	v_i	$\frac{i_o}{v_i}$ 跨导	高	高	输出反馈 结点开路	输入反馈 结点开路	用一个电流驱动反馈网络,计算开路电压

8.6 单级反馈

本章对反馈电路的分析主要针对大多数基本放大器具有多级的电路。但是,处理其中某

些电路的时候(如图 8.18a 中的串联-串联三级电路),等效电路由包含发射极电阻的一级或多级放大级推出(参见图 8.18c)。这里讨论一个放大级本身就是一个反馈电路的形式。因此,图 8.18c 中的电路在一个反馈环路里又包含一个反馈环路,这对放大器的性能有直接影响。例如,图 8.18c 中 Q_3 的发射极对 Q_1 有一个线性作用,在闭环时总反馈也是一样。因此,计算局部和总环路增益的效应非常重要。局部反馈通常代替单级反馈使用。局部反馈通常在独立放大级和总反馈环路内部使用。在这节将分析两个基本单级反馈电路的低频特性。

8.6.1 局部串联-串联反馈

图 8.34a 所示为一双极型工艺(发射极负反馈)的局部串联-串联反馈放大级。这个电路的特性在 3.3.8 节中已经分析过了,现在从反馈的观点再来分析它。源极负反馈的 MOS 管可得到相似的结果。

图 8.34a 的电路可被看作一个 8.4.4 节和 8.5.2 节描述的串联-串联负反馈结构。这里不使用在这些节中推出的形式,直接由图 8.34b 所示的低频小信号等效电路来得出这种简单情形的更直接的计算。为了简化,假设电源阻抗为零,但是如果需要可以用 r_b 集总代替。假如计算穿越平面 AA' 的戴维宁等效模型,图 8.34b 可重画为图 8.34c 所示电路。差分结点的存在是显而易见的, $i_o R_E$ 被表示为反馈电压 v_{fb} 。写出图 8.34c 的方程得

$$v_1 = \frac{r_\pi}{r_\pi + r_b + R_E} (v_s - v_{fb}) \quad (8.147)$$

$$i_o = g_m v_1 \quad (8.148)$$

$$v_{fb} = i_o R_E \quad (8.149)$$

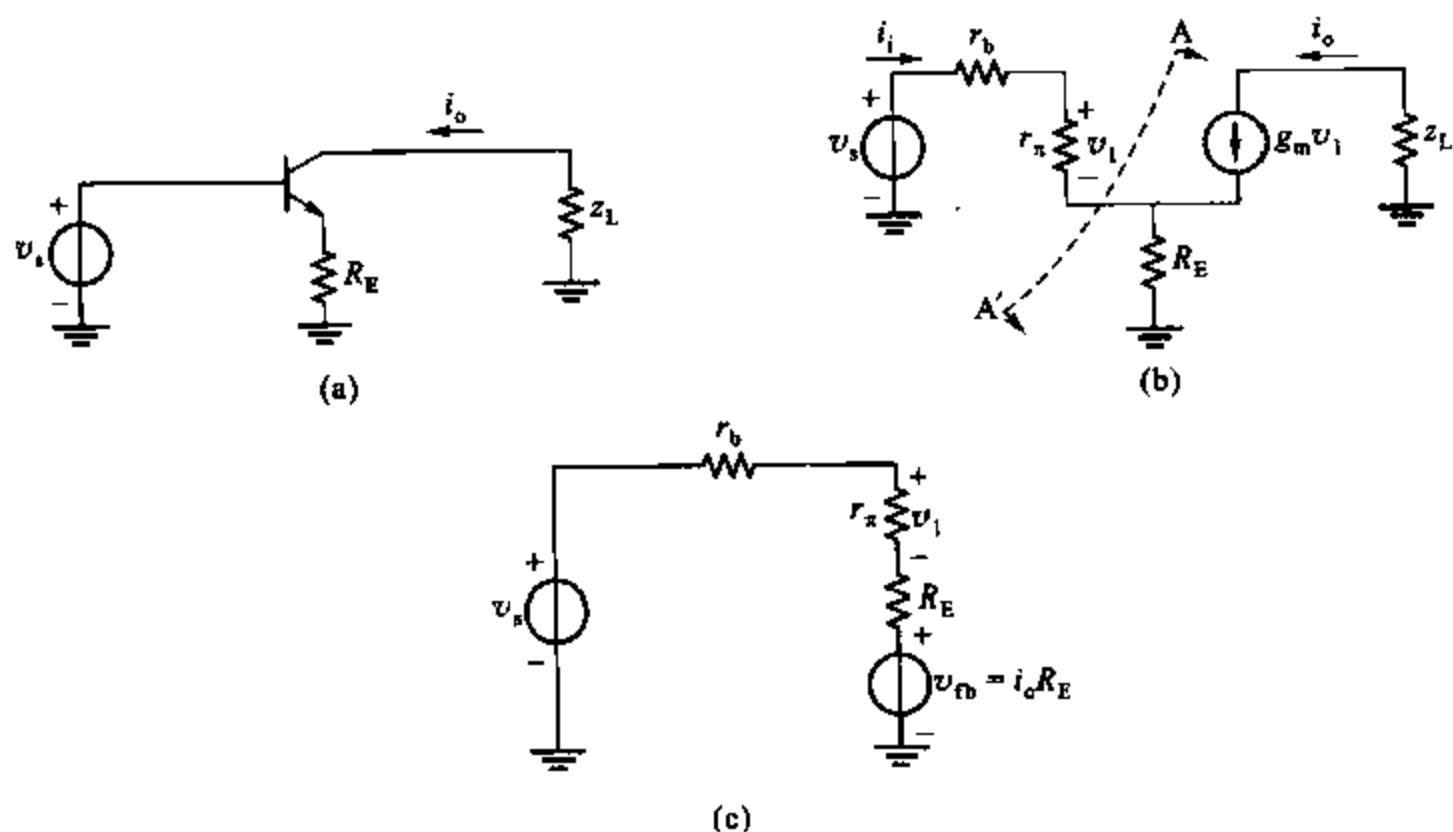


图 8.34 (a) 单级串联-串联反馈电路;(b) (a)的低频等效电路;
(c) (b)的穿过平面 AA' 的戴维宁等效电路

这些方程具有理想反馈方程的形式。其中, v_1 是误差电压, i_o 是输出信号, v_{fb} 是反馈信号。由式(8.147)和式(8.148)可得

$$i_o = \frac{g_m r_\pi}{r_\pi + r_b + R_E} (v_s - v_{fb}) \quad (8.150)$$

由此可得

$$a = \frac{g_m r_\pi}{r_\pi + r_b + R_E} = \frac{g_m}{1 + \frac{r_b + R_E}{r_\pi}} \quad (8.151)$$

由式(8.149)得

$$f = R_E \quad (8.152)$$

由此对整个电路有

$$\frac{i_o}{v_s} = A = \frac{a}{1 + af} = \frac{1}{R_E} \frac{1}{1 + \frac{1}{R_E} \left(\frac{1}{g_m} + \frac{r_b + R_E}{\beta_0} \right)} \quad (8.153)$$

对于大环路增益

$$A \approx \frac{1}{R_E}$$

环路增益用 $T = af$ 给出, 因此

$$T = \frac{g_m R_E}{1 + \frac{r_b + R_E}{r_\pi}} \quad (8.154)$$

假如 $(r_b + R_E) \ll r_\pi$, 可得

$$T \approx g_m R_E \quad (8.155)$$

电路的输入阻抗为

$$\text{输入阻抗} = (1 + T) \times (v_{fb} = 0 \text{ 时的输入阻抗}) = (1 + T)(r_b + r_\pi + R_E) \quad (8.156)$$

将式(8.154)代入式(8.156)中得

$$\text{输入阻抗} = r_b + R_E + r_\pi (1 + g_m R_E) \quad (8.157)$$

$$= r_b + r_\pi + (\beta_0 + 1) R_E \quad (8.158)$$

假如包括晶体管的输出电阻 r_o , 电路的输出阻抗为

$$\text{输出阻抗} \approx r_o \left(1 + \frac{g_m R_E}{1 + \frac{r_b + R_E}{r_\pi}} \right) \quad (8.159)$$

使用发射极反馈时, 与预料的一样, 输入和输出电阻都增大了。

示例

计算图 8.21b 中 Q_3 表示的串联-串联反馈放大级的低频参数。相关参数如下:

$$R_E = 88 \, \Omega \quad r_\pi = 650 \, \Omega \quad g_m = \frac{4}{26} \text{ S} \quad \beta_0 = 100 \quad r_b = 0$$

Q_3 在 Q_2 集电极的负载由式(8.158)的输入阻抗表达式给出,即

$$R_{i3} = (650 + 101 \times 88) \Omega = 9.54 \text{ k}\Omega \quad (8.160)$$

从 Q_3 的集电极看进去的输出电阻可由式(8.159)计算,由 $r_o = 5 \text{ k}\Omega$ 充当图 8.21b 中的有限电源电阻。如果假设 $I_{C3} = 4 \text{ mA}$ 时 Q_3 的 $r_o = 25 \text{ k}\Omega$,由式(8.159)得

$$R_{o3} = 25 \left(1 + \frac{\frac{4}{26} \times 88}{1 + \frac{5088}{650}} \right) \text{ k}\Omega = 63 \text{ k}\Omega \quad (8.161)$$

在图 8.21b 的例子中,以上的输出电阻都要乘以三级串联-串联反馈的环路增益。

最后,当图 8.21c 中 Q_2 的集电极交流电压 v_4 确定时, Q_3 的输出电流可由式(8.153)计算:

$$\frac{i_3}{v_4} = \frac{1}{88} \frac{1}{1 + \frac{1}{88} \left(\frac{26}{4} + \frac{88}{100} \right)} \text{ S} = \frac{1}{95.4} \text{ S} \quad (8.162)$$

注意因为电压 v_4 在 Q_3 的基极上,以上计算中的有效电源电阻为零。

8.6.2 局部串联-并联反馈

另一个本地反馈的例子是如图 8.35a 所示的共漏放大级。这个电路为串联-并联反馈组态。小信号模型如图 8.35b 所示。通过 g_{mb} 压控电流源的电流由其电压控制。因此,它就可被一个值为 $1/g_{mb}$ 的电阻取代。应用这种转换关系,图 8.35b 所示的小信号模型重画在图 8.35c 中,其中

$$R'_L = R_L // r_o // \frac{1}{g_{mb}} \quad (8.163)$$

反馈网络作用于 R'_L 上。使用图 8.35d,反馈网络的 h 二端口参数为

$$h_{11f} = \left. \frac{v_1}{i_1} \right|_{v_2=0} = 0 \quad (8.164)$$

$$h_{22f} = \left. \frac{i_2}{v_2} \right|_{i_1=0} = \frac{1}{R'_L} \quad (8.165)$$

反馈因子为

$$f = h_{12f} = \left. \frac{v_1}{v_2} \right|_{i_1=0} = 1 \quad (8.166)$$

如同 8.5.3 节所述,忽略通过反馈网络的前向传输, h_{21f} 用二端口模型代替反馈网络,图 8.35b 重画为图 8.35e。图 8.35e 中的反馈设为零,就得基本放大器的增益 a 为

$$a = \left. \frac{v_o}{v_s} \right|_{v_{fb}=0} = g_m R'_L \quad (8.167)$$

由式(8.166)和式(8.167),闭环增益为

$$A = \frac{a}{1 + af} = \frac{g_m R'_L}{1 + g_m R'_L} \quad (8.168)$$

当 $g_m R'_L \rightarrow \infty$ 时, 这种闭环增益总是小于 1 且趋近于 1。

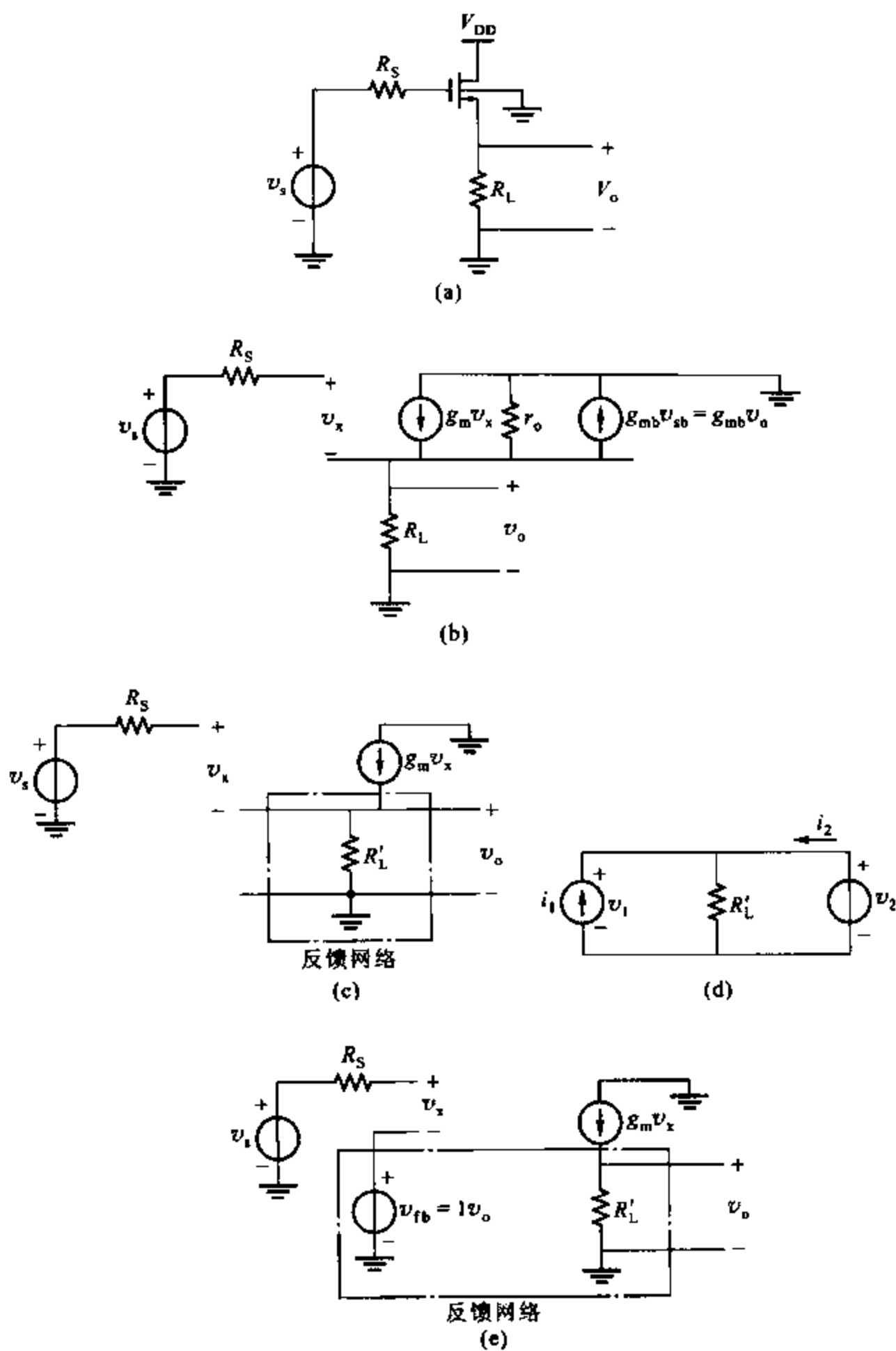


图 8.35 (a) 源极跟随器驱动电阻负载; (b) 电路(a)的小信号模型; (c) 简单的小信号模型; (d) 求反馈网络二端口参数的电路; (e) 用二端口模型代替(c)中反馈网络的电路

由图 8.35e, 带反馈的输出电阻为 R'_L , 闭环输出电阻为

$$R_o = \frac{R'_L}{1 + af} = \frac{R'_L}{1 + g_m R'_L} = \frac{1}{\frac{1}{R'_L} + g_m} = \frac{1}{\frac{1}{R_L} + \frac{1}{r_o} + g_{mb} + g_m} \quad (8.169)$$

其中式(8.163)用在最右边的表达式中。输出阻抗由于反馈而减小。输入阻抗无限大, 因为图 8.35 模型中栅极到源极的电阻为无穷大。

8.7 反馈电路用作稳压器

分析实际电路的一个例子, 稳压器的控制。本节介绍有两个目的, 一是解释反馈电路在实际中的应用, 另外也介绍稳压器设计的原理。

稳压器是一种被广泛使用的器件, 输入是不稳定的(可能是波动的)直流电压, 输出可作其他电路的供电电压。³ 依靠这种方式, 电压源的波动可从本质上被消除, 其结果通常提高由此类电源驱动的电路的性能。

普通型的稳压器是串联稳定器, 原理如图 8.36 所示。称之为串联是因为输出电压由与输出串联的电源晶体管控制。这是大增益电压放大器的最后一级, 如图 8.36 所示。

前面章节中总结的许多技术在这种电路的设计中是适用的。稳定电压 V_R 可由齐纳二极管或者带隙基准源产生, 如第四章所述。稳定电压加在大增益放大器的非倒相输入端, 并与由电阻 R_1 和 R_2 采样的输出电压比较。这可以被认为是一个串联-并联反馈结构, 使用式(8.123)发现, 对于大环路增益, 有

$$V_o = V_R \frac{R_1 + R_2}{R_2} \quad (8.170)$$

改变 R_1/R_2 的比例可以改变输出电压。

图 8.36 中放大器所要求的特性为第六章所描述的高性能运算放大器。特别重要的性能是低漂移和低失调, 它们能使输出电压 V_o 尽可能的稳定。注意串联-并联反馈电路带给标准信号发生器一个较高的输入阻抗, 以减小负载效应。此外, 在 V_o 上的输出阻抗很低, 而这正是良好电压源的要求。假如忽略反馈负载效应(在这种电路中, 这通常是一个恰当的假设), 稳压器的低频输出电阻由式(8.29)给出:

$$R_o = \frac{r_{\infty}}{1 + T} \quad (8.171)$$

其中

$$T = a \frac{R_2}{R_1 + R_2} \quad (8.172)$$

r_{∞} = 不带反馈的放大器的输出电阻

a = 稳压器前向增益的幅值

假如通过改变 R_1/R_2 的值改变稳压器的输出电压, 则式(8.171)和式(8.172)表明 T 和 R_o 也改变了。假设 V_R 恒定且 $T \gg 1$, 在式(8.171)中代入式(8.170)和式(8.172)分析这

种情况,即

$$R_o = \frac{r_{oe}}{aV_R} V_o \quad (8.173)$$

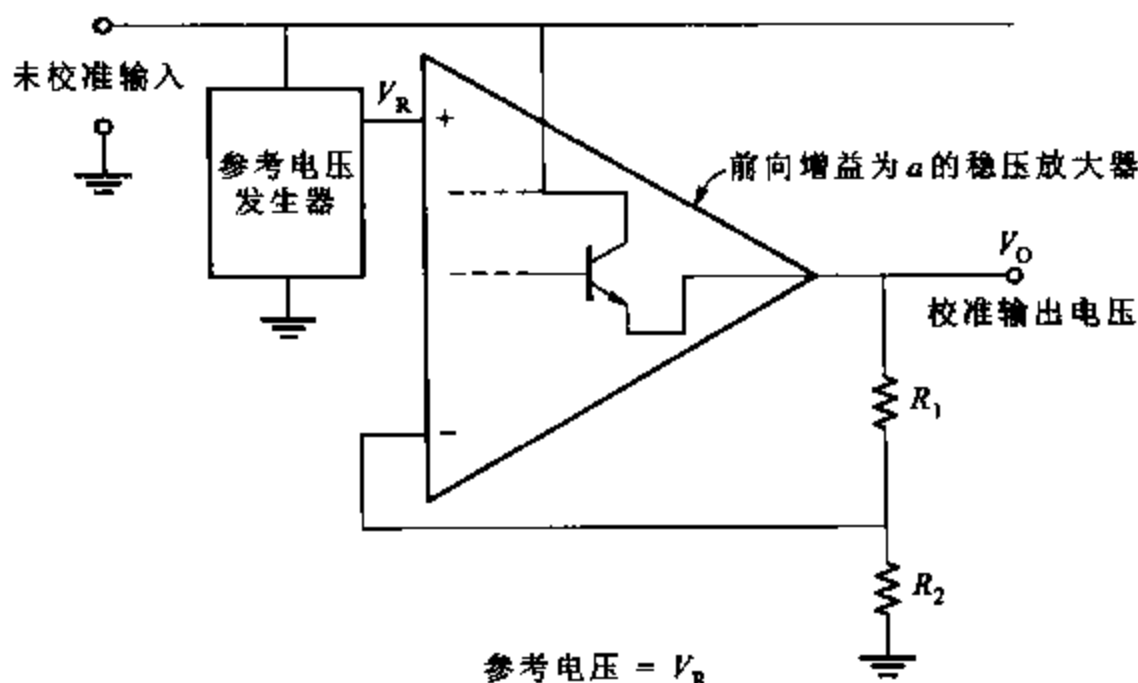


图 8.36 串联稳压器的原理图

这表明假如 a 、 V_R 和 r_{oe} 固定, R_o 就是 V_o 的函数。假如稳压器的输出电流变化 ΔI_o , 那么 V_o 变化 ΔV_o , 其中

$$\Delta V_o = R_o \Delta I_o \quad (8.174)$$

将式(8.173)代入式(8.174)得

$$\frac{\Delta V_o}{V_o} = \frac{r_{oe}}{aV_R} \Delta I_o \quad (8.175)$$

本方程可以计算稳压器的负载调节率。这是一个广泛使用的规范,它给出 V_o 改变百分比时 I_o 的指定变化,这种变化应尽可能小。

另一种常用的稳压器是线稳压器,它的输入电压变化百分比引起输出电压的指定变化。因为 V_o 与 V_R 直接成比例,线稳压器取决于参考电压 V_R 及输入电压的变化以及使用的特定参考电路。

作为实际稳压器的一个例子,分析如图 8.37 所示的 723 单片电路稳压器的电路图。图 8.37 虚线右边部分是带反馈的电压放大器,它与图 8.36 有联系。图 8.36 的分压电阻 R_1 和 R_2 在图 8.37 中标注为 R_A 和 R_B ,在芯片之外。输出功率晶体管 Q_{15} 在芯片上且与 Q_4 达林顿连接以获得高增益。差分对 Q_{11} 和 Q_{12} 与有源负载 Q_9 产生了放大器的大部分增益。电阻 R_C 将参考电压与放大器耦合, C_2 为外接电容,它用来防止大增益反馈环路产生振荡。它的功能将在第九章中讨论。

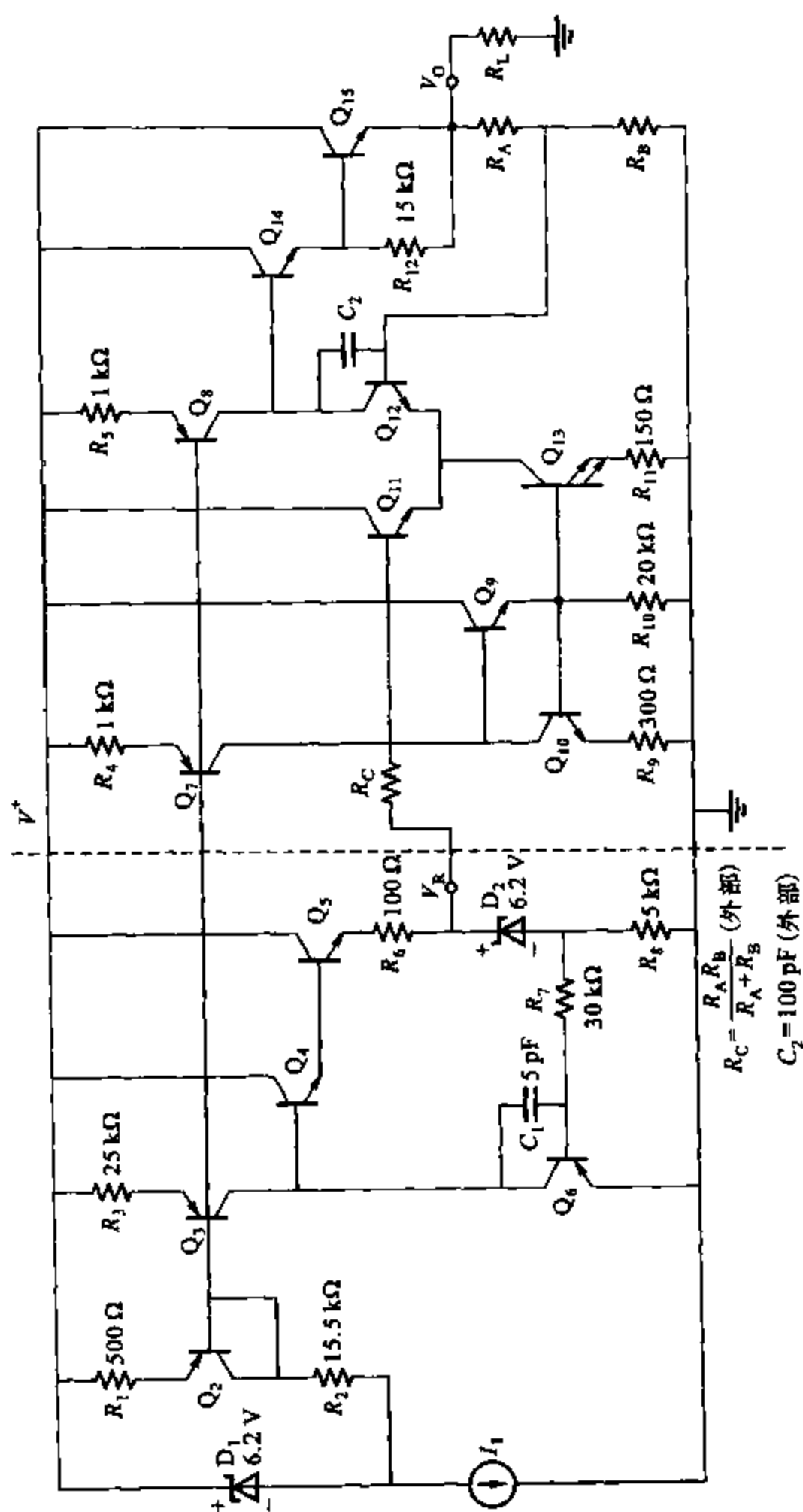


图 8.37 723 单片稳压器的电路图

示例

计算 723 的偏置情况和负载调节率。假设全部供电电压为 15 V。

以齐纳二极管为基准的偏置电路的计算由图 8.37 的左侧开始。电流源 I_1 模拟 MOS 管电流源, 该电流源使用一个表现为阈值电压为负的结型场效应管 (JFET), 其特性与 n 沟道 MOS 型相同。⁴ 二极管 D_1 和 D_2 是齐纳二极管。⁴ 当工作在反向击穿区时, 齐纳二极管上的电压如第二章所述, 几乎为恒定。

齐纳二极管 D_1 产生一个大约为 6.2 V 的电压降用于在 Q_2 上生成一个参考电流:

$$\begin{aligned} I_{C2} &= -\frac{6.2 - |V_{BE2}|}{R_1 + R_2} \\ &= -\frac{6.2 - 0.6}{16\,000} \text{ A} \\ &= -348 \mu\text{A} \end{aligned} \quad (8.176)$$

注意 I_{C2} 几乎独立于供电电压之外, 因为它仅仅取决于齐纳二极管电压。

R_1 和 Q_2 上的电压使电流源 Q_3, Q_7, Q_8 产生电流, 为

$$I_{C7} = I_{C8} = -174 \mu\text{A} \quad (8.177)$$

$$I_{C3} = -10.5 \mu\text{A} \quad (8.178)$$

电流源 Q_3 在电压参考电路上产生工作电流, 该电压参考电路由 Q_4, Q_5, Q_6 和电阻 R_6, R_7, R_8 以及齐纳二极管 D_2 组成。这个电路可以视为第四章讨论的威尔逊电流源的变形, 负反馈环路强制 Q_6 的电流等于 I_3 , 因此

$$I_{C6} = 10.5 \mu\text{A} \quad (8.179)$$

其中忽略 Q_4 的基极电流。

输出参考电压 V_R 由齐纳二极管 D_2 的电压和 Q_6 的基极-发射极电压之和组成, 产生一个大约为 6.8 V 的参考电压。齐纳管上的电流由 V_{BE6} 和 R_8 产生, 为

$$I_{I2} = \frac{V_{BE6}}{R_8} = \frac{600}{5} \mu\text{A} = 120 \mu\text{A} \quad (8.180)$$

达林顿对管 Q_4 和 Q_5 辅助产生大环路增益, 结果使得参考电压输出端的输出阻抗很低。电阻 R_6 限流且在参考电压点意外接地时保护 Q_5 。电阻 R_7 和电容 C_1 组成高频补偿结构, 避免反馈环路的振荡。注意反馈在输出结点并联。任何参考结点电压的变化 (如由负载引起) 在 Q_6 的基极被保护和放大, 供给 Q_4 的基极, 因此返回与原始变化相反的输出。

放大器的偏置由电流源 Q_7 和 Q_8 提供。 Q_7 的电流同时出现在 Q_{10} 上 (忽略 Q_9)。 Q_{13} 的面积为 Q_{10} 的两倍, 发射极电阻是 Q_9 的一半。因此

$$I_{C13} = 2I_{C10} = 2I_{C7} = 348 \mu\text{A} \quad (8.181)$$

晶体管 Q_9 提供电流增益使 Q_{10} 和 Q_{13} 的基极电流效应最小化。这种减小 β 影响的镜像电流源在第四章已经讨论过了。

差分对 Q_{11}, Q_{12} 任何半边的偏置电流为

$$I_{C11} = I_{C12} = \frac{1}{2} I_{C13} = 174 \mu\text{A} \quad (8.182)$$

因为 Q_8 和 R_5 与 Q_7 和 R_4 相同, 流过 Q_8 的电流为

$$I_{C8} = -174 \mu\text{A} \quad (8.183)$$

晶体管 Q_8 作为 Q_{12} 的有源负载, 并且由于这两个器件的集电极电流理论上相等, 差分对的输入补偿电压理论上为零。

输出功率管 Q_{15} 上的电流取决于负载电阻, 但是限流电路(图中未画出)在阻止其进一步增加之前, 这个电流可以高至 150 mA。电阻 R_{12} 提供漏电流, 因此 Q_{14} 总有至少为 0.04 mA 的偏置电流, 即使 Q_{15} 的电流很低且/或其电流增益很大。

为了计算 723 的负载调节, 式(8.175)指出有必要计算开环增益和稳压放大器的输出电阻。为了达到这个目的, 这个放大器的差分交流等效电路如图 8.38 所示。负载电阻 R_{L12} 是 Q_8 所表示的输出电阻, 它为

$$R_{L12} \approx r_{o8} (1 + g_{m8} R_5) \quad (8.184)$$

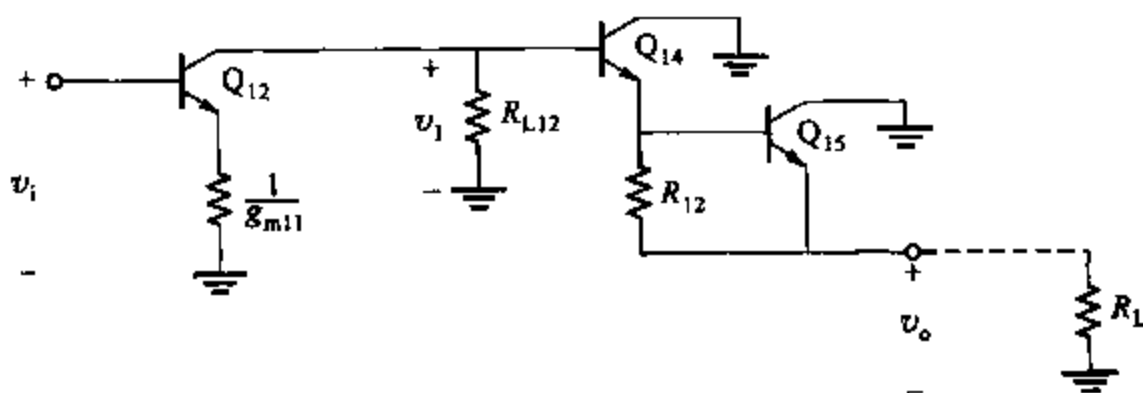


图 8.38 723 稳压器调节放大器的交流等效电路

假设 Q_8 原始电压幅值为 100 V, $I_{C8} = -174 \mu\text{A}$, 可以计算 R_{L12} 的值为

$$R_{L12} = \frac{100}{0.174} \left(1 + \frac{0.174}{26} \times 1000 \right) \text{ k}\Omega = 4.42 \text{ M}\Omega \quad (8.185)$$

因为 $g_{m11} = g_{m12}$, Q_{12} 发射极阻抗使跨导减半且产生一个有效输出电阻

$$R_{o12} = \left(1 + g_{m12} \frac{1}{g_{m11}} \right) r_{o12} \quad (8.186)$$

其中 r_{o12} 是 Q_{12} 单独的输出电阻, 当厄尔利电压为 100 V 时, 该电阻为 575 Ω 。

因此

$$R_{o12} = 1.15 \text{ M}\Omega \quad (8.187)$$

外部负载电阻 R_L 决定了负载电流, 因此就决定了 Q_{14} 和 Q_{15} 的偏置电流。但是, R_L 没有包含在输出电阻的小信号计算中, 因为它是由 R_L 看进去的电路的电阻。因此, 为了计算交流输出电阻, 可以假设 R_L 无穷大且输出达林顿组态对在 Q_{12} 的集电极不产生负载电阻。电路的电压增益可以计算为

$$\begin{aligned}
 a &= \left| \frac{v_o}{v_i} \right| = \left| \frac{v_1}{v_i} \right| = \frac{g_{m12}}{2} (R_{o12} // R_{L12}) \\
 &= \frac{0.174}{26} \times \frac{1}{2} \times (1.15 // 4.42) \times 10^6 \\
 &= 3\,054
 \end{aligned} \tag{8.188}$$

图 8.38 所示电路的输出电阻 r_{∞} 为达林顿射随器的输出电阻。如果假设 R_{12} 与 $r_{\pi15}$ 相比足够大,那么

$$r_{\infty} = \frac{1}{g_{m15}} + \frac{1}{\beta_{0(15)}} \left(\frac{1}{g_{m14}} + \frac{R_S}{\beta_{0(14)}} \right) \tag{8.189}$$

其中

$$R_S = R_{o12} // R_{L12} = 913\text{ k}\Omega \tag{8.190}$$

如果假设 Q_{15} 集电极偏置电流为 20 mA, Q_{14} 为 0.5 mA, $\beta_{0(15)} = \beta_{0(14)} = 100$, 代入式 (8.189) 得

$$\begin{aligned}
 r_{\infty} &= \left[1.3 + \frac{1}{100} \times \left(52 + \frac{913\,000}{100} \right) \right] \Omega \\
 &= (1.3 + 92) \Omega \\
 &= 93 \Omega
 \end{aligned} \tag{8.191}$$

以 $V_R = 6.8\text{ V}$ 替换式 (8.175) 中的 r_{∞} 和 a , 根据负载规律可以得

$$\begin{aligned}
 \frac{\Delta V_o}{V_o} &= \frac{93}{3\,054 \times 6.8} \Delta I_o \\
 &= 4.5 \times 10^{-3} \Delta I_o
 \end{aligned} \tag{8.192}$$

其中 ΔI_o 在放大器中。

如果 ΔI_o 为 50 mA, 则由式 (8.192) 可得

$$\frac{\Delta V_o}{V_o} = 2 \times 10^{-4} = 0.02\% \tag{8.193}$$

这个答案与说明书中所给出的 0.03% 的值很近似。要注意, 负载电流有 50 mA 变化时, 输出电压有小的百分比变化。

8.8 使用反馈比的反馈电路分析

到目前为止, 反馈分析已经可以用二端口熟练地分析在单边前向放大器和反馈网络中的反馈电路。由于真正的反馈电路有双边反馈网络和双边放大器, 因此有些分析中要找出放大器的 a 和反馈网络的 f 。正确的输入、输出变量和反馈类型都需要区分, 并且必须要用二端口的正确表示法 (y, z, h 或 g)。完成上述工作后, 原始电路和修改过的二端口模型之间的联系变小了, 可能会让这些技术难以应用。

但是, 一个反馈电路可以不用二端口模型进行分析。第二种分析方法被称为反馈比分析法,^{5,6,7} 它通常比二端口简单。这里, 一个反馈电路的闭环特性可以描述成一组关于在小

信号激励模型中的非独立源的反馈比。这个在反馈环路中非独立源的反馈比可以通过以下程序得到：

- ① 将所有独立源置零。
- ② 从余下的电路中把非独立源隔离出来,这将导致反馈回路断路。
- ③ 位于与非独立源断开的断路一侧,连接相同信号的一个独立测试源 s_i 并作为非独立源。
- ④ 找到在非独立源上产生的返回信号 s_r 。

那么非独立源的反馈比(\mathcal{R}), $\mathcal{R} = -s_r/s_i$ 。其中,变量 s 可以是电流或电压的任意一个。

图 8.39a 所示的负反馈放大器中包含非独立电压源。图 8.39b 所示是如何修改电路求反馈比。这个非独立源是从其余电路通过网络断路隔离开的,如图 8.39a 中“X”标记处。测试信号 v_i 连接在与受控源断开的断路上。在受控源那边的开路可以测量出返回信号 v_r ,从而算出反馈比 $\mathcal{R} = -v_r/v_i$ 。

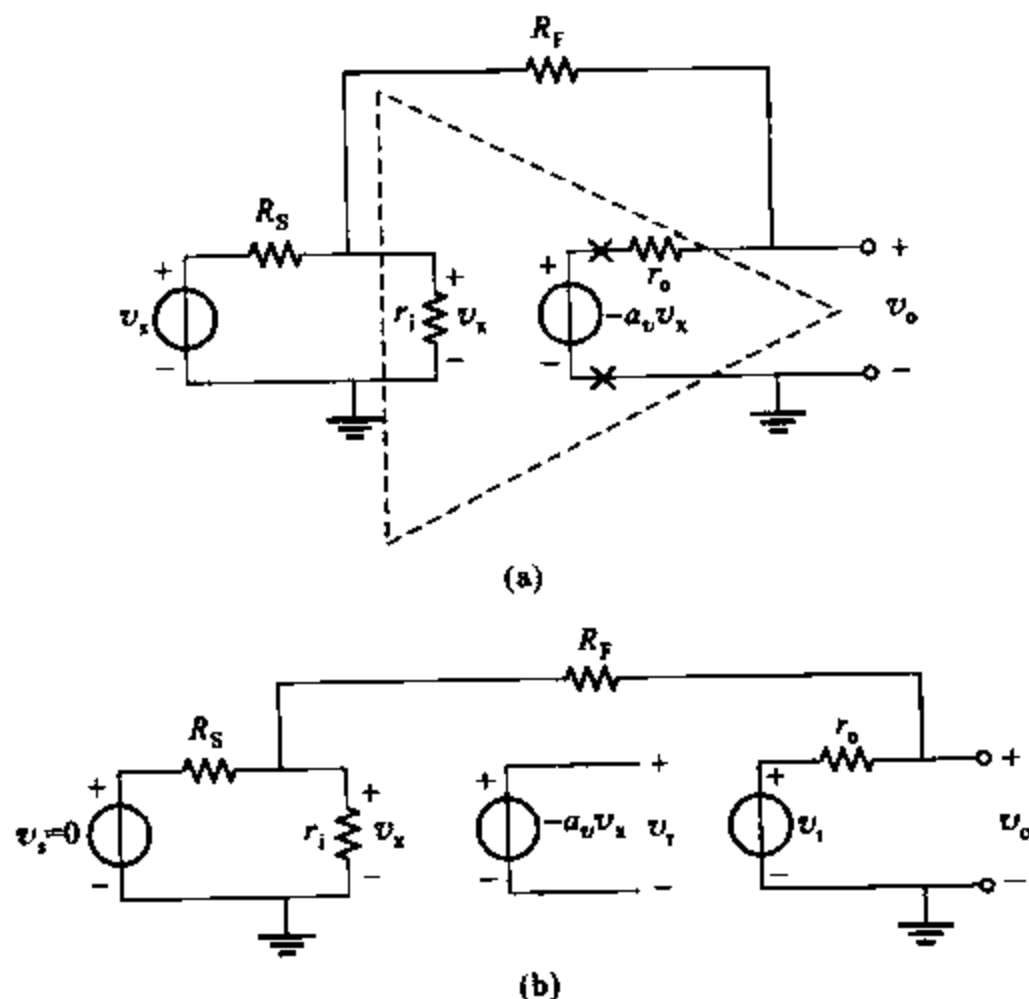


图 8.39 (a)一个电压增益的反馈电路,“X”标注电路断开;
(b)对(a)中的电路用非独立电压源进行修改求反馈比

示例

求图 8.39b 中电路的反馈比。

反馈比可以估算出来,由于电阻构成分压电路

$$v_x = \frac{R_S // r_i}{R_S // r_i + R_F + r_o} v_i \quad (8.194)$$

返回电压 v_r 为

$$v_r = -a_v v_x \quad (8.195)$$

将上面两式合并可得

$$\mathcal{R} = -\frac{v_r}{v_i} = \frac{R_s // r_i}{R_s // r_i + R_F + r_o} a_v \quad (8.196)$$

图 8.40a 是一个单向反馈电路。其小信号模型如图 8.40b 所示,其中包含一个非独立电流源。图 8.40c 所示怎样求反馈比。这里,非独立源与电路其他部分是断开的,测试电流源 i_i 与断路的不与非独立源相连的一侧连接。一个短路电路作用于非独立电流源这边,提供一条供返回电流 i_r 流通的路径。反馈比就可以由 $\mathcal{R} = -i_r/i_i$ 计算。

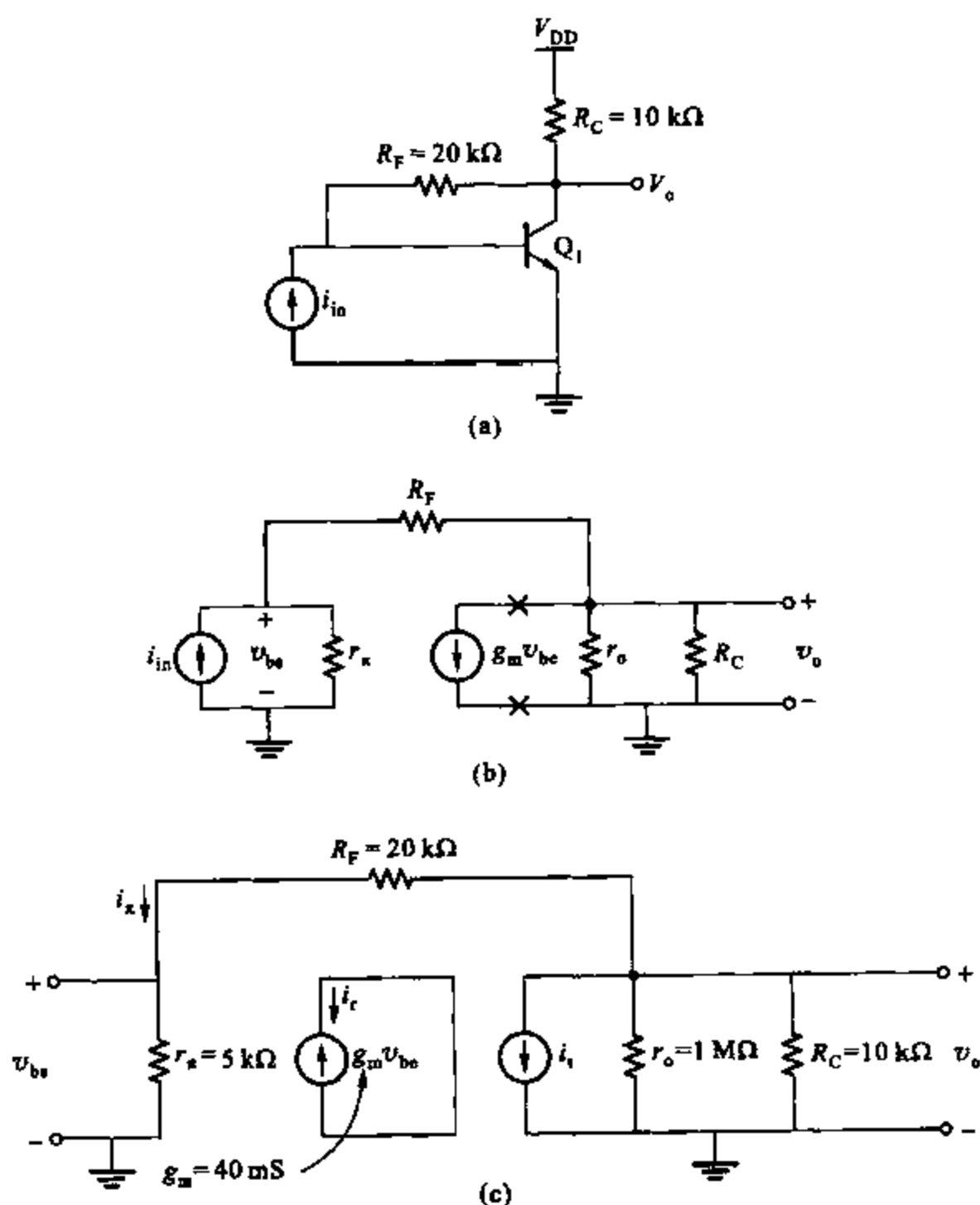


图 8.40 (a)一个跨阻反馈电路;(b)(a)中电路的小信号模型,“X”表示反馈回路断开处;(c)将(b)中电路修改成用非独立电流源求反馈比

8.8.1 使用反馈比求闭环增益

关于用反馈比求反馈放大器闭环增益的公式可由如下得出。考虑如图 8.41 所示的反馈放大器,它由一些线性部分组成:无源元件、受控源和晶体管小信号模型。一个值为 k 的受控源是有源器件小信号模型的一部分,可以很明显地被看出来。受控源的输出为 s_{oc} ,控制信号为 s_{ic} 。描述受控源的等式为

$$s_{oc} = k s_{ic} \quad (8.197)$$

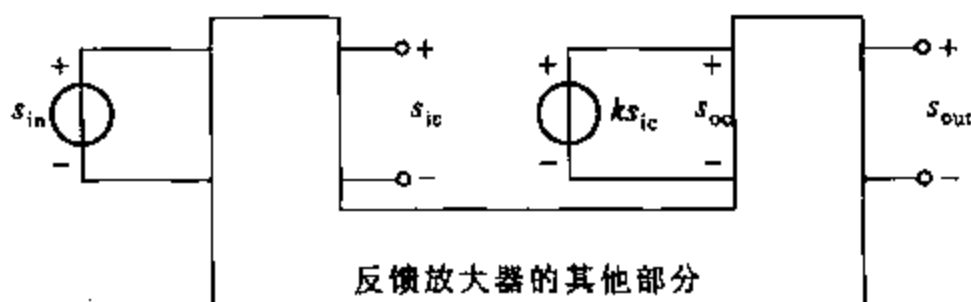


图 8.41 线性反馈放大器用于推出闭环增益公式

(例如,在图 8.40b 中受控源的输出为 $s_{oc} = g_m v_{be}$;控制信号为 $s_{ic} = v_{be}$,并且受控源值为 $k = g_m$ 。)图中的每个信号都要像电压一样标注上,但只能是电压或电流。因为反馈放大器是线性的,那么信号 s_{ic} 和 s_{out} 能表示成关于两电源 s_{oc} 和 s_{in} 输出的线性函数。

$$s_{ic} = B_1 s_{in} - H s_{oc} \quad (8.198)$$

$$s_{out} = d s_{in} + B_2 s_{oc} \quad (8.199)$$

式(8.198)和式(8.199)中参数 B_1, B_2 与 H 的确定如下:

$$B_1 = \left. \frac{s_{ic}}{s_{in}} \right|_{s_{oc}=0} = \left. \frac{s_{ic}}{s_{in}} \right|_{k=0} \quad (8.200a)$$

$$B_2 = \left. \frac{s_{out}}{s_{oc}} \right|_{s_{in}=0} \quad (8.200b)$$

$$H = - \left. \frac{s_{ic}}{s_{oc}} \right|_{s_{in}=0} \quad (8.200c)$$

所以, B_1 是在 $k=0$ 的条件下,由输入到控制信号的传递函数; B_2 是在输入源趋于零的条件下,由非独立源到输出的传递函数; H 是在输入趋于零的条件下,由非独立源输出到控制信号的传递函数的 -1 倍。

同样,直接的传递参数 d 可由下面给出:

$$d = \left. \frac{s_{out}}{s_{in}} \right|_{s_{oc}=0} = \left. \frac{s_{out}}{s_{in}} \right|_{k=0} \quad (8.200d)$$

这是在 $k=0$ 的条件下,输入至输出的传递函数。 d 的计算通常包括通过无源部分的信号传递,这些无源部分从输入到输出直接地提供了一个信号路径,其不能让受控源 k 通过。

式(8.197)、式(8.198)和式(8.199)可以由闭环增益求解。联立式(8.197)和式(8.198),整理后得

$$s_{ic} = \frac{B_1}{1 + kH} s_{in} \quad (8.201)$$

将式(8.197)代入式(8.199),再替换上面结论式(8.201),整理得到闭环增益 A 为

$$A = \frac{s_{out}}{s_{in}} = \frac{B_1 k B_2}{1 + kH} + d \quad (8.202)$$

正如下面将看到的那样,在分母上的系数 kH 就等于反馈比。令 $s_{in} = 0$,从电路中断开非独立源,并且在连接非独立源的地方接上测试源,便可求出反馈比。经过上述改动后, $s_{oc} = s_i$, 式(8.198)变为

$$s_{ic} = -H s_i \quad (8.203)$$

非独立源的输出就是返回信号 $s_r = k s_{ic} = -kH s_i$ 。因此

$$\mathcal{R} = -\frac{s_r}{s_i} = kH \quad (8.204)$$

所以式(8.202)中的闭环增益可以写成

$$A = \frac{s_{out}}{s_{in}} = \frac{B_1 k B_2}{1 + \mathcal{R}} + d \quad (8.205a)$$

或者

$$A = \frac{s_{out}}{s_{in}} = \frac{g}{1 + \mathcal{R}} + d \quad (8.205b)$$

其中

$$g = B_1 k B_2 \quad (8.206)$$

这里的 g 是当 $H=0, d=0$ 的情况下,由 s_{in} 到 s_{out} 的增益,并且 d 是直接的通路信号。当受控源趋于零时($k=0$), d 就是增益 A 的值。

式(8.205a)的闭环增益公式要求计算四个参数: B_1 、 B_2 、 d 和 \mathcal{R} 。这个等式可以化成更方便的形式,其中只有三个参数。用一个共同的分母 $1 + \mathcal{R}$,合并式(8.205b)中的参数得

$$A = \frac{g + d(1 + \mathcal{R})}{1 + \mathcal{R}} = \frac{g + d\mathcal{R}}{1 + \mathcal{R}} + \frac{d}{1 + \mathcal{R}} = \left(\frac{g}{\mathcal{R}} + d \right) \frac{\mathcal{R}}{1 + \mathcal{R}} + \frac{d}{1 + \mathcal{R}} \quad (8.207)$$

定义

$$A_\infty = \frac{g}{\mathcal{R}} + d \quad (8.208)$$

式(8.207)可以写成

$$A = A_\infty \frac{\mathcal{R}}{1 + \mathcal{R}} + \frac{d}{1 + \mathcal{R}} \quad (8.209)$$

对于闭环增益,这是一个有用的表示方法。这里,如果 $\mathcal{R} \rightarrow \infty$, 因为 $\mathcal{R}/(1 + \mathcal{R}) \rightarrow 1$ 并且 $d/(1 + \mathcal{R}) \rightarrow 0$, 那么 $A = A_\infty$ 。因此, A_∞ 是理想反馈电路(即当 $\mathcal{R} \rightarrow \infty$ 时)的闭环增益。

式(8.209)的系统结构如图 8.42 所示。反馈回路的增益是 \mathcal{R} , 回路中有效增益为 $\mathcal{R}A_\infty$ 。二端口和反馈比分析之间的不同,比较图 8.1 和 8.42 后,可以看出。在二端口分析中,所有通过放大器和反馈网络的前向信号传递都被归入 a 中。在反馈比分析中,这是两个路径:一个是通过反馈网络的前馈路径(d),另一个是有效增益路径($\mathcal{R}A_\infty$)。

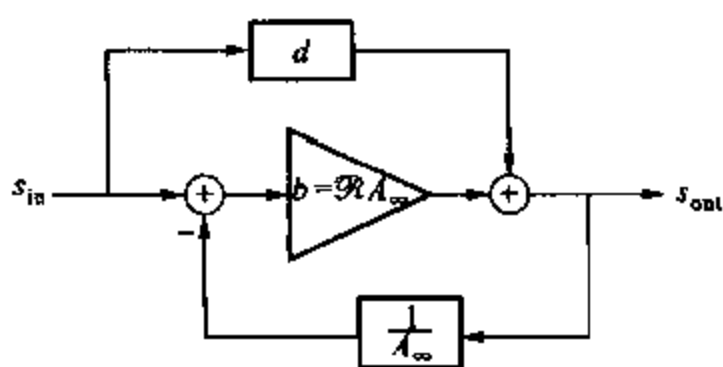


图 8.42 关于式(8.209)所示公式的闭环回路增益系统结构图

通常,从二端口分析可知, A_∞ 由无源反馈网络决定,并等于 $1/f$ 。当 $k \rightarrow \infty$ 时,由于 $A_\infty = A$,则 A_∞ 的值可以很容易求出。由 $k \rightarrow \infty$ 得到 $\mathcal{R} = kH \rightarrow \infty$ 。(这里假定 $k > 0$ 。如果在一个负反馈电路中 $k < 0$,则当 $k \rightarrow -\infty$ 时, $\mathcal{R} \rightarrow \infty$ 。)当 $k \rightarrow \infty$ 时,如果非独立源的输出为有限值,那么非独立源的控制信号 s_x 必为零。如果反馈为负,则受控源输出将为有限值。上面的结论可以用于许多电路,用少量的计算求 A_∞ ,这可以由下面的例子说明。

示例

使用式(8.209)计算图 8.40 中电路的闭环增益。所用器件值如图所示。

使用式(8.209),则需要求 A_∞ 、 \mathcal{R} 和 d 。这里唯一的受控源是 g_m ,所以 $k = g_m$ 。即 $s_{in} = i_{in}$, $s_{out} = v_o$, $s_{ic} = v_{be}$ 。为求 A_∞ ,假设由 g_m 发出的电流为有限值,令 $g_m \rightarrow \infty$,这样使控制电压等于零。由于 $v_{be} = 0$,没有电流通过 r_π ,因此输入电流 i_{in} 流过 R_F 产生电压 v_o 。则

$$A_\infty = \left. \frac{v_o}{i_{in}} \right|_{g_m \rightarrow \infty} = -R_F = -20 \text{ k}\Omega \quad (8.210)$$

而后,令 $k = g_m = 0$ 并且计算由输入到输出的传递函数,可求得 d 为

$$\begin{aligned} d &= \left. \frac{v_o}{i_{in}} \right|_{g_m = 0} = (r_o // R_C) \cdot \frac{r_\pi}{r_\pi + R_F + r_o // R_C} \\ &= (1 \text{ M}\Omega // 10 \text{ k}\Omega) \times \frac{5 \text{ k}\Omega}{5 \text{ k}\Omega + 10 \text{ k}\Omega + 1 \text{ M}\Omega // 10 \text{ k}\Omega} \\ &= 1.4 \text{ k}\Omega \end{aligned} \quad (8.211)$$

最后, g_m 电源反馈比可用图 8.40c 计算。运用一个分流公式通过 r_π 可得 i_x 为

$$i_x = -\frac{r_o // R_C}{r_o // R_C + R_F + r_\pi} i_i \quad (8.212)$$

返回电流为

$$i_r = g_m v_{be} = g_m r_\pi i_x \quad (8.213)$$

联立这些等式得

$$\mathcal{R} = -\frac{i_r}{i_i} = g_m r_\pi \cdot \frac{r_o // R_C}{r_o // R_C + R_F + r_\pi} \quad (8.214)$$

$$= (40 \text{ mA/V}) \times 5 \text{ k}\Omega \times \frac{1 \text{ M}\Omega // 10 \text{ k}\Omega}{1 \text{ M}\Omega // 10 \text{ k}\Omega + 20 \text{ k}\Omega + 5 \text{ k}\Omega} = 56.7 \quad (8.215)$$

然后,由式(8.209)得

$$A = A_{\infty} \frac{\mathcal{R}}{1 + \mathcal{R}} + \frac{d}{1 + \mathcal{R}} = -20 \text{ k}\Omega \frac{56.7}{1 + 56.7} + \frac{1.4 \text{ k}\Omega}{1 + 56.7} = -19.6 \text{ k}\Omega \quad (8.216)$$

在式(8.209)中,含有 d 的第二部分可以被忽略,任何时候 $|d| \ll |A_{\infty} \mathcal{R}|$ 。通常在低频时这种情况成立,由于 d 是通过无源网络的信号传递,相比之下,由于 $|A_{\infty} \mathcal{R}|$ 包含通过有源器件的增益,因此其值很大。例如,忽略式(8.216)中 $d/(1 + \mathcal{R})$ 这部分,可得 $A \approx -19.7 \text{ k}\Omega$,很接近真实值。然而,当频率升高后,由晶体管提供的增益会减小。结果, d 在高频时影响很大。

A_{∞} 和 \mathcal{R} 被求出后,可以计算有效增益 $A_{\infty} \mathcal{R}$ 。此外,由反馈电路还可以直接求出有效前向增益。⁸ 将这种增益用 b 表示,则

$$b = A_{\infty} \cdot \mathcal{R} \quad (8.217)$$

而式(8.209)的闭环增益可以写成

$$A = \frac{b}{1 + \mathcal{R}} + \frac{d}{1 + \mathcal{R}} \quad (8.218)$$

用式(8.206)、式(8.208)和 $\mathcal{R} = kH$, b 可以描述为

$$\begin{aligned} b &= A_{\infty} \cdot \mathcal{R} = \left(\frac{\mathcal{G}}{\mathcal{R}} + d \right) \cdot \mathcal{R} = (\mathbf{B}_1 k \mathbf{B}_2 + d \mathcal{R}) \\ &= (\mathbf{B}_1 k \mathbf{B}_2 + dkH) = \left[\mathbf{B}_1 + \frac{dH}{\mathbf{B}_2} \right] k \mathbf{B}_2 \end{aligned} \quad (8.219)$$

最后的表达式将 b 分为可以通过分析反馈电路而求得的部分。式(8.200b)中, \mathbf{B}_2 被定义成为由受控源 s_{oc} 的输出到 $s_{in} = 0$ 的条件下 s_{out} 的传递函数。式(8.219)括号中的部分等于当 $s_{out} = 0$ 时从 s_{in} 到 s_{ic} 的传递函数,如下所示。

若 $s_{out} = 0$, 则式(8.199)简化成

$$\mathbf{B}_2 s_{oc} = -d s_{in} \quad (8.220)$$

将式(8.220)代入式(8.198)得

$$s_{ic} = \mathbf{B}_1 s_{in} + \frac{dH}{\mathbf{B}_2} s_{in} \quad (8.221)$$

因此

$$\left. \frac{s_{ic}}{s_{in}} \right|_{s_{out}=0} = \mathbf{B}_1 + \frac{dH}{\mathbf{B}_2} \quad (8.222)$$

上面就是式(8.219)括号中的表达式。将式(8.222)和式(8.200b)代入式(8.219)得

$$b = \left. \frac{s_{ic}}{s_{in}} \right|_{s_{out}=0} \cdot k \cdot \left. \frac{s_{out}}{s_{oc}} \right|_{s_{in}=0} \quad (8.223)$$

有效前向增益 b 可用此公式求出。

示例

计算图 8.40 中电路的有效前向增益 $b = A_{\infty} \mathcal{R}$ 。

如上例中, $k = g_m$, $s_{in} = i_{in}$, $s_{out} = v_o$, $s_{ic} = v_{be}$ 且 $s_{oc} = i_{oc} = g_m v_{be}$ 。为计算式(8.223)的第一部分, 通过将输出与地短接将输出置零。所得电路如图 8.43a 所示。计算得

$$\left. \frac{s_{ic}}{s_{in}} \right|_{s_{out}=0} = \left. \frac{v_{be}}{i_{in}} \right|_{v_o=0} = r_x // R_F = 5 \text{ k}\Omega // 20 \text{ k}\Omega = 4.0 \text{ k}\Omega \quad (8.224)$$

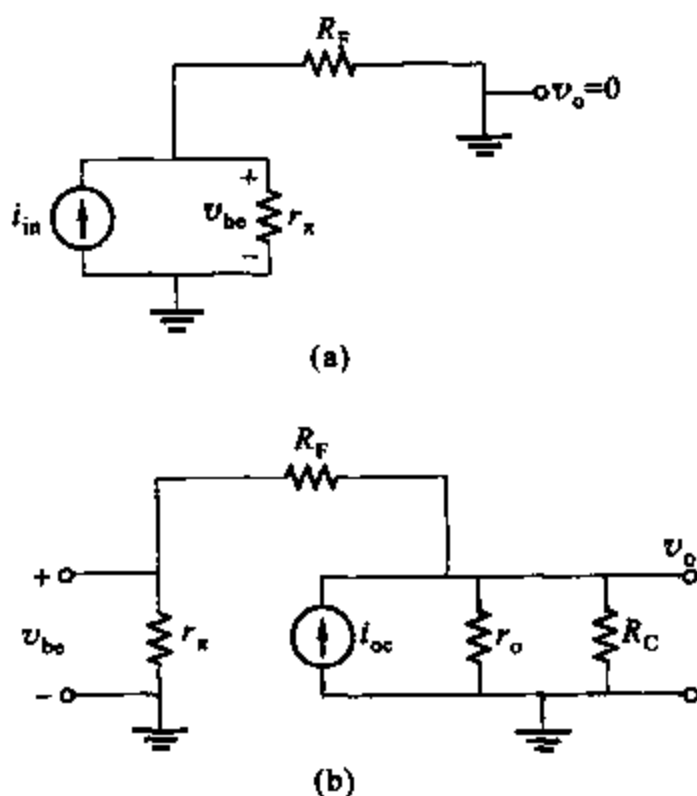


图 8.43 求有效增益 b 的电路

(a) 输入端电路; (b) 输出端电路

式(8.223)的最后部分可将输出 i_{in} 置零得出。如图 8.43b 所示, 输入电流可以通过将电路断开置零。 g_m 电源可以看成值为 i_{oc} 的独立源参与计算, 结果为

$$\begin{aligned} \left. \frac{s_{out}}{s_{oc}} \right|_{s_{in}=0} &= \left. \frac{v_o}{i_{oc}} \right|_{i_{in}=0} = -[r_o // R_C // (R_F + r_x)] \\ &= -[1 \text{ M}\Omega // 10 \text{ k}\Omega // (20 \text{ k}\Omega + 5 \text{ k}\Omega)] = -7.09 \text{ k}\Omega \end{aligned} \quad (8.225)$$

将式(8.224)和式(8.225)代入式(8.223)得

$$b = 4.0 \text{ k}\Omega (g_m) (-7.09 \text{ k}\Omega) = 4.0 \text{ k}\Omega (40 \text{ mA/V}) (-7.09 \text{ k}\Omega) = -1 \text{ 134 k}\Omega$$

比较后, 将 A_{∞} 和 \mathcal{R} 的值代入式(8.217)可以得到上例中的 b 值为

$$b = A_{\infty} \mathcal{R} = -20 \text{ k}\Omega (56.7) = -1 \text{ 134 k}\Omega$$

上面两计算式都得到了相同的有效前向增益 b 的值。

8.8.2 使用反馈比的闭环阻抗公式

反馈影响电路的输入和输出阻抗。本节里, 将用反馈比推导出一个关于反馈电路任何

端口的阻抗表达式,这个表达式非常有用。⁹考虑图 8.44 所示的反馈电路。这个反馈放大器由无源器件、受控源和晶体管小信号模型三个线性部分组成。受控源 k 是有源器件小信号模型的一部分。由任意端看进去的阻抗 Z_{port} ,在图 8.44a 记作端口 X。端口阻抗可以在图 8.44b 中通过加入独立电流源得出,用式子 $Z_{\text{port}} = v_x / i_x$ 计算。由于图 8.44b 中所示电路是线性的,因此信号 s_{ic} 和 v_x 是端口 X、Y 信号 i_x 和 s_y 的线性函数。所以,可写成

$$v_x = a_1 i_x + a_2 s_y \quad (8.226)$$

$$s_{ic} = a_3 i_x + a_4 s_y \quad (8.227)$$

由式(8.226),当 $k=0$ 时从端口看进去的阻抗为

$$Z_{\text{port}}(k=0) = \left. \frac{v_x}{i_x} \right|_{k=0} = \left. \frac{v_x}{i_x} \right|_{s_y=0} = a_1 \quad (8.228)$$

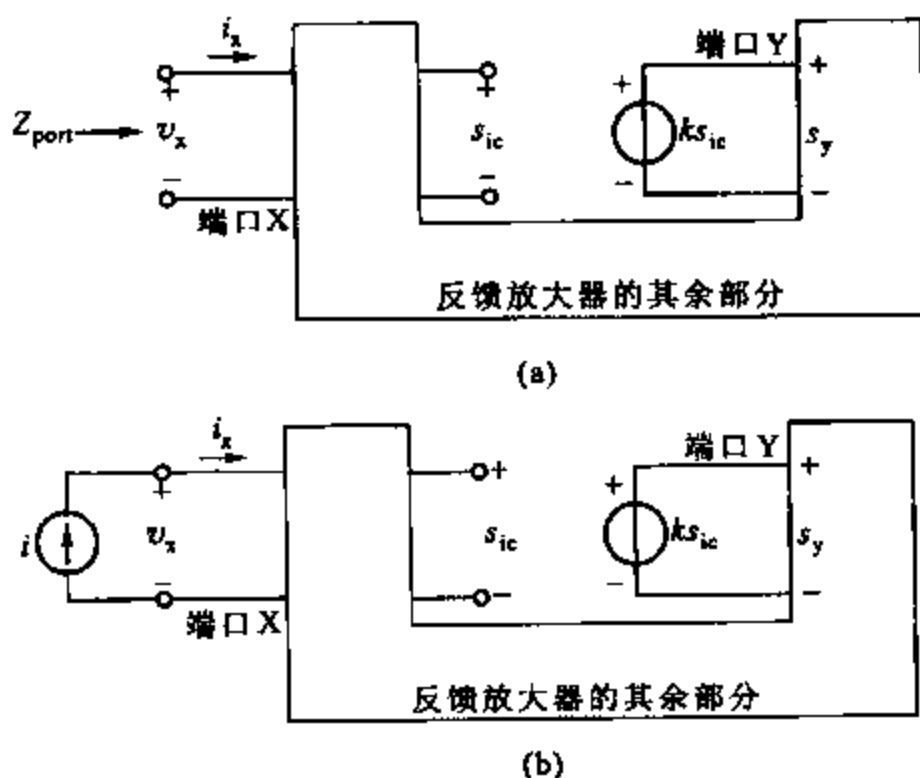


图 8.44 (a)线性反馈电路用于通过参照 X 端口推导布莱克曼阻抗公式;

(b)在端口 X 所在电路加入独立电流源

在不同情况下对于受控源可以算出两个反馈比。闭环阻抗中,后面的公式都要使用这两个值。第一个反馈比是由端口开路得到的。端口 X 开路时, $i_x = 0$ 。其通过与电路断开的受控源和连接位于非独立源连接处的测试源 s_t 算出。改变电路后, $s_y = s_t$, 式(8.227)变为

$$s_{ic} = a_4 s_t \quad (8.229)$$

受控源的输出便是返回信号

$$s_r = k s_{ic} \quad (8.230)$$

由最后两等式,可以发现

$$\mathcal{R}(\text{端口开路}) = -\frac{s_r}{s_t} = -k a_4 \quad (8.231)$$

将端口短路,可以得出另一反馈比。当端口 X 短路,电压 v_x 为零。断开受控源,连接与非独立源连接的测试源 s_t 。经改动后,由式(8.226)得

$$i_x = -\frac{a_2}{a_1} s_t \quad (8.232)$$

将式(8.232)代入式(8.227),利用 $s_y = s_t$,整理后有

$$s_{ic} = \left(a_4 - \frac{a_2 a_3}{a_1} \right) s_t \quad (8.233)$$

返回信号为

$$s_r = k s_{ic} \quad (8.234)$$

合并最后两个等式,由端口短路可得反馈比

$$\mathcal{R}(\text{端口短路}) = -\frac{s_r}{s_t} = -k \left(a_4 - \frac{a_2 a_3}{a_1} \right) \quad (8.235)$$

这样,就可以看出式(8.228)、式(8.231)和式(8.235)合并后得出一个对于端口阻抗非常有用的公式。

图 8.44b 中向端口里看去的阻抗用

$$Z_{\text{port}} = \frac{v_x}{i_x} \quad (8.236)$$

利用式(8.226)、式(8.227)和 $s_y = k s_{ic}$,得(经过一些变形后)

$$Z_{\text{port}} = \frac{v_x}{i_x} = a_1 \left[\frac{1 - k \left(a_4 - \frac{a_2 a_3}{a_1} \right)}{1 - k a_4} \right] \quad (8.237)$$

将式(8.228)、式(8.231)和式(8.235)代入式(8.237)中有

$$Z_{\text{port}} = Z_{\text{port}}(k=0) \left[\frac{1 + \mathcal{R}(\text{端口短路})}{1 + \mathcal{R}(\text{端口开路})} \right] \quad (8.238)$$

此表达式被称为布莱克曼阻抗公式。⁹这两个端口开短路的反馈比可以用参照相同的受控源 k 计算。等式(8.238)被用于计算任意端口的阻抗,包括输入端口和输出端口。这个公式一个重要的便利之处是其适用于任意反馈电路和没有规律的反馈。通常,式(8.238)中两个反馈比之一为零,而且布莱克曼公式表明通过 $(1 + \mathcal{R})$ 反馈因子不是增加阻抗就是减小阻抗。

示例

用布莱克曼公式求图 8.40 所示反馈电路的输出阻抗。

由布莱克曼公式,输出电阻可通过下面式子给出

$$R_{\text{out}} = R_{\text{out}}(g_m = 0) \left[\frac{1 + \mathcal{R}(\text{输出端口短路})}{1 + \mathcal{R}(\text{输入端口开路})} \right] \quad (8.239)$$

短接图 8.40c 的输出端,使 $v_{be} = 0$,因此 $i_r = g_m v_{be} = 0$;所以, $\mathcal{R}(\text{输出端口短路}) = 0$ 。 $\mathcal{R}(\text{输出端口开路})$ 与式(8.215)中计算的是同样的反馈比,则 $\mathcal{R}(\text{输出端口开路}) = 56.7$ 。最后剩下要计算的值就是当 $g_m = 0$ 时输出端的电阻值。

$$\begin{aligned} R_{\text{out}}(g_m = 0) &= r_o // R_C // (R_F + r_x) = 1 \text{ M}\Omega // 10 \text{ k}\Omega // (20 \text{ k}\Omega + 5 \text{ k}\Omega) \\ &= 7.1 \text{ k}\Omega \end{aligned} \quad (8.240)$$

将结果代入式(8.239)得

$$R_{out} = 7.1 \text{ k}\Omega \left(\frac{1+0}{1+56.7} \right) = 120 \text{ }\Omega \quad (8.241)$$

负反馈降低了输出电阻,这正是所期望的,因为输出是一个电压,并且对于一个电压源而言也希望输出电阻比较低。

示例

求图 8.45a 所示 MOS 管有源跟随器的输出电阻。忽略衬底效应的影响以简化分析。

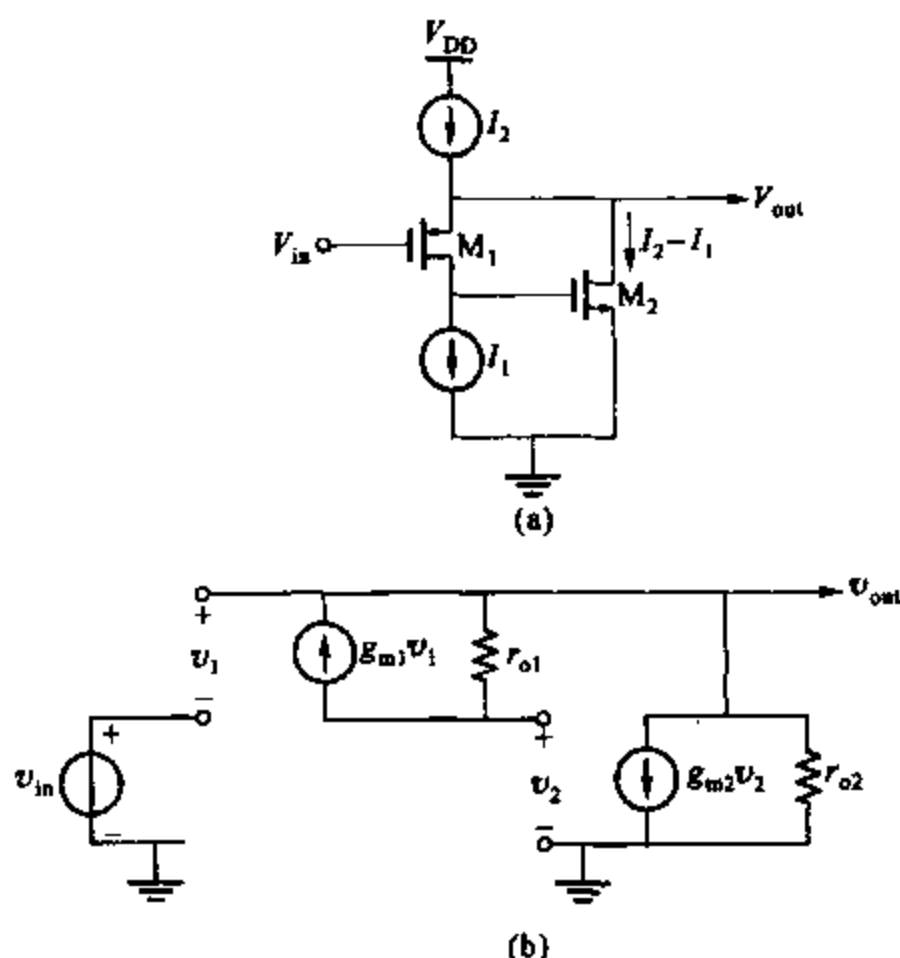


图 8.45 (a)超级有源跟随器电路;(b)替换每个晶体管后的小信号模型

跟随器用反馈来降低输出阻抗。为简化电路,用理想电流源 I_1 和 I_2 为晶体管提供偏置电流而不用晶体管电流源。当驱动 M_1 的电流即电流源 I_1 为常数时,接入负载后 M_2 会产生输出电流,并存在由 v_{out} 到 v_{gs2} 经 M_1 的反馈。电路的小信号模型如图 8.45b 所示。图中 g_{m1} 和 g_{m2} 当中有一个应取 k 值,这里选 $g_{m2} = k$ 。在接下来所有计算中,令输入源 v_{in} 趋于零。首先,当 $g_{m2} = 0$ 时输出电阻为

$$R_{out}(g_{m2}=0) = r_{o2} \quad (8.242)$$

结果初看很奇怪,因为输出与 M_1 的源极相连,而源极通常都是低阻抗点。然而,理想电流源与 M_1 的漏极相接,并且理想电流源本身是一个小信号开路电路。因此, g_{m1} 中的电流只流过 r_{o1} ,所以当 $g_{m2} = 0$ 时 M_1 对输出电阻没有影响。

输出端开路下, g_{m2} 电源的反馈比为

$$\mathcal{R}(\text{开路}) = g_{m2} r_{o2} (1 + g_{m1} r_{o1}) \quad (8.243)$$

输出端短路情况下,反馈比为

$$\mathcal{R}(\text{短路}) = 0 \quad (8.244)$$

因为输出端短路是 $v_{\text{out}} = 0$ 且 $v_1 = -v_{\text{out}} = 0$, 因此没有电流流过 M_1 , 所以 $v_2 = 0$, 则反馈比为零。联立最后三个等式代入式(8.238), 即给出闭环输出电阻

$$R_{\text{out}} = r_{o2} \left[\frac{1+0}{1+g_{m2}r_{o2}(1+g_{m1}r_{o1})} \right] \quad (8.245)$$

若 $g_m r_o \gg 1$, 则

$$R_{\text{out}} \approx \frac{r_{o2}}{g_{m2}r_{o2}g_{m1}r_{o1}} = \frac{1}{g_{m2}g_{m1}r_{o1}} \quad (8.246)$$

这比传统有源跟随器的输出电阻低得多, 只有大约 $1/g_m$ 。其结果与用反馈原则推导出的式(3.317)相同。尽管在式(3.317)存在 g_{mb1} 项, 但在式(8.246)中却没有, 这是因为衬底效应影响被忽略的缘故。

以下例子证明一个特殊的事实——布莱克曼阻抗公式中反馈比都有值。

示例

如图 8.46a 所示威尔逊电流源, 假定三个双极型晶体管都相同且它们的 $\beta_o \gg 1$, 并在正向区域加正向偏置电压。求出输出电阻。

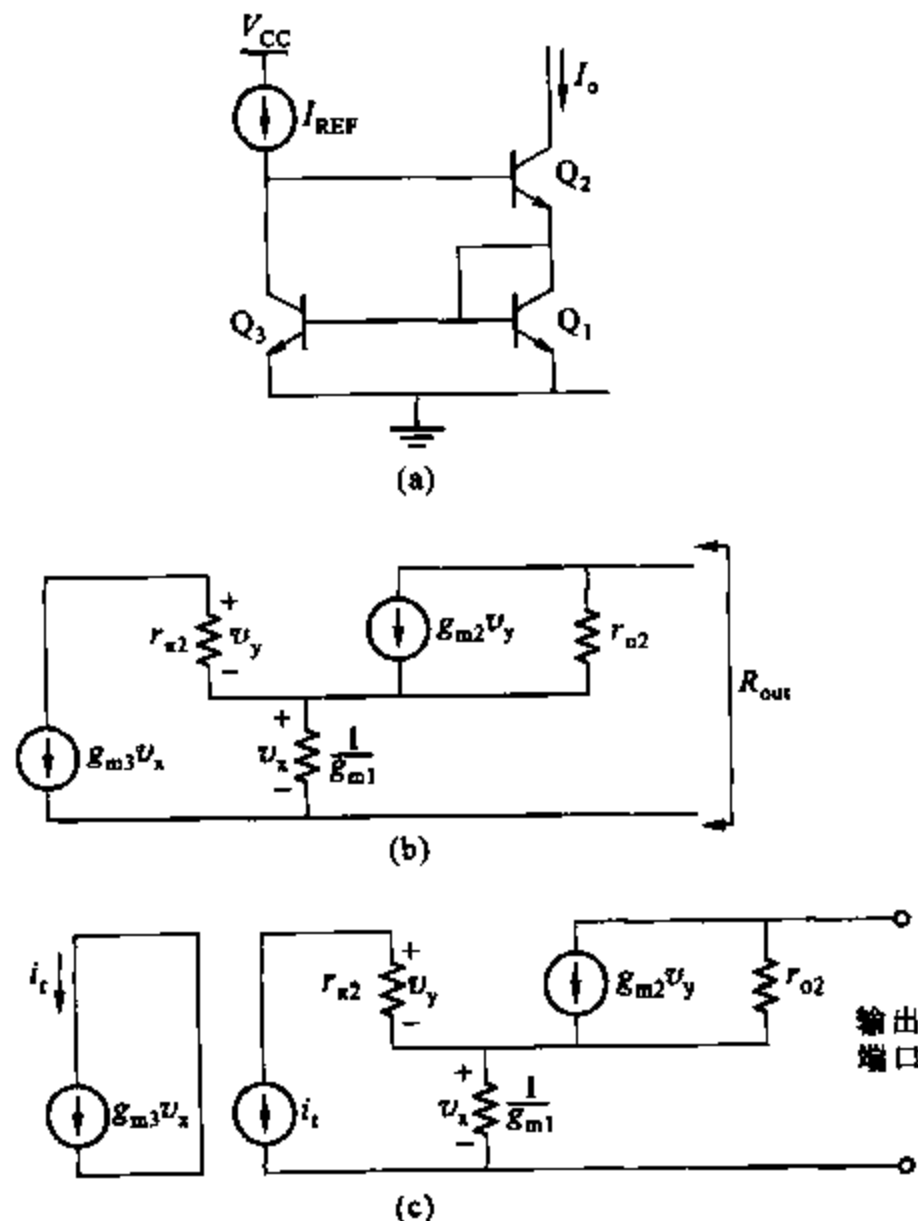


图 8.46 (a)威尔逊镜像电流源相器;(b)替换每个晶体管后的小信号模型;

(c)用 g_{m1} 求 \mathcal{R} 改动后的小信号模型

因为这是一个 Q_1 、 Q_2 与 Q_3 镜像电流源组成的反馈回路,所以可以用布莱克曼阻抗公式。

所有晶体管为正向导通且 $\beta_F \gg 1$, 则 $I_{C1} = I_{C2} = I_{C3} = I_{REF}$ 。(输出与未画出的回路相连接, 因此 I_{C2} 不为零。)图 8.46b 所示的小信号模型, 被连接成二极管的 Q_1 用值为 $1/g_{m1}$ 的电阻代替。电阻 $r_{\pi3}$ 与 $1/g_{m1}$ 并联, 它可以忽略(因为 $r_{\pi3} = \beta_0/g_{m3} = \beta_0/g_{m1} \gg g_{m1}$)。假定 $r_{\pi3}$ 远大于从 Q_2 基极看进去的电阻, 则也可忽略。选取 $k = g_{m3}$, 计算式(8.238)的第一部分得

$$R_{out}(g_{m3}=0) = r_{\pi2} + \frac{1}{g_{m1}} \approx r_{\pi2} \quad (8.247)$$

由于设 $g_{m3}=0$, 则流过 $r_{\pi2}$ 的电流为零。因此, $r_{\pi2}$ 两端电压为零, 这导致通过 g_{m2} 源的电流为零。

布莱克曼公式中的反馈比可以用如图 8.46c 所示电路求得。首先, 要求求取 \mathcal{R} (输出端口开路)。当输出端开路, g_{m2} 电流源的电流只能从并联电阻 $r_{\pi2}$ 通过, 所以流过 $r_{\pi2}$ 和 $1/g_{m1}$ 的电流相等并由测试源 i_t 提供。因此

$$v_x = -i_t \frac{1}{g_{m1}} \quad (8.248)$$

同时

$$i_r = g_{m3} v_x \quad (8.249)$$

联立两等式得

$$\mathcal{R}(\text{输出开路}) = -\frac{i_r}{i_t} = \frac{g_{m3}}{g_{m1}} = 1 \quad (8.250)$$

其中因为 $I_{C1} = I_{C3}$, 所以 $g_{m1} = g_{m3}$ 。

当输出端短路时, 通过 g_{m2} 的电流将无限制地流过 $r_{\pi2}$ 。首先, 注意到输出短路时, $r_{\pi2}$ 与 $1/g_{m1}$ 并联, 所以 $r_{\pi2}$ 可以忽略。简化后, 流过电阻 $1/g_{m1}$ 的电流就是通过测试源和 g_{m2} 的电流, 所以

$$v_x = \frac{1}{g_{m1}} (-i_t + g_{m2} v_y) \quad (8.251)$$

现在

$$v_y = -i_t r_{\pi2} \quad (8.252)$$

联立两等式得

$$v_x = \frac{1}{g_{m1}} (-i_t - i_t g_{m2} r_{\pi2}) = -\frac{i_t}{g_{m1}} (1 + \beta_0) \quad (8.253)$$

这里用了关系式 $\beta_0 = g_{m2} r_{\pi2}$ 。返回电流为

$$i_r = g_{m3} v_x \quad (8.254)$$

因此

$$\mathcal{R}(\text{输出短路}) = -\frac{i_r}{i_t} = \frac{g_{m3}}{g_{m1}} (1 + \beta_0) = 1 + \beta_0 \quad (8.255)$$

代入布莱克曼公式得

$$R_{out}(\text{闭环}) = r_{o2} \cdot \frac{1 + (\beta_0 + 1)}{1 + 1} = \frac{r_{o2}(\beta_0 + 2)}{2} \approx \frac{\beta_0 r_{o2}}{2} \quad (8.256)$$

这个近似结果与没有运用布莱克曼公式推导出的式(4.91)相一致。

8.8.3 反馈比分析的总结

反馈比率分析是除二端口分析外,分析反馈电路的另一种方法。闭环传递由反馈比 \mathcal{R} 衡量。反馈比确定闭环传递与二端口分析有很大的不同。(反馈比在一些课本中称为闭环增益。其名称与这里的 \mathcal{R} 没有关系,只是避免与本节提到的闭环增益 $T = af$ 相混淆。)对于负反馈电路, $\mathcal{R} > 0$ 。在理想反馈电路中, $\mathcal{R} \rightarrow \infty$ 并且闭环增益为 A_∞ , 即只有无源器件时。如果 $\mathcal{R} \gg 1$, 反馈电路的真实增益也趋近于 A_∞ 。布莱克曼阻抗公式即式(8.238)可以通过两组反馈比给出闭环阻抗。

在解决反馈电路问题中,反馈比分析比二端口分析简单。例如,反馈比分析用的等式与反馈类型无关,且对电路的简单操作允许计算等式中的各项。相反,对于四种反馈结构(串联-串联、串联-并联、并联-串联、并联-并联),二端口分析应用的是不同的二端口表达式。因此,在采用二端口分析前,必须正确地确定反馈类型。对于放大器和反馈网络作为结果的二端口一定熟练,才可求出开环增益 a 和开环输入和输出阻抗。二端口分析中,求出的开环阻抗或者是乘以或者是除以 $(1 + T)$ 得到闭环阻抗,这些都与反馈类型有关。相反,布莱克曼公式给出了求闭环阻抗的等式,并且这个等式提供了求解任意反馈电路的任意端口。

8.9 在反馈电路中建立输入和输出端口的模型

贯穿本节,分析一个反馈电路时,包括激励源和负载阻抗。举例说明,如图 8.47a 所示反向电压增益电路有源电阻 R_s 和负载 R_L , 可以用本节描述的二端口和反馈比分析法进行分析。电路模型如图 8.47b 所示。激励源和负载电阻在模型中不能明显地看出,但是增益 A 、输入电阻 R_i 和输出电阻 R_o 是激励源和负载电阻的函数。因此,模型的用途要求激励源和负载电阻均已知。然而,激励源和负载经常是未知量并且不固定。例如,一个反馈放大器的负载电阻在一定范围内变化。这种情况下,希望按照以下原则建立放大器的简化模型:模型中的元件与负载无关,并且负载对增益的影响容易计算。

如果电阻 R_s 和 R_L 只知道一个,可以建立一个有效的模型。首先,当源电阻未知且负载电阻已知时,考虑图 8.47a。然后,可以用图 8.47c 所示的模型。这里,与图 8.47b 的主要不同的是 R'_i 和 A' 而不是 R_i 和 A , R_s 易知,并且 A' 的控制电压是 R'_i 的端电压而不是源电压 v_s 。(这里的单引号标记说明用未知的 R_s 计算此量。)输入电阻 R'_i 和增益 A' 可通过连接的负载和理想输入网络计算。这里,如果源电阻为零,戴维宁网络是理想网络。(如果输入是由一个电流源和并联电阻构成的诺顿网络,在 $R_s \rightarrow \infty$ 的条件下可求出 R'_i 和 A' 。)作为结果的 A' 和 R'_i 不是 R_s 的函数。图 8.47c 中的源电阻 R_s 组成一个关于 R'_i 的分压电

路;所以,整体电压增益可由下式得出:

$$\frac{v_o}{v_s} = \frac{v_o}{v_i} \cdot \frac{v_i}{v_s} = A' \frac{R_i'}{R_i' + R_s} \quad (8.257)$$

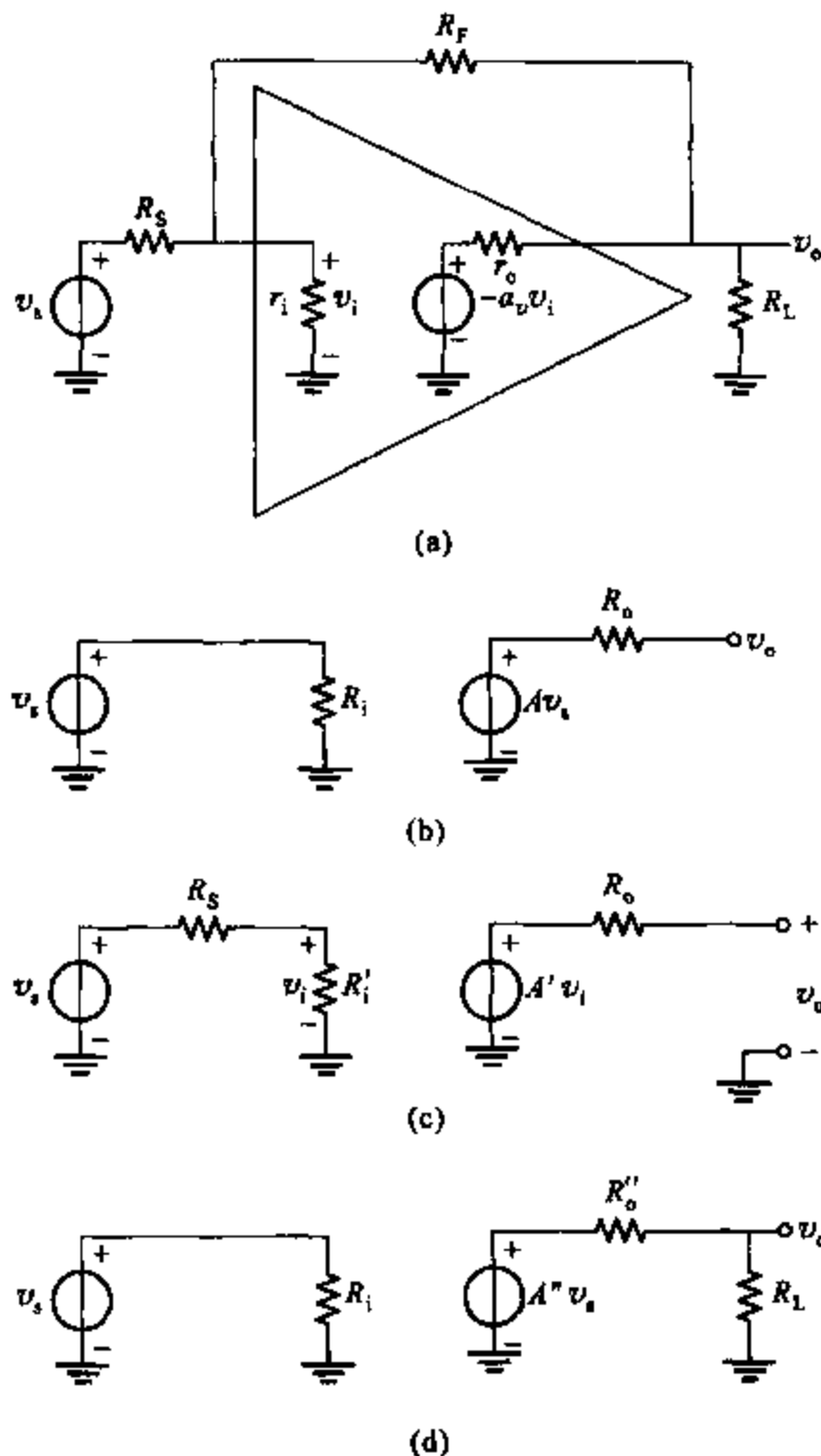


图 8.47 (a)一个反向增益反馈放大器;(b)负载电阻和源电阻已知基于反馈分析的关于(a)的模型;(c)基于负载电阻已知,源电阻未知的关于(a)的模型;(d)基于源电阻已知,负载电阻未知的关于(a)的模型

下面,当负载未知时考虑图 8.47a,但源电阻已知。图 8.47d 所示模型与图 8.47b 主要差别是用标识 R_o'' 和 A'' 而不是 R_o 和 A ,并且 R_L 易知。(这里的双引号标记说明用未知的 R_s 计算此量。)假定一个理想负载即一个开路电路($R_L \rightarrow \infty$),戴维宁模型中的输出电阻 R_o'' 和增益 A'' 可以求出。图 8.47d 中的负载电阻构成一个关于 R_o'' 的分压电路,所以负载电压增益为

$$\frac{v_o}{v_s} = A'' \frac{R_L}{R_o'' + R_L} \quad (8.258)$$

示例

假定负载电阻未知,图 8.47a 的模型为图 8.47d。

当 R_L 未知时,可用图 8.47d 所示模型。用反馈比分析, R_o'' 和 A'' 的计算如下。当 $R_L \rightarrow \infty$ 时,图 8.47a 所示电路与图 8.39a 相同。因此,由式(8.196)给出的反馈比为

$$\mathcal{R}'' = \mathcal{R}(R_L \rightarrow \infty) = \frac{R_s // r_i}{R_s // r_i + R_F + r_o} a_v \quad (8.259)$$

输出电阻在 $R_L \rightarrow \infty$ 情况下,用布莱克曼公式可以求出 R_o'' 。首先,当可控源趋于零时输出电阻为

$$R_o''(a_v = 0) = r_o // (R_F + r_i // R_s) \quad (8.260)$$

输出端开路的反馈比由式(8.259)给出。因为短路输出端消除了反馈,所以输出端短路的反馈比为零。因此,闭环输出电阻由式(8.238)得

$$R_o'' = r_o // (R_F + r_i // R_s) \frac{1 + 0}{1 + \frac{R_s // r_i}{R_s // r_i + R_F + r_o} a_v} \quad (8.261)$$

计算 A'' 要求在 $R_L \rightarrow \infty$ 时,先求出 A_∞'' 和 d'' 。

$$A_\infty'' = \left. \frac{v_o}{v_s} \right|_{a_v = \infty \& R_L = \infty} = -\frac{R_F}{R_s} \quad (8.262)$$

并且

$$d'' = \left. \frac{v_o}{v_s} \right|_{a_v = 0 \& R_L = \infty} = \frac{(R_F + r_o) // r_i}{R_s + (R_F + r_o) // r_i} \cdot \frac{r_o}{R_F + r_o} \quad (8.263)$$

用 A_∞'' , \mathcal{R}'' 和 d'' 的结果,可以算出

$$A'' = A_\infty'' \frac{\mathcal{R}''}{1 + \mathcal{R}''} + \frac{d''}{1 + \mathcal{R}''} \quad (8.264)$$

(与以往相同, $d''/(1 + \mathcal{R}'')$ 这一项很小可以忽略。)当有阻抗负载时由式(8.258)可以求出电压增益。模型中唯一无法计算的是输入电阻 R_i ,它是关于 R_L 的函数。因此,一旦 R_L 已知它即可以唯一确定。

图 8.47d 中的输出端模型可以用戴维宁定理和诺顿定理画出。用戴维宁定理(即一个受控电压源和一个输出电阻串联), R_o'' 和 A'' 在 $R_L \rightarrow \infty$ 情况下计算出。如果使用诺顿定理即用一个可控电流源和一个输出电阻并联在输出端口建模,则它们的值在 $R_L = 0$ 的情况下可以计算。

习题

注意:在这些问题中,闭环传递一般是指闭环增益 $T = af$ 或反馈比 \mathcal{R} 。

8.1(a) 在一个反馈放大器前向增益 $a = 100\,000$ 并且反馈因数 $f = 10^{-3}$ 。计算总增益 A 和当 a 变化

10%时, A 变化百分之几。

(b) 当 $f=0.1$ 时, 重复(a)中的计算。

8.2 对于图 8.2 的特征提供数据如下:

$$S_{o2} = 15 \text{ V} \quad S_{o1} = 7 \text{ V} \quad a_1 = 50\,000 \quad a_2 = 20\,000$$

(a) 当反馈因数 $f=10^{-4}$ 时, 计算并绘制所有关于图 8.3 放大器的传输特性。

(b) 当 $f=0.1$ 时, 重复(a)。

8.3(a) 在习题 8.2(b) 的情况下, 如果提供一个振幅为 1.5 V 的正弦输入电压 S_i , 绘制输出电压波形 S_o 和误差电压波形 S_e 。

(b) 如果输入幅度为 2 V, 重复(a)。

8.4 将图 8.40、图 8.41 和图 8.42 改成并联-串联反馈放大器。

8.5 将图 8.43、图 8.44 和图 8.45 改成串联-串联反馈放大器。

8.6 图 8.15a 所示的并联-并联反馈放大器, 取 $R_F = 100 \text{ k}\Omega$ 且 $R_L = 10 \text{ k}\Omega$ 。对于运算放大器假定 $R_i = 500 \text{ k}\Omega$, $R_o = 200 \Omega$, $a_v = 75\,000$ 。计算输入电阻、输出电阻、环路传递系数和闭环增益:

(a) 用二端口分析公式(参见 8.5 章节)。

(b) 用反馈比分析公式(参见 8.8 章节)。

8.7 图 8.48 中所示并联-并联反馈放大器的交流原理图。所有晶体管的参数为 $I_D = 1 \text{ mA}$, $W/L = 100$, $k' = 60 \mu\text{A}/\text{V}^2$, $\lambda = 1/(50 \text{ V})$ 。

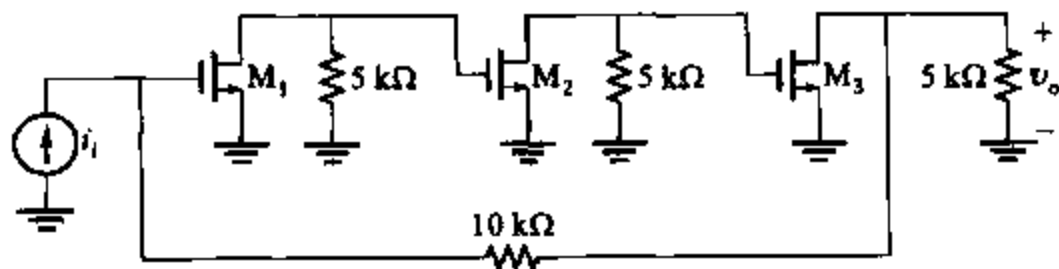


图 8.48 并联-并联反馈放大器的交流原理图

(a) 计算低频状态下总增益 v_o/v_i 、环路传递、输入阻抗和输出阻抗。用二端口分析公式(参见 8.5 章节)。

(b) 如果电路由源电阻为 1 kΩ 的电流源 i_i 激励, 电路新的输出电阻为多少?

8.8(a) 将图 8.48 中电路的 NMOS 管用双极型 npn 晶体管代替重做习题 8.7(a)。所有集电极电流为 1 mA, 且 $\beta = 200$, $V_A = 50 \text{ V}$, $r_b = 0$ 。

(b) 如果电路由源电阻为 1 kΩ 的电流源 i_i 激励, 电路新的输出电阻为多少?

8.9 用反馈比公式重做习题 8.7(参见 8.8 章节)。

8.10 用反馈比公式重做习题 8.8(参见 8.8 章节)。

8.11 一个平衡单片串联-串联三倍器的半边电路如图 8.18a 所示。用如下数值计算输入阻抗、输出阻抗、环路增益和低频状态下电路的总体增益:

$$R_{E1} = R_{E2} = 290 \Omega \quad R_F = 1.9 \text{ k}\Omega \quad R_{L1} = 10.6 \text{ k}\Omega \quad R_{L2} = 6 \text{ k}\Omega$$

对于晶体管, $I_{C1} = 0.5 \text{ mA}$, $I_{C2} = 0.77 \text{ mA}$, $I_{C3} = 0.73 \text{ mA}$, $\beta = 120$, $r_b = 0$, $V_A = 40 \text{ V}$ 。

8.12 如果将输出信号端置于 Q_3 的发射极上, 重做习题 8.11。

8.13 图 8.49 所示一个反馈放大器。元件数据如下: $\beta_{npn} = 200$, $\beta_{pnp} = 100$, $|V_{BE(on)}| = 0.7 \text{ V}$, $r_b = 0$, $|V_A| = \infty$ 。如果直流输入电压为零, 计算低频状态下整体增益 v_o/v_i 、环路增益和输入输出阻抗。将结果

与 SPICE 仿真结果比较。用 SPICE 绘制完整的大信号传递特征,并求输入 v_i 为峰-峰值为 0.5 V 的正弦信号时输出 v_o 的二次、三次谐波失真。

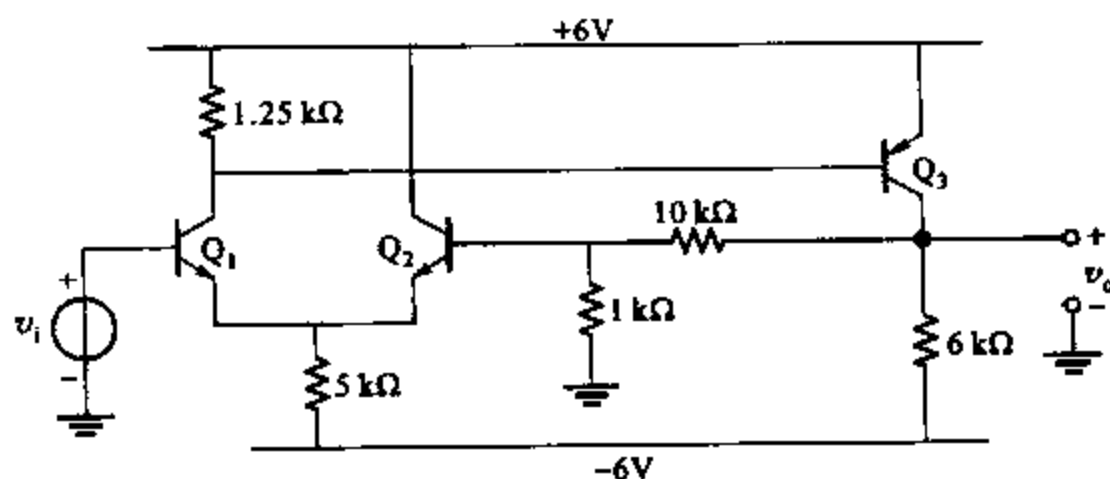


图 8.49 反馈放大器电路

8.14 用 NMOS 管 $M_1 - M_2$ 代替图 8.49 中 npn 双极型晶体管 $Q_1 - Q_2$, 并用 PMOS 管 M_3 代替 pnp 双极型晶体管 Q_3 。用 $4.35 \text{ k}\Omega$ 的电阻替换 M_1 的 $1.25 \text{ k}\Omega$ 的漏极电阻。重新计算并仿真习题 8.13。所有元件数据如下: $W/L = 100$, $\gamma = 0$, $|\lambda| = 0$ 。且 $V_{tn} = -V_{tp} = 1 \text{ V}$, $k'_n = 60 \mu\text{A/V}^2$, $k'_p = 20 \mu\text{A/V}^2$ 。

8.15 如图 8.50 所示为一个平衡单电路串联-并联反馈放大器

(a) 如果一般情况输入电压为零, 计算每个器件的偏置电流。假设 β_F 非常大。

(b) 计算低频状态下电压增益、输入阻抗、输出阻抗和环路增益。器件数据如下:

$$\beta = 100 \quad r_b = 50 \Omega \quad V_A = \infty \quad V_{BE(on)} = 0.7 \text{ V}$$

(c) 将答案与 SPICE 仿真(忽略环路增益)比较, 并且用 SPICE 绘制全部大信号电路传递特性。如果电阻温度系数 $+1000 \text{ ppm/}^\circ\text{C}$, 用 SPICE 确定电路增益温度系数, 温度范围为 $-55 \sim +125^\circ\text{C}$ 。

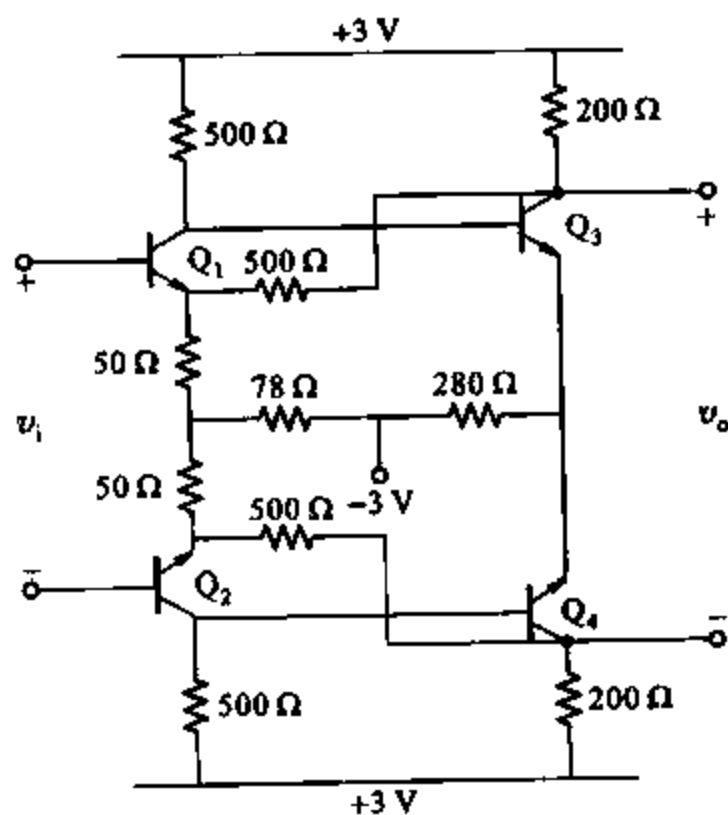


图 8.50 平衡单电路串联-并联反馈放大器

8.16 若元件按如下改变,图 8.50 中电路的环路增益 $T = af$ 怎样变化?

- (a) 输入端发射极电阻为 $50\ \Omega$ 。
- (b) $500\ \Omega$ 的反馈电阻。
- (c) 输出负载电阻 $200\ \Omega$ 。

8.17 图 8.31 所示并联-串联反馈放大器的交流原理图。参数值为 $R_F = 1\ \text{k}\Omega$, $R_E = 100\ \Omega$, $R_{L1} = 4\ \text{k}\Omega$, $R_S = 1/\gamma_S = 1\ \text{k}\Omega$, $z_L = 0$ 。器件参数: $\beta = 200$, $r_b = 0$, $I_{C1} = I_{C2} = 1\ \text{mA}$, $V_A = 100\ \text{V}$ 。

- (a) 计算低频状态下总增益 i_o/i_i 、环路传递系数和低频状态下的输入输出阻抗。
- (b) 如果 R_{L1} 的值变化 $+10\%$, 则在整体传递系数和输出阻抗上变化多少?

8.18 (a) 在 $R_F = 5\ \text{k}\Omega$, $R_E = 200\ \Omega$, $R_{L1} = 10\ \text{k}\Omega$, $\gamma_S = 0$ 条件下, 重做习题 8.17(a)。

- (b) 如果 Q_1 的集电极电流增加 20% , 环路增益和输出电阻变化多少?

8.19 图 8.34 所示局部并联反馈电路中, 计算在低频状态下跨导、输入阻抗、输出阻抗和传递系数。参数如下: $R_E = 200\ \Omega$, $\beta = 150$, $I_C = 1\ \text{mA}$, $r_b = 200\ \Omega$, $V_A = 80\ \text{V}$ 。

8.20 如图 8.51 所示商业宽带单片反馈放大器(733)。电路由一个局部串联反馈电路激励一个两级并联-并联反馈放大器。输入级的电流输出的作用类似一个电流驱动并联-并联输出部分。

- (a) 假定所有设备参数相同, 计算每个设备集电极偏置电流。
- (b) 计算低频输入阻抗、输出阻抗和 $R_L = 2\ \text{k}\Omega$ 状态下电路的总增益 v_o/v_i 。并计算输出部分的环路增益。

数据: $\beta = 100$, $r_b = 0$, $r_o = \infty$ 。

- (c) 比较答案与 SPICE 偏置电流、输入和输出阻抗、电压增益的仿真结果。

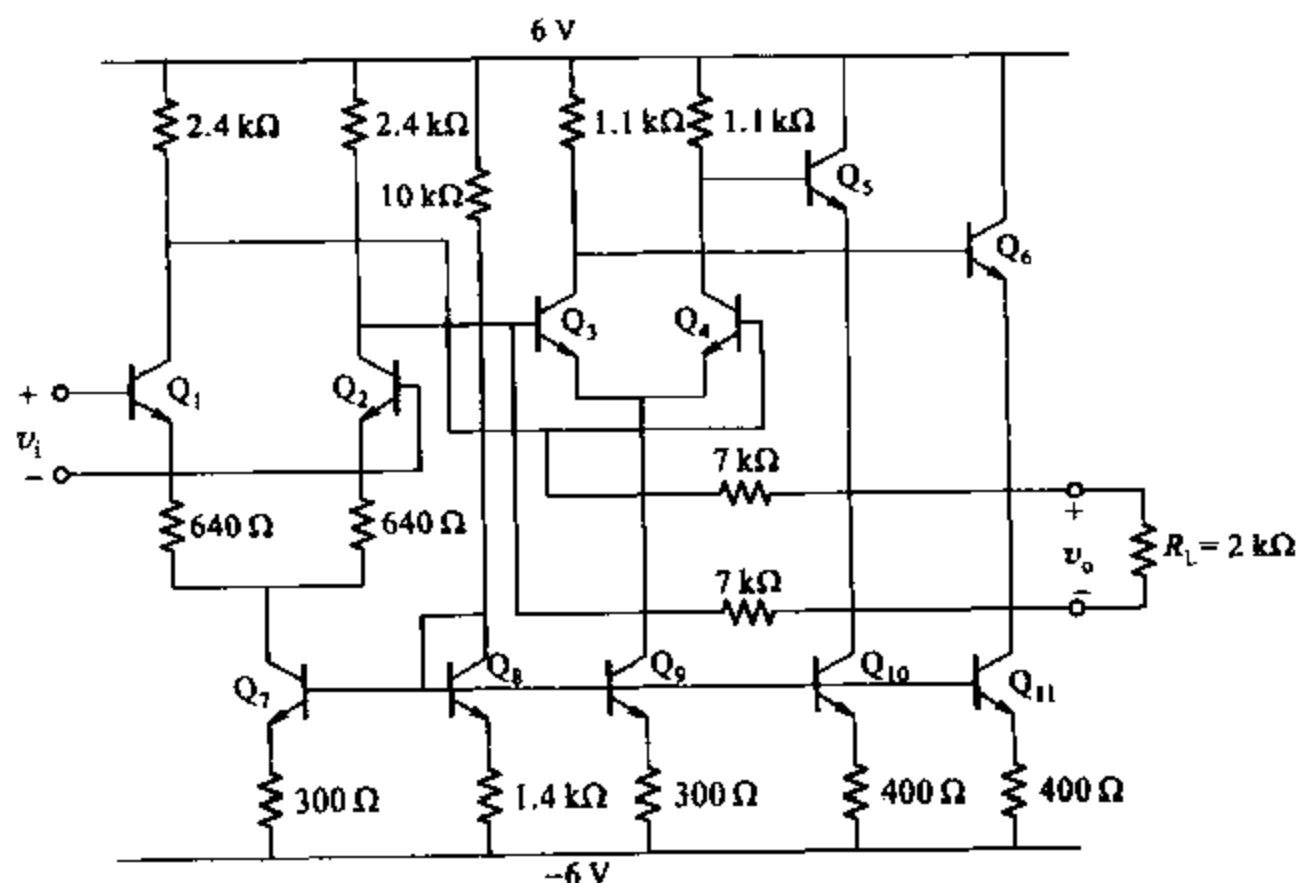


图 8.51 733 宽带单电路放大器的电路图

8.21 如果 723 电压校准器用于实现负载为 $1\ \text{k}\Omega$ 的输出电压为 $V_o = 10\ \text{V}$, 计算输出电阻和校准器的环路增益。如果一个 $500\ \Omega$ 负载连接于校准器的 $1\ \text{k}\Omega$ 的负载处, 计算新的 V_o 值。用 SPICE 确定电路

的线路调节率和负载调节率。已知参数 $I_1 = 1 \text{ mA}$, $\beta = 100$, $V_A = 100 \text{ V}$, $I_s = 10^{-13} \text{ A}$ 和 $r_b = 0$ 。

8.22 假设图 3.78 所示 BiCMOS 放大器由一个电流源供电。计算低频小信号跨阻 v_o/i_i 、环路增益、电路的输入和输出阻抗。用习题 3.17 的数据。将结果与 SPICE 仿真比较, 并且用 SPICE 绘制电路完整的大信号传输特征。

8.23 一个可变增益 CMOS 放大器如图 8.52 所示。注意 M_4 引入并联反馈与 M_6 相连。假定调整偏置电压 V_i 值使直流 $V_{GS6} = 0 \text{ V}$, 计算 V_c 为 3 V , 4 V 时, 所有器件的偏置电流和小信号电压增益与输出电阻。将结果与 SPICE 仿真相比较, 并用 SPICE 绘制出电路完整大信号传输特征。所用数据如下: $\mu_n C_{ox} = 60 \mu\text{A}/\text{V}^2$, $\mu_p C_{ox} = 30 \mu\text{A}/\text{V}^2$, $V_{in} = 0.8 \text{ V}$, $V_{fp} = -0.8 \text{ V}$, $\lambda_n = \lambda_p = 0$, $\gamma_n = 0.5 \text{ V}^{1/2}$ 。

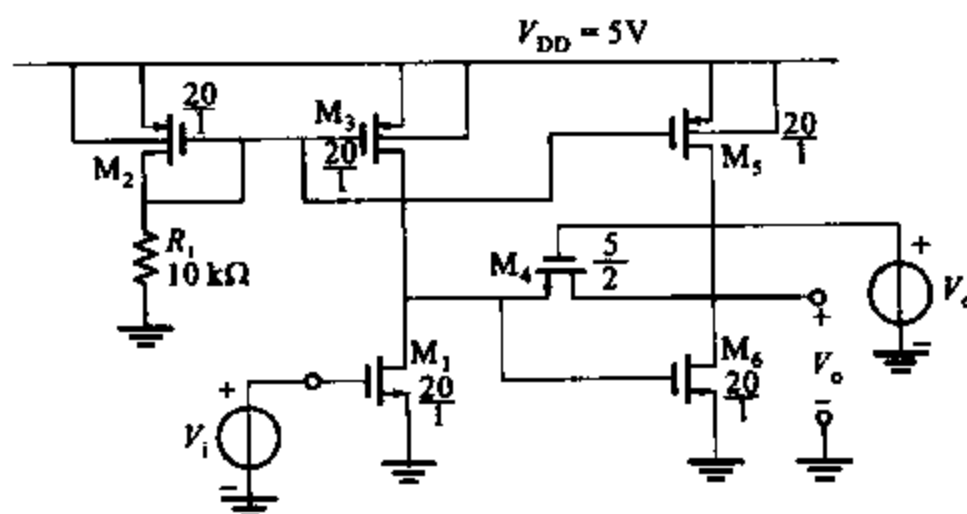


图 8.52 题 8.23 中的可变增益 CMOS 管放大器

8.24 一个 CMOS 反馈放大器如图 8.53 所示。如果直流输入电压为零, 计算总增益 v_o/v_i 和输出电阻。将结果与 SPICE 仿真。用数据 $\mu_n C_{ox} = 60 \times 10^{-6} \text{ A}/\text{V}^2$, $\mu_p C_{ox} = 30 \times 10^{-6} \text{ A}/\text{V}^2$, $V_{in} = 0.8 \text{ V}$, $V_{fp} = -0.8 \text{ V}$, $\lambda_n = |\lambda_p| = 0.03 \text{ V}^{-1}$, $\gamma_n = \gamma_p = 0$ 。

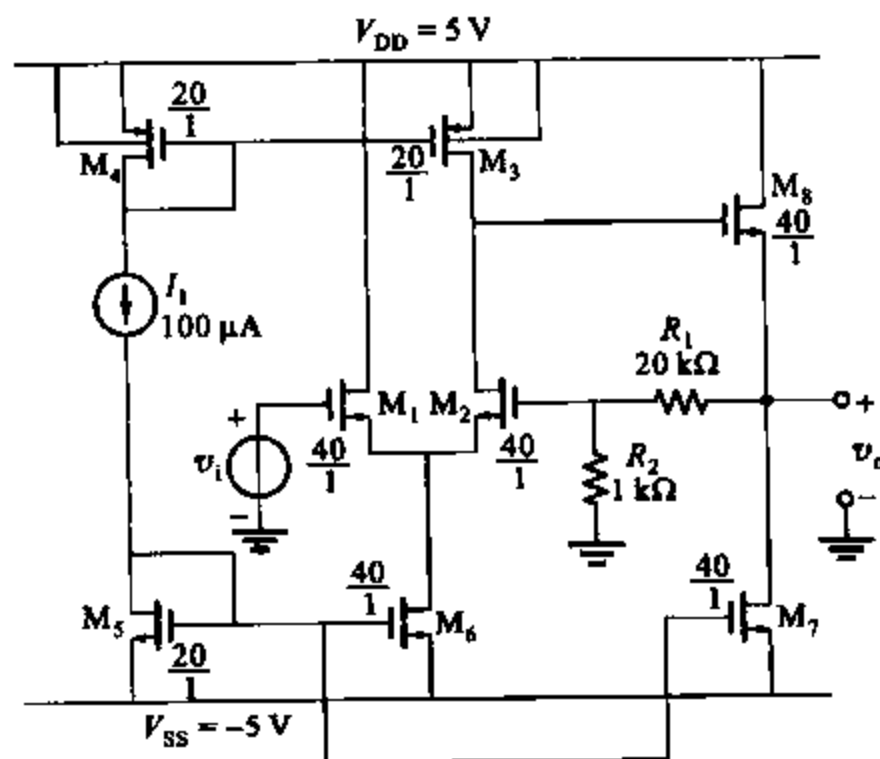


图 8.53 题 8.24 中的 CMOS 反馈放大器

8.25 如图 8.54 所示为一个有源共源-共栅放大器电路。假设放大器 A_1 增益 $a = 1 \times 10^3$ 且输入阻抗为无穷大。对于晶体管, $k'_n = 140 \mu\text{A}/\text{V}^2$, $V_{on} = 0.3 \text{ V}$, $\gamma = 0$, $\lambda_n = 0.03 \text{ V}^{-1}$ 。假设所有晶体管工作在放大区。用布莱克曼阻抗公式计算输出电阻。而后计算电压增益 v_o/v_i 。

8.26 用布莱克曼阻抗公式求图 8.55 所示有源共源-共栅电流源的输出电阻。用 g_{m1} , g_{m2} , r_{o1} , r_{o2} 和 a 表示结果。假定所有晶体管均工作在放大区, 且 $(W/L)_1 = (W/L)_2 = (W/L)_3$, $\gamma = 0$ 。(M₂ 的漏极与其他连接电路未画出。)并且, 假如电路有无穷大的输入阻抗和零输出阻抗。

- 参照受控源 g_{m2} 计算。
- 参照放大器中的压控电压源 a 重复计算。
- 比较(a)和(b)的结果。

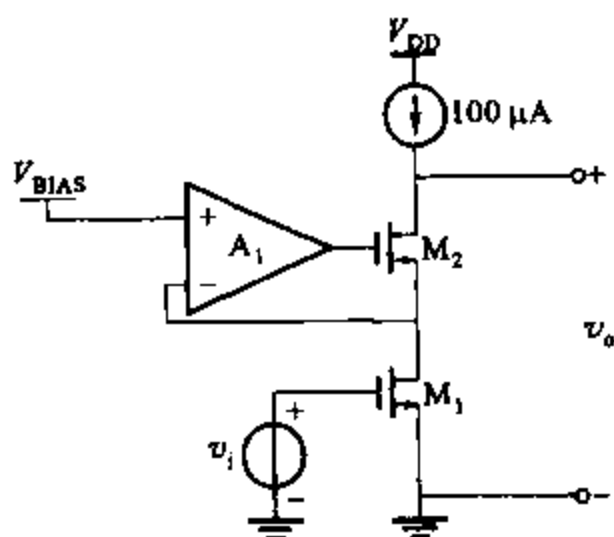


图 8.54 一个有源共基增益电路

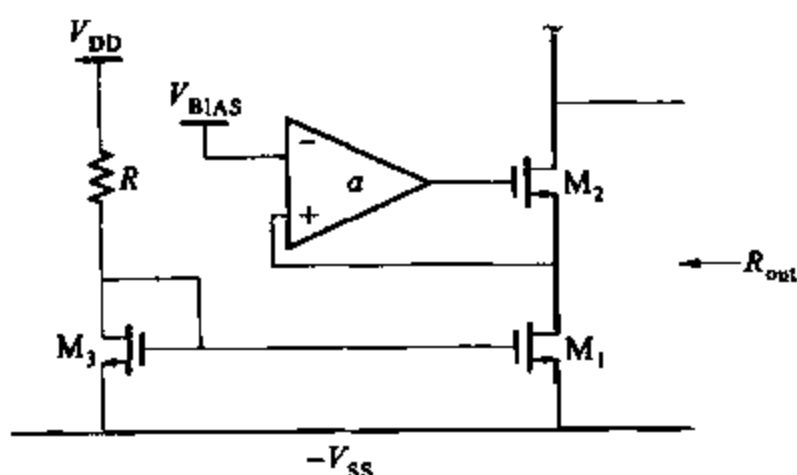


图 8.55 一个有源共基电流源

8.27 用反馈比分析和布莱克曼阻抗公式求图 8.56 中反向增益放大器的闭环增益、反馈比、输入电阻与输出电阻。对于电路, 假设 $R_i = 1 \text{ M}\Omega$, $R_o = 10 \text{ k}\Omega$ 且 $a_v = 200$ 。

8.28 如图 8.57 所示局部并联-并联反馈电路的交流原理图。已知 $R_F = 100 \text{ k}\Omega$, $R_L = 15 \text{ k}\Omega$ 。对于 CMOS 晶体管, $I_D = 0.5 \text{ mA}$, $W/L = 100$, $k' = 180 \mu\text{A}/\text{V}^2$, $r_o = \infty$ 。计算输入电阻、输出电阻、环路传递系数和闭环增益:

- 用二端口分析公式(参见 8.5 章节)。
- 用反馈比分析公式(参见 8.8 章节)。

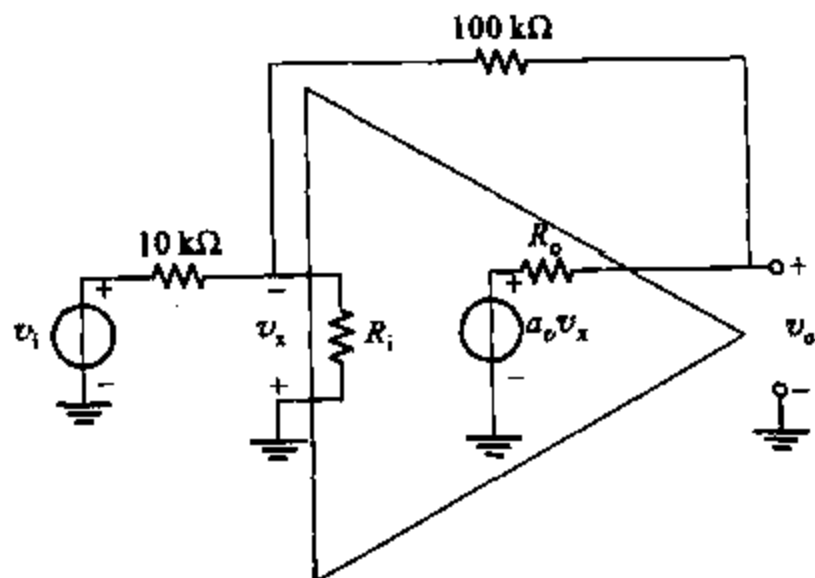


图 8.56 一个反向反馈放大器

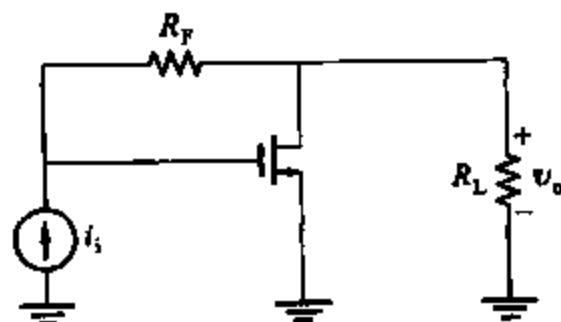


图 8.57 一个本地并联-并联反馈放大器

8.29 用 npn 晶体管替代图 8.57 中的 MOS 管。数据为 $R_F = 2 \text{ k}\Omega$, $R_L = 2 \text{ k}\Omega$, $\beta = 200$, $I_C = 1 \text{ mA}$, $r_b = 0$, $V_A = 100 \text{ V}$ 。

(a) 重做习题 8.28(a)。

(b) 重做习题 8.28(b)。

8.30 一个电压跟随器反馈电路如图 8.58 所示。对于 MOS 管, $I_D = 0.5 \text{ mA}$, $k' = 180 \mu\text{A}/\text{V}^2$, $r_o = \infty$, $W/L = 100$, $|\phi_t| = 0.3 \text{ V}^{1/2}$ 。对于运算放大器, 假如 $R_i = 1 \text{ M}\Omega$, $R_o = 10 \text{ k}\Omega$, 且 $a_v = 1000$ 。计算输入电阻、输出电阻、环路传递系数和闭环增益:

(a) 用二端口分析公式(参见 8.5 章节)。

(b) 用反馈比分析公式(参见 8.8 章节)。

8.31 用 npn 晶体管替代图 8.58 中的 MOS 管。对于晶体管, $I_C = 0.5 \text{ mA}$, $r_o = \infty$ 。

(a) 重计算习题 8.30(a)。

(b) 重计算习题 8.30(b)。

8.32 对于如图 8.59 所示放大器, $R_1 = 1 \text{ k}\Omega$ 和 $R_2 = 5 \text{ k}\Omega$ 。对于运算放大器, $R_i = 1 \text{ M}\Omega$, $R_o = 100 \Omega$, $a_v = 1 \times 10^4$ 。计算输入电阻、输出电阻、环路传递系数和闭环增益:

(a) 用二端口分析公式(参见 8.5 章节)。

(b) 用反馈比分析公式(参见 8.8 章节)。

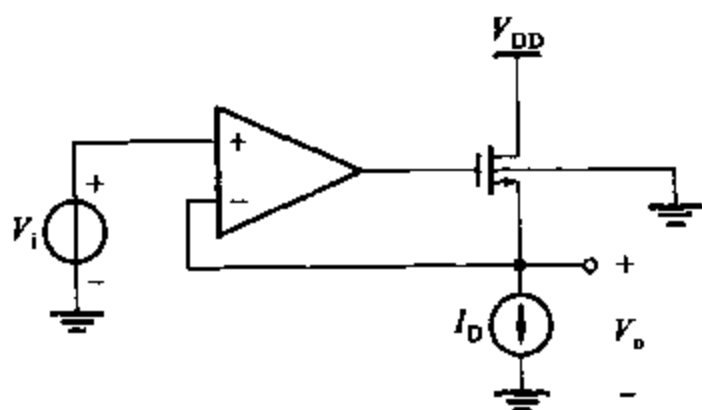


图 8.58 一个电压跟随器

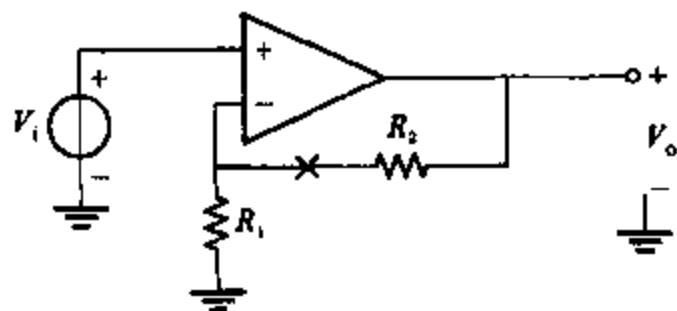


图 8.59 一个放大器反馈放大器

8.33 在受控源处断开反馈环路后, 计算反馈比。然而, 在受控源处断开反馈环路在 SPICE 仿真一般是不可能的, 因为受控源(例如, 在晶体管小信号模型中的 g_m 电源)会隐藏于小信号模型中。因此, 不能在仿真中连接和断开受控源。关于图 8.59, 可以用通过 SPICE 仿真反馈比的方法, 如图 8.60 所示。首先, 将独立源 V_i 置零。而后, 把交流信号 v_i 和 i_i 加入环路中的便利点(图 8.59 中标有“×”处), 获得两个修改后的模型如图 8.60a 和 8.60b 所示。用图 8.60a, 计算 $\mathcal{R}_i' = -i_m/i_d$ 。用图 8.60b, 计算 $\mathcal{R}_v' = -v_m/v_d$ 。测试信号 i_i 和 v_i 幅度不影响 \mathcal{R}_i 和 \mathcal{R}_v 。另外, 交流测试信号不影响反馈电路的直流工作点。受控源的反馈比率 \mathcal{R} 与 \mathcal{R}_i' 和 \mathcal{R}_v' 的关系为¹⁰

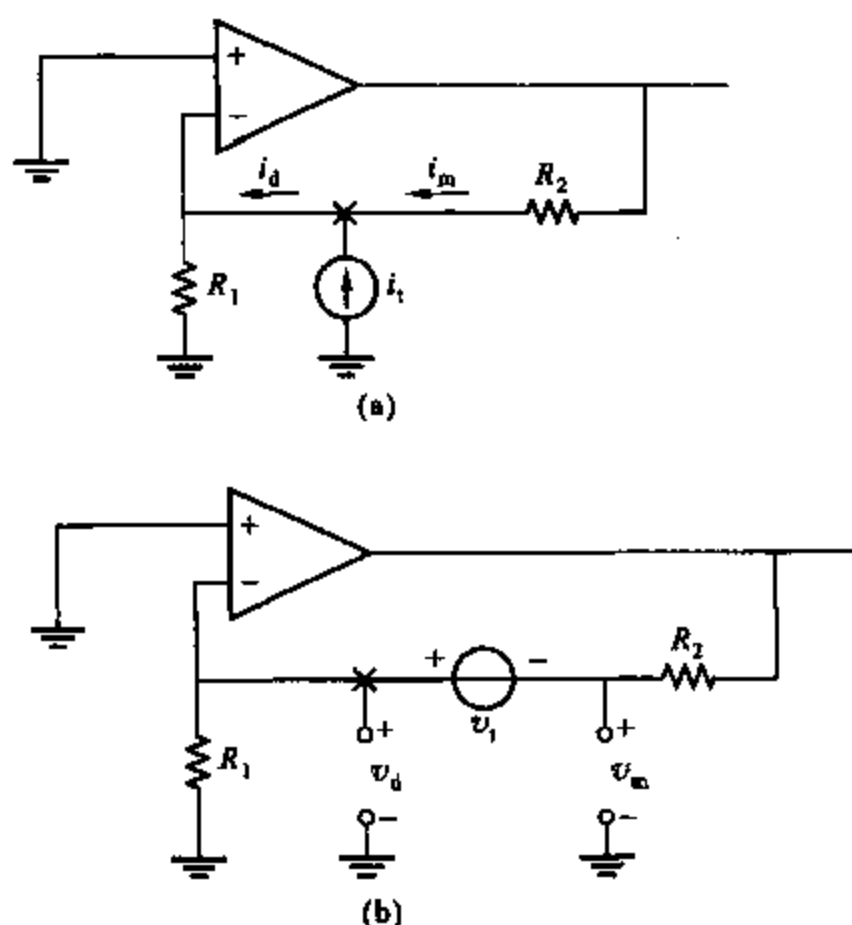
$$\frac{1}{1+\mathcal{R}} = \frac{1}{1+\mathcal{R}_i'} + \frac{1}{1+\mathcal{R}_v'}$$

(a) 计算图 8.60 中电路的 \mathcal{R}_i' 和 \mathcal{R}_v' 。所用元件值见习题 8.32。合并两值用上面的等式求 \mathcal{R} 。

(b) 断开在 a_v 的受控源的回路直接计算 \mathcal{R} 。比较(a)和(b)结果。

(c) 用 SPICE 仿真求 \mathcal{R}_i' 和 \mathcal{R}_v' 。用上面的等式求 \mathcal{R} 。与(a)中的结果进行比较。

8.34(a) 用 h 参数二端口参数, 计算如图 8.59 所示串联-并联反馈电路的环路增益 $T = af$ 。已知 $R_1 = 200 \text{ k}\Omega$ 和 $R_2 = 100 \text{ k}\Omega$ 。对于运算放大器, 假定 $R_i = 50 \text{ k}\Omega$, $R_o = 1 \text{ M}\Omega$, $a_v = 1 \times 10^3$ 。

图 8.60 (a) 计算 \mathcal{R}_i' 修改的图 8.59 所示的反馈电路;(b) 计算 \mathcal{R}_v' 修改的图 8.59 所示的反馈电路

(b) 如果图 8.59 中输入源位置和类型按图 8.61 改变, 反馈为并联 - 并联类型。对于这个并联 - 并联反馈电路用 y 参数二端口参数计算回路增益 $T = af$ 。所用元件值如(a)。

(c) 对于图 8.61 中的电路计算反馈比 \mathcal{R} , 元件值如(a)。这个反馈比与图 8.59 的电路一样。为什么?

(d) 比较(a)(b)(c)的结果。

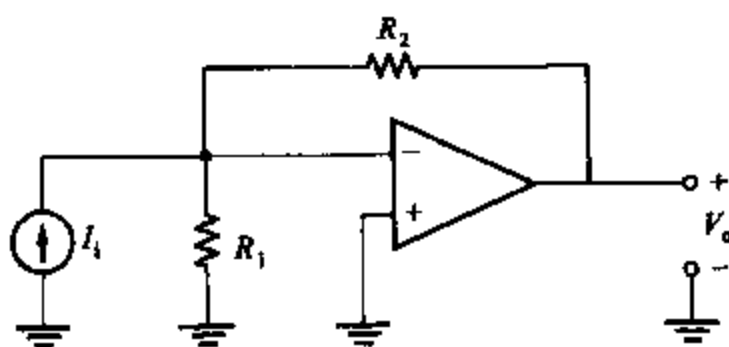


图 8.61 在不同输入信号源情况下图 8.59 所示的反馈电路

参考文献

1. C. A. Desoer and E. S. Kuh, *Basic Circuit Theory*, McGraw-Hill, New York, 1969.

2. J. E. Solomon and G. R. Wilson, "A Highly Desensitized, Wideband Monolithic Amplifier," *IEEE J. Solid State Circuits*, Vol. SC-1, pp. 19-28, September 1966.

3. A. B. Grebene, *Analog Integrated Circuit De-*

sign, Van Nostrand Reinhold, New York, 1972, Chapter 6.

4. R. S. Muller and T. I. Kamins, *Device Electronics for Integrated Circuits*, Wiley, New York, 1977.

5. H. W. Bode *Network Analysis and Feedback Amplifier Design*, Van Nostrand, New York, 1945.

6. E. S. Kuh and R. A. Rohrer, *Theory of Linear Active Networks*, Holden - Day, San Francisco, 1967.
7. S. Rosenstark, *Feedback Amplifier Principles*, MacMillan, New York, 1986.
8. B. Nikolic and S. Marjanovic, "A General Method of Feedback Amplifier Analysis," *IEEE Int'l Symp. on Circuits and Systems*, pp. 415 ~ 418, Monterey, CA, 1998.
9. R. B. Blackman, "Effect of Feedback on Impedance," *Bell Sys. Tech. J.*, Vol. 23, pp. 269 ~ 277, October 1943.
10. R. D. Middlebrook, "Measurement of Loop Gain in Feedback Systems," *Int. J. Electronics*, Vol. 38, no. 4, pp. 485 ~ 512, 1975.

第九章 反馈放大器的频率响应和稳定性

9.1 引言

在第八章中,讲述了参数如增益和终端阻抗对反馈电路的影响。读者看到了负反馈的应用导致许多性能的提高,比如当有源设备参数改变时降低了增益的灵敏度和电路非线性导致的失真。

本章中,将讲解负反馈对电路的频率响应的影响。举例说明在反馈电路中可能出现的振荡,并描述了用电路补偿的方法解决这些问题。最后,研究补偿对反馈放大器的大信号高频性能的影响。

本章中许多的分析是基于图 9.1 所示的理想结构图。这个结构图包括正向增益 a 和反馈因子 f ,这些是第八章反馈电路的二端口分析所用的参数。这些等式和结果可以通过变量的适当变化用第八章反馈比率分析所用的参数描述,即附录 9.1 所示。

本章中的等式和关系十分普遍且可以应用于任何反馈电路。然而,为了简化电路可以假定反馈因子 f 为正且无单位的常量。一个含有 f 的电路是串联-并联反馈电路,如图 8.24 所示。在这电路中,反馈网络是一个电阻分压器,所以 f 是一个常量且范围为 $0 \leq f \leq 1$ 。前向增益 a 在低频状态下为正。电路是一个具有闭环电压增益的放大器。

9.2 反馈放大器中增益与带宽的关系

第八章所述的负反馈性能的提高是以降低增益(降为原增益的 $\frac{1}{1+T}$ 倍)为代价的,其中 T 是环路增益。性能指标的提高也是通过 $(1+T)$ 来改变的。

除了前面的影响,负反馈也会影响带宽。首先考虑图 9.1 所示的简单基本放大器的反馈电路,其增益方程包括一个单一极点

$$a(s) = \frac{a_0}{1 - \frac{s}{p_1}} \quad (9.1)$$

其中 a_0 是基本放大器的低频增益, p_1 是基本放大器极点,单位为 rad/s 。假定反馈路径是纯电阻性且反馈方程 f 是一个正的常量。由于图 9.1 是一个理想反馈结构,总体增益为

$$A(s) = \frac{v_o}{v_i} = \frac{a(s)}{1 + a(s)f} \quad (9.2)$$

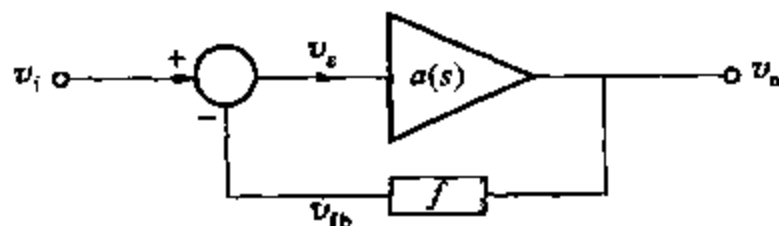


图 9.1 反馈电路的结构

其中环路增益为 $T(s) = a(s)f$ 。将式(9.1)代入式(9.2)得

$$A(s) = \frac{\frac{a_0}{1 - \frac{s}{p_1}}}{1 + \frac{a_0 f}{1 - \frac{s}{p_1}}} = \frac{a_0}{1 - \frac{s}{p_1} + a_0 f} = \frac{a_0}{1 + a_0 f} \frac{1}{1 - \frac{s}{p_1} \frac{1}{1 + a_0 f}} \quad (9.3)$$

由式(9.3)得低频增益 A_0 为

$$A_0 = \frac{a_0}{1 + T_0} \quad (9.4)$$

其中

$$T_0 = a_0 f = \text{低频环路增益} \quad (9.5)$$

由式(9.3)得,反馈电路-3 dB带宽(如新极点幅度)为 $(1 + a_0 f) \cdot |p_1|$ 。因此,反馈由因子 $(1 + T_0)$ 降低了低频增益,这与第八章的结果是一致的,但是电路的-3 dB截止频率通过相同的量 $(1 + T_0)$ 增加了,这一点很明显。注意增益带宽积为常量。这些结果如图9.2中波特图所示,这里幅度 $a(j\omega)$ 和 $A(j\omega)$ 被绘制在对数制度坐标上。任何 T_0 值的增益曲线都被包含在 $|a(j\omega)|$ 曲线轨迹内。

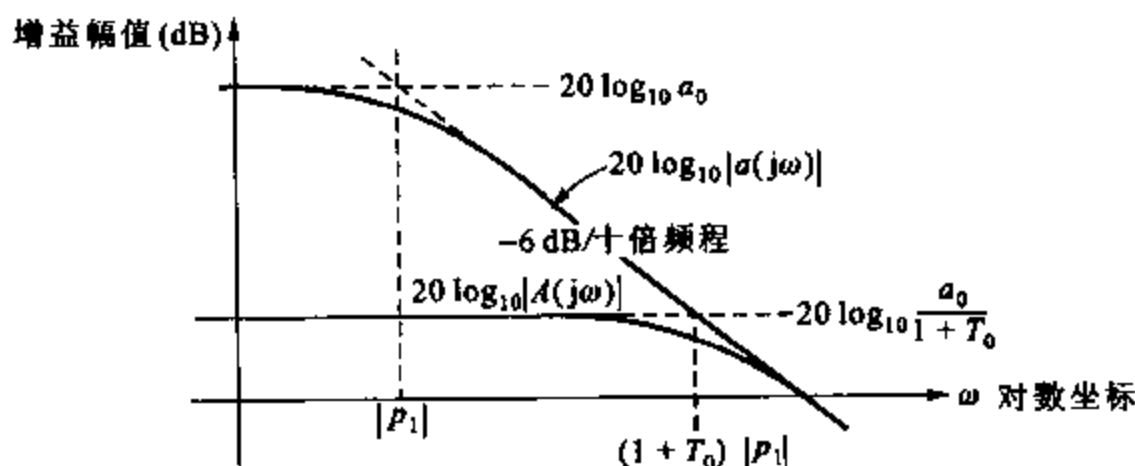


图 9.2 基本放大器和反馈放大器关于频率的增益幅度

因为负反馈的应用允许设计者用增益弥补带宽,负反馈作为一种设计带宽放大器的方法被广泛使用。出现增益下降是由额外增益产生的,这基本上也是反馈放大器。

现在来检查反馈对整体传递函数 $A(s)$ 极点的影响。由式(9.3)明显可知,当低频回路增益 T_0 增加时, $A(s)$ 极点幅度也增加。图9.3所示为 T_0 变化时在 s 平面上 $A(s)$ 极点的

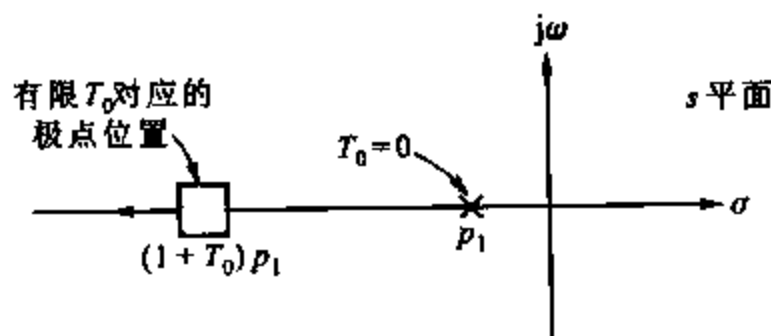


图 9.3 环路增益 T_0 变化时图 9.2 电路极点轨迹

轨迹。极点起始于 $T_0=0$ 的点 p_1 , 当 T_0 为正时极点沿负实轴移动。图 9.3 是一个简单的根轨迹图, 并会在第 9.5 节中进一步讨论。

9.3 不稳定性和奈奎斯特判据¹

在上面简单的例子中, 基本放大器被假定为一个单极点传输函数, 并且情况非常接近于实际中的中心补偿多用途放大器。然而, 许多放大器有多种传递函数, 这些函数导致与上面结果的背离。正如后面看到的那样, 补偿过程克服了这些问题。

考虑一个有三极点的放大器的传递函数

$$a(s) = \frac{a_0}{\left(1 - \frac{s}{p_1}\right)\left(1 - \frac{s}{p_2}\right)\left(1 - \frac{s}{p_3}\right)} \quad (9.6)$$

其中, $|p_1|$ 、 $|p_2|$ 和 $|p_3|$ 是极点幅值, 单位是 rad/s。极点如图 9.4 中 s 平面所示且增益幅度 $|a(j\omega)|$ 和相位 $\text{ph } a(j\omega)$ 曲线以频率为横坐标绘制在图 9.5 中, 图中假定相邻两极点之间相差十倍。在图中只画出了渐进线。在第一个极点 $|p_1|$ 的频率, $|a(j\omega)|$ 图按 6 dB/十倍频程下降且 $\text{ph } a(j\omega)$ 接近 -90° 。在 $|p_2|$ 上, 其变成 12 dB/十倍频程和 -180° , 并且在 $|p_3|$ 上, 其变成 18 dB/十倍频程和 -270° 。 $\text{ph } a(j\omega) = -180^\circ$ 处的

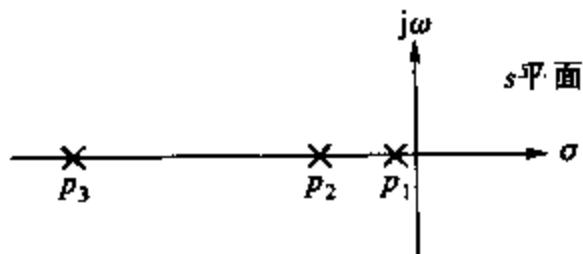


图 9.4 s 平面中一个放大器的极点

频率有特殊的重要性且标记为 ω_{180} , 在此频率下 $|a(j\omega)|$ 的值记作 a_{180} 。若三个极点分布宽度平均(按 10 倍或更大的倍数), 相位在频率 $|p_1|$ 、 $|p_2|$ 和 $|p_3|$ 处分别十分接近 -45° 、 -135° 和 -225° 。为了简化将作以上假设。此外, 增益幅度假定按渐进线曲线变化并且实例中这些假设的影响将在以后考虑。

现在考虑图 9.1 中连接在反馈回路的放大器, 其 f 为正常量。由于 f 为常量, 环路增益 $T(j\omega) = a(j\omega)f$ 将会与 $a(j\omega)$ 有相同的频率变化。在极点图上(用 ω 作为参量) $a f(j\omega) = T(j\omega)$ 的幅度相位图可以用图 9.5 中的数据和 f 绘出。这个例子的曲线如图 9.6(没有尺度标识)所示, 并称为奈奎斯特图。曲线的变化非常频繁且从 $\omega = -\infty$ 到 $\omega = \infty$ 变化。对于 $\omega = 0$, $|T(j\omega)| = T_0$ 且 $\text{ph } T(j\omega) = 0$, 曲线与实轴交于截距 T_0 。当 ω 增加时, 如图 9.5 所示, $|a(j\omega)|$ 减小且 $\text{ph } a(j\omega)$ 变为负值, 因此图像位于第四象限。当 $\omega \rightarrow \infty$ 时, $\text{ph } a(j\omega) \rightarrow -270^\circ$ 且 $|a(j\omega)| \rightarrow 0$ 。所以, 图像是渐进于原点的, 并且是相切于虚轴。在频率 ω_{180} 处, 相位为 -180° 且曲线交于负实轴。如果这点上 $|a(j\omega_{180})f| > 1$, 那么奈奎斯特图将围绕点 $(-1, 0)$, 这点很重要。对于这个处理的目的, 可用放大器的稳定性奈奎斯特判据做如下声明:

“考虑一个反馈放大器有稳定的 $T(s)$ (即, $T(s)$ 所有的极点都在左半平面)。如果 $T(j\omega)$ 的奈奎斯特图围绕点 $(-1, 0)$, 那么反馈放大器不稳定。”

这个判据仅仅是做一个关于传递函数 $A(s)$ 在右半平面的数学测试。如果奈奎斯特图

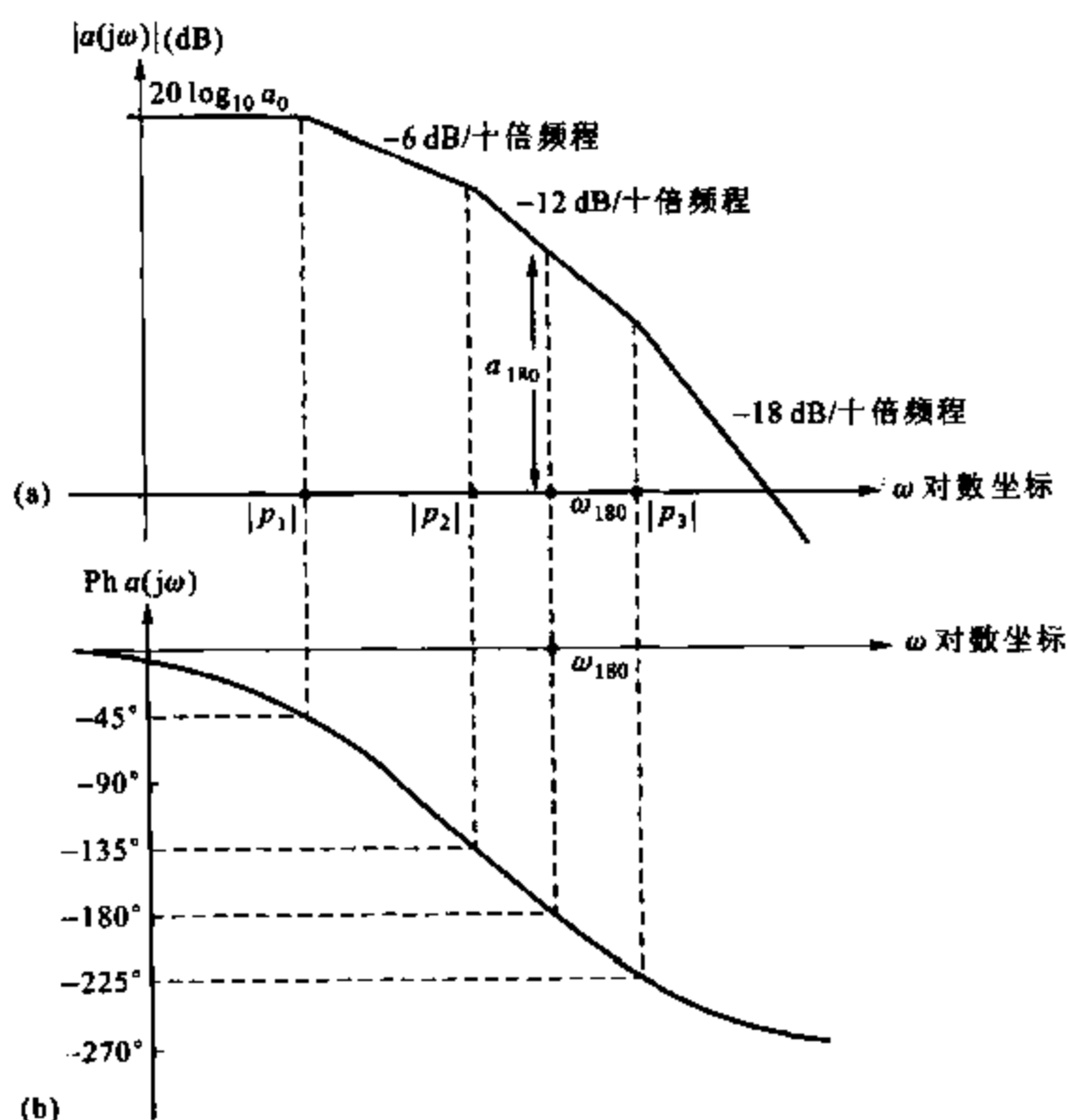
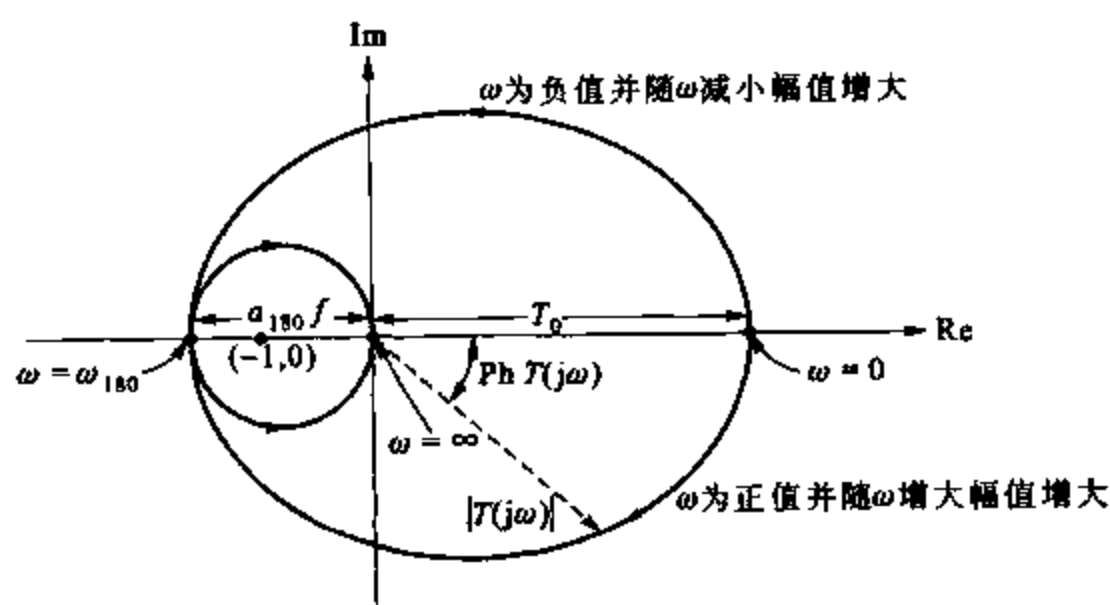


图 9.5 一个有三极点传递函数的电路增益和相位

图 9.6 奈奎斯特图($T(j\omega)$ 的幅度相位极点图)反应图 9.5 的特征

围绕点 $(-1,0)$,该放大器有位于右半平面的极点且电路将会振荡。事实上,曲线围绕点 $(-1,0)$ 的次数直接给出了右半平面的极点数,在这个例子中为3。位于右半平面极点的重要性通过假定一个电路有一对复合极点位于 $(\sigma_1 \pm j\omega_1)$ 处(这里 σ_1 为正)可以看出,电路的瞬态响应包括项 $K_1 e^{\sigma_1 t} \sin \omega_1 t$,如果 σ_1 为正,那么这描述了一条增加的正弦曲线。(K_1 是

一个代表初始条件的常量。)即使没有进一步提供输入信号,这项依然存在,并且这样的电路被称为非稳定电路或振荡电路。

如果假定奈奎斯特图穿过点 $(-1, 0)$,那么可以了解这点的重要性。在频率点 ω_{180} 处,用式(9.2)在频率范围内 $T(j\omega) = a(j\omega)f = -1$ 且 $A(j\omega) = \infty$ 。反馈放大器有正向无穷大增益,并且这指出了不稳定性和振荡的开始。这种情况反应了在 s 平面 $j\omega$ 轴 $A(s)$ 的极点。如果通过增加 a_0 和 f 来增加 T_0 ,那么奈奎斯特图呈线性扩张且围绕点 $(-1, 0)$ 。如图9.7所示,这反映了 $A(s)$ 的极点位于右半平面。

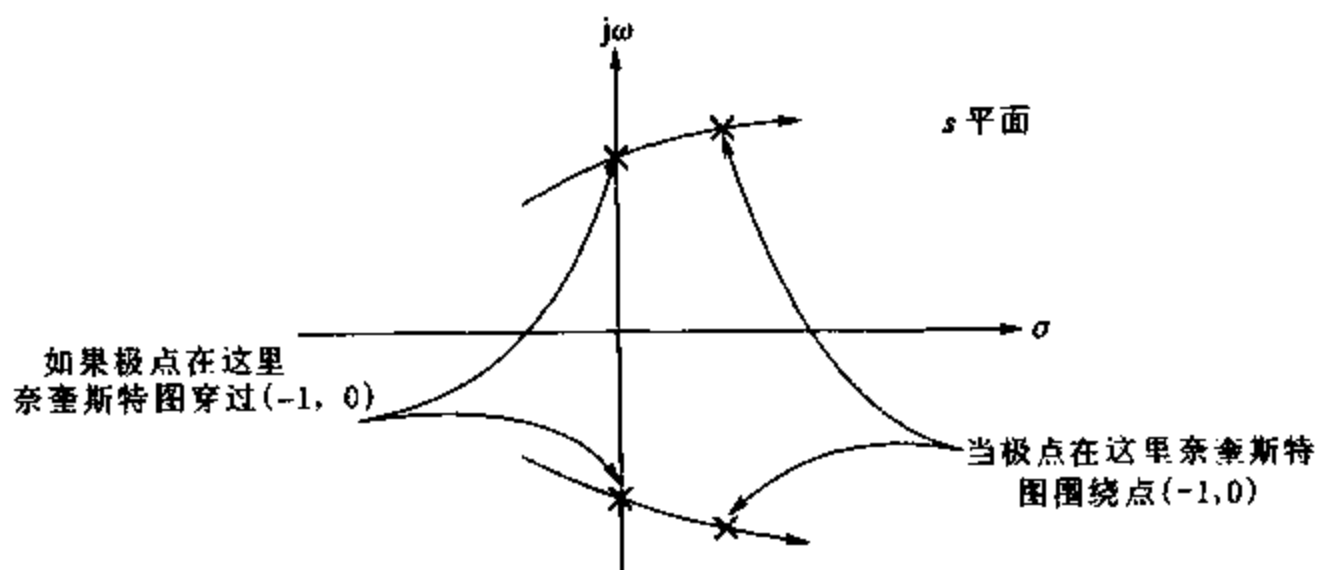


图 9.7 极点图对应不同的奈奎斯特图

由上面的稳定判据,可以得出用于最普遍情形的一个更简单的测试方法。

“如果在 $\text{ph } T(j\omega) = -180^\circ$ 的频率处 $|T(j\omega)| > 1$,那么放大器是不稳定的。”通过对图9.6的检查 and 奈奎斯特判据的运用,很明显地看出,这里所讨论的例子中的判据是有效的。

为了检查反馈对放大器稳定性的影响,考虑增益函数由式(9.6)给出的三极点放大器可以被看成 f 为常量的负反馈电路。放大器的增益(单位: dB)和相位如图9.8所示,并且绘制出 $20\log_{10} 1/f$ 量。 $20\log_{10} 1/f$ 的值与放大器提供的低频分贝增益近似相等。因为

$$A_0 = \frac{a_0}{1 + a_0 f} \quad (9.7)$$

所以

$$\frac{1}{f} \approx A_0 \quad (9.8)$$

如果

$$T_0 = a_0 f \gg 1$$

考虑 $20\log_{10} |a(j\omega)|$ 的曲线之间的垂直距离和图9.8中的 $20\log_{10} 1/f$ 的线段。因为垂直尺度按分贝计算数值为

$$x = 20\log_{10} |a(j\omega)| - 20\log_{10} 1/f \quad (9.9)$$

$$\begin{aligned} &= 20\log_{10} |a(j\omega)f| \\ &= 20\log_{10} |T(j\omega)| \end{aligned} \quad (9.10)$$

因此距离 x 是环路增益 $|T(j\omega)|$ 数值的直接的量度。 $20\log_{10}|a(j\omega)|$ 曲线与 $20\log_{10} 1/f$ 直线的相交点是环路增益幅度 $|T(j\omega)|$ 为 0 dB 或单位 1 的那一点, 并且如果将交点所在的 $20\log_{10} 1/f$ 作为新的零坐标轴, 图 9.8 中 $|a(j\omega)|$ 的分贝曲线则可以被认为是 $|T(j\omega)|$ 的分贝曲线。

9.1 节中简单的例子说明了反馈提供的频率增益曲线 ($20\log_{10}|A(j\omega)|$) 沿着直线 $20\log_{10} A_0$ 直到其交于增益曲线 $20\log_{10}|a(j\omega)|$ 。在更高频率时, 曲线 $20\log_{10}|A(j\omega)|$ 也可以简单地认为沿着基本的放大器的曲线 $20\log_{10}|a(j\omega)|$ 。这原因现在很明显, 即在高频时环路增益 $|T(j\omega)| \rightarrow 0$, 也就是反馈对放大器增益没有影响。

图 9.8 说明环路增益幅度 $|T(j\omega)|$ 在频率 ω_0 处为单位 1。在这个频率点上, 对于这个例子 $T(j\omega)$ 的相位都没有达到 -180° , 并且用上面修订的奈奎斯特判据, 可以判定反馈电路是稳定的。在 $\text{ph } T(j\omega) = -180^\circ$ 的点很明显有 $|T(j\omega)| < 1$ 。如果绘制该例子的极点奈奎斯特图, 那么曲线不包含点 $(-1, 0)$ 。

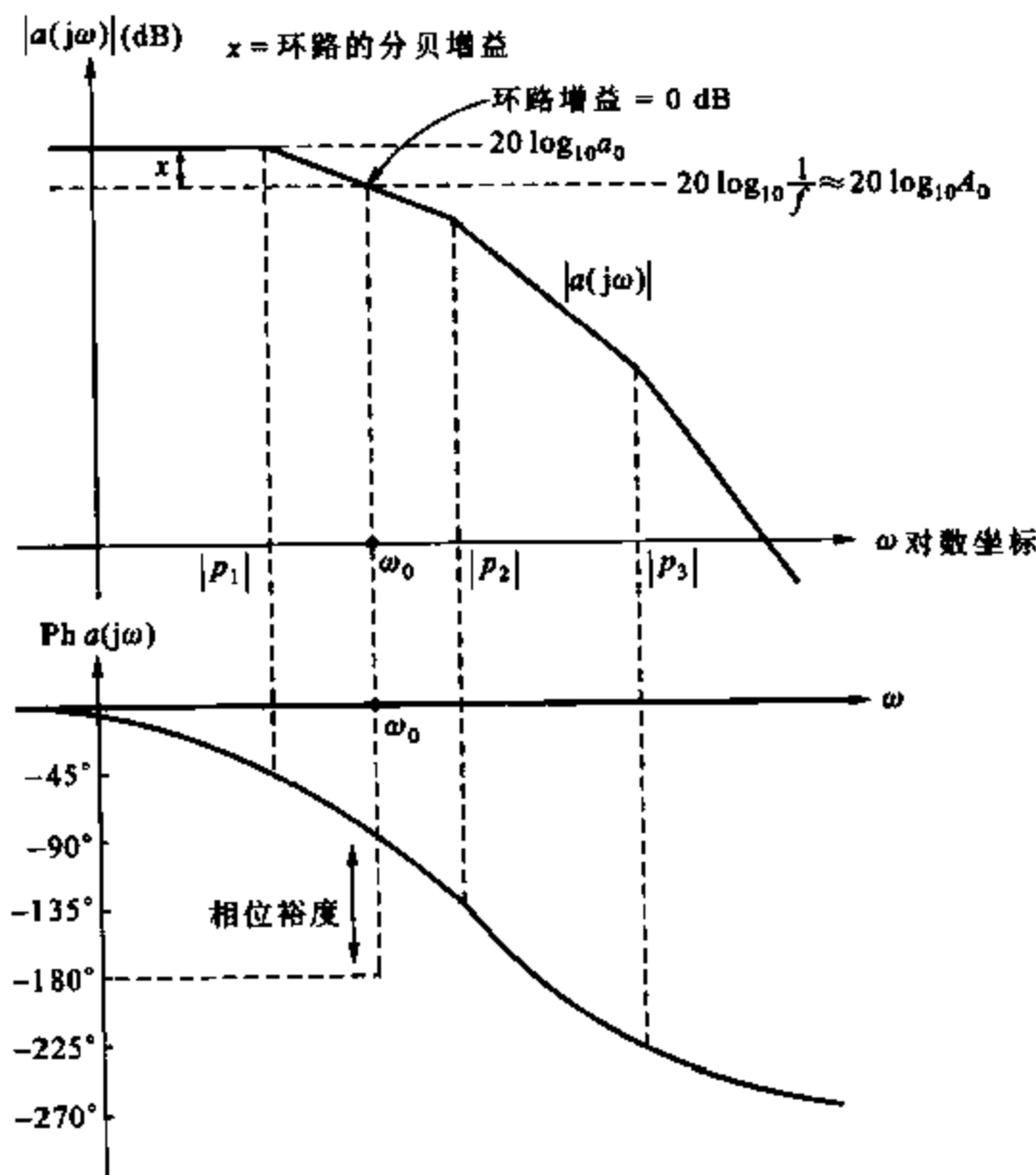


图 9.8 放大器幅频和相频所示的相位裕度

因为在 $\text{ph } T(j\omega) = -180^\circ$ 所对应频率处 $|T(j\omega)|$ 非常接近单位 1, 则放大器的稳定裕度变得更小, 可由两种方式指定。最普遍的是相位稳定区间, 其定义如下:

相位裕度 = $180^\circ + (\text{在 } |T(j\omega)| = 1 \text{ 的频率处的 } \text{ph } T(j\omega))$ 。相位裕度如图 9.8 所示, 若电路稳定其必须大于 0° 。

另一种稳定的判定方法是增益裕度法。其定义为在 $\text{ph } T(j\omega) = -180^\circ$ 处的频率所对应的 $1/|T(j\omega)|$ 的分贝数在电路稳定时必大于零。

现在讨论相位裕度大小的重要性。对于 9.1 节中考虑的反饋放大器, 这里的基本放大器有单极点响应。如果低频电路增益相当大, 那么相位裕度很明显为 90° 。如图 9.9 所示, 并且是一个非常稳定的放大器的结果。实际中对于相位裕度, 一个典型的更低的可允许的极限为 45° , 通常是 60° 。

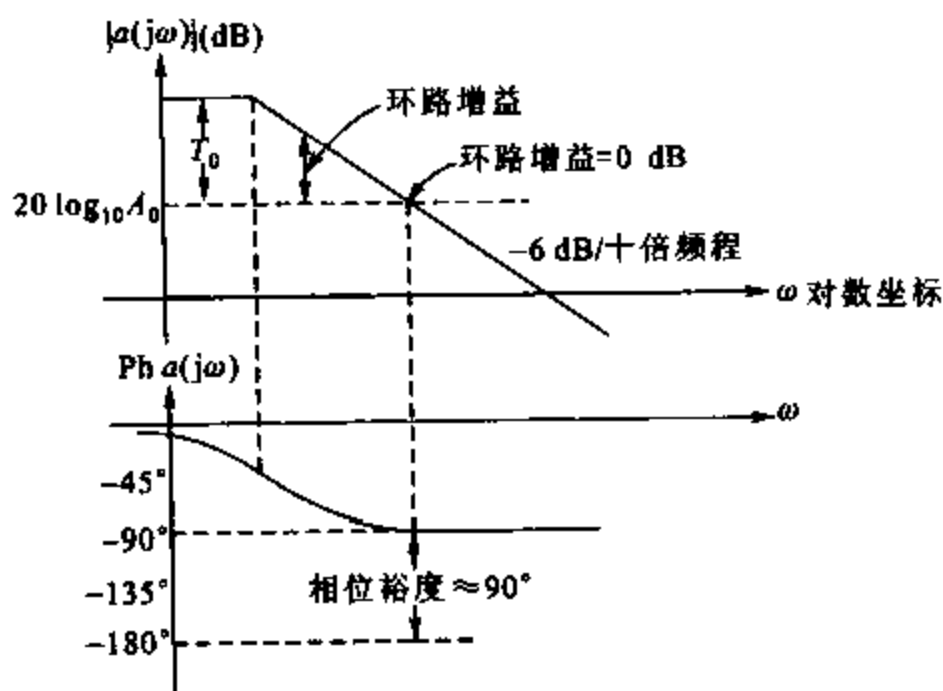


图 9.9 单极点基本放大器的幅频和相频
表明低频环路增益 T_0 的相位裕度

考虑一个反馈放大器其相位裕度为 45° , 反馈函数 f (实常量)。

$$\text{ph } T(j\omega_0) = -135^\circ \quad (9.11)$$

其中频率 ω_0 由下式定义:

$$|T(j\omega_0)| = 1 \quad (9.12)$$

现在 $|T(j\omega_0)| = |a(j\omega_0)f| = 1$ 意味着

$$|a(j\omega_0)| = \frac{1}{f} \quad (9.13)$$

假定 f 为正实数

总增益为

$$A(j\omega) = \frac{a(j\omega)}{1 + T(j\omega)} \quad (9.14)$$

将式(9.11)和式(9.12)代入式(9.14)得

$$A(j\omega_0) = \frac{a(j\omega_0)}{1 + e^{-j135^\circ}} = \frac{a(j\omega_0)}{1 - 0.7 - 0.7j} = \frac{a(j\omega_0)}{0.3 - 0.7j}$$

所以利用式(9.13)得

$$|A(j\omega_0)| = \frac{|a(j\omega_0)|}{0.76} = \frac{1.3}{f} \quad (9.15)$$

$|T(j\omega_0)| = 1$ 时的频率 ω_0 , 通常是一个单极点基本放大器的 -3 dB 点, 但是在这个例子中存在低频增益 $1/f$ 的 2.4 dB ($1.3 \times$) 的峰值点。

考虑 60° 的相位裕度。在这种情况下, 频率为 ω_0 处有

$$\text{ph } T(j\omega_0) = -120^\circ \quad (9.16)$$

而且

$$|T(j\omega_0)| = 1 \quad (9.17)$$

进行近似的分析得到

$$|A(j\omega_0)| = \frac{1}{f} \quad (9.18)$$

本例中, 在 $\omega = \omega_0$ 处没有峰值, 但是在这个频率上也没有增益降低。

最后, 相位裕度为 90° 地方可以近似计算出来。于是

$$\text{ph } T(j\omega_0) = -90^\circ \quad (9.19)$$

进行相似的分析得到

$$|A(j\omega_0)| = \frac{0.7}{f} \quad (9.20)$$

同预想中的一致, 在中心带宽以下频率 ω_0 处的增益为 3 dB。

这些结果如图 9.10 所示, 这里显示的是不同相位裕度的标准化频率的总增益。除了 90° 的相位裕度只有一个极点的情况之外, 假定响应只取决于前两个极点。当相位裕度减小时, 增益峰值变大直到增益达到无穷并且对于相位裕度 $= 0^\circ$ 出现振荡。增益峰值点经常接

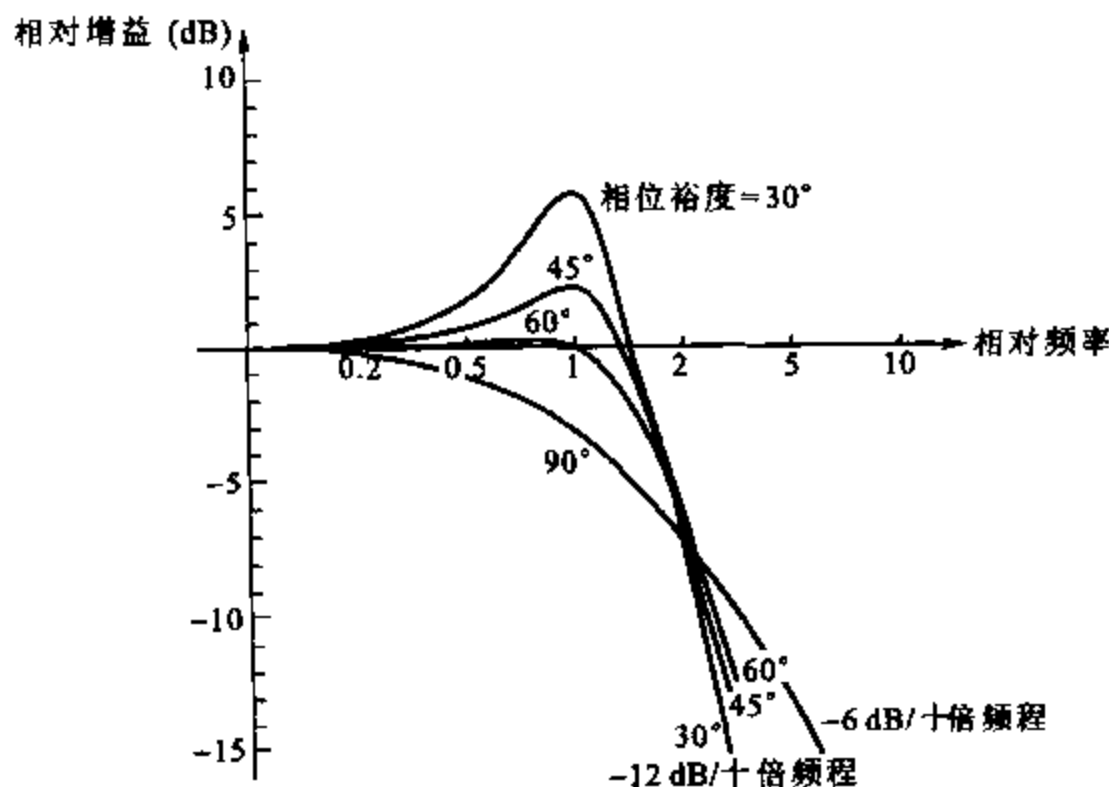


图 9.10 多种相位情况下反馈放大器标准频率和标准增益。

把频率参照单位环路增益频率标准化

近 $|T(j\omega)|=1$ 处的频率,但是对于 60° 的相位裕度低于这个频率时为 0.2 dB 。注意在峰值点以后,除了相位裕度为 90° 外,增益曲线以接近 -12 dB/十倍频程 的直线减小。这是因为开环增益由于传递函数的两个极点而以 -12 dB/十倍频程 的斜率下降。

当相位和增益裕度唯一确定时,可以提供唯一的对于放大器稳定性的简单测试(即,正的相位和增益裕度)。如果环路增益幅度等于1的频率只有一个,相位裕度可以唯一确定。与此类似,如果环路增益相位等于 -180° 的频率唯一,那么增益裕度也可以唯一确定。在大多数反馈电路中,这些裕度都可以唯一确定。然而,如果这些裕度的任一个没有唯一确定,则稳定性可以用奈奎斯特图和奈奎斯特判据确定。

就像本节说明的那样,环路增益 $T=af$ 可以检查确定一个反馈电路的稳定性。另外,衡量稳定性的这些标准如附录9.1中说明的那样也可以用于反馈比 \mathcal{R} 。用SPICE仿真 \mathcal{R}^{-1} 和 $T=af$ 的技术已经有了很大的发展,它是基于测量环路传输的方法。^{6,7}这些技术在直流工作点测量闭环回路传输系数。使用SPICE对于环路传递仿真的优点是包含可能环路有十分重要的影响的寄生现象。例如,在图8.24所示反馈网络中放大器输出的寄生电容引起频率相关,这可能降低相位裕度。

9.4 补偿

9.4.1 补偿理论

设计一个放大器,其增益和相位如图9.8所示。假定已连接了反馈电路,前向增益为 A_0 。如图9.8所示,并且相位裕度为正,所以电路稳定。然而,如果反馈量通过使 f 变大而增加,则最终将导致振荡。图9.11所示,选取 f_1 给出一个零相位裕度和相应的总增益 $A_1=1/f_1$ 。如果反馈增加到 f_2 (且 $A_2\approx 1/f_2$ 为总增益),相位裕度为负且电路将会振荡。因而按前段,如果该放大器被用于一个环路增益大于 $a_0 f_1$ 反馈环路,其效果会使相位裕度增加,这个过程称为补偿。注意如果不补偿,由于振荡问题,不能使反馈放大器的前向增益小于 $A_1\approx 1/f_1$ 。

最简单最普遍的补偿方法是降低放大器的带宽(通常称为窄带宽)。即当环路增益为1时,向放大器引入一个主极点使相位变化小于 -180° 。这直接牺牲放大器的频率性能。

如果 f 恒定,进行补偿的最困难的情况是 $f=1$,这是一个单位增益反馈结构。即环路曲线与基本放大器增益曲线一致。考虑这种情况并且假定基本放大器与图9.11有相同特征。为了补偿放大器,如图9.12所示,引入一个新的主极点幅度为 $|p_0|$,并且假定这不影响原始放大器极点,其中原极点幅度为 $|p_1|$ 、 $|p_2|$ 和 $|p_3|$ 。但通常不是如此,这里是为了举例而假定的。

把幅度为 $|p_0|$ 的主极点引入放大器增益函数导致增益幅度按 6 dB/十倍频程 减小至频率 $|p_1|$,并且在此区域外放大器相位将渐近线改变成 -90° 。如果选定频率 $|p_0|$,则增益 $|a(j\omega)|$ 在所示频率 $|p_1|$ 处为单位1。为了假定常反馈因子 $f=1$,环路增益在频率 $|p_1|$ 处

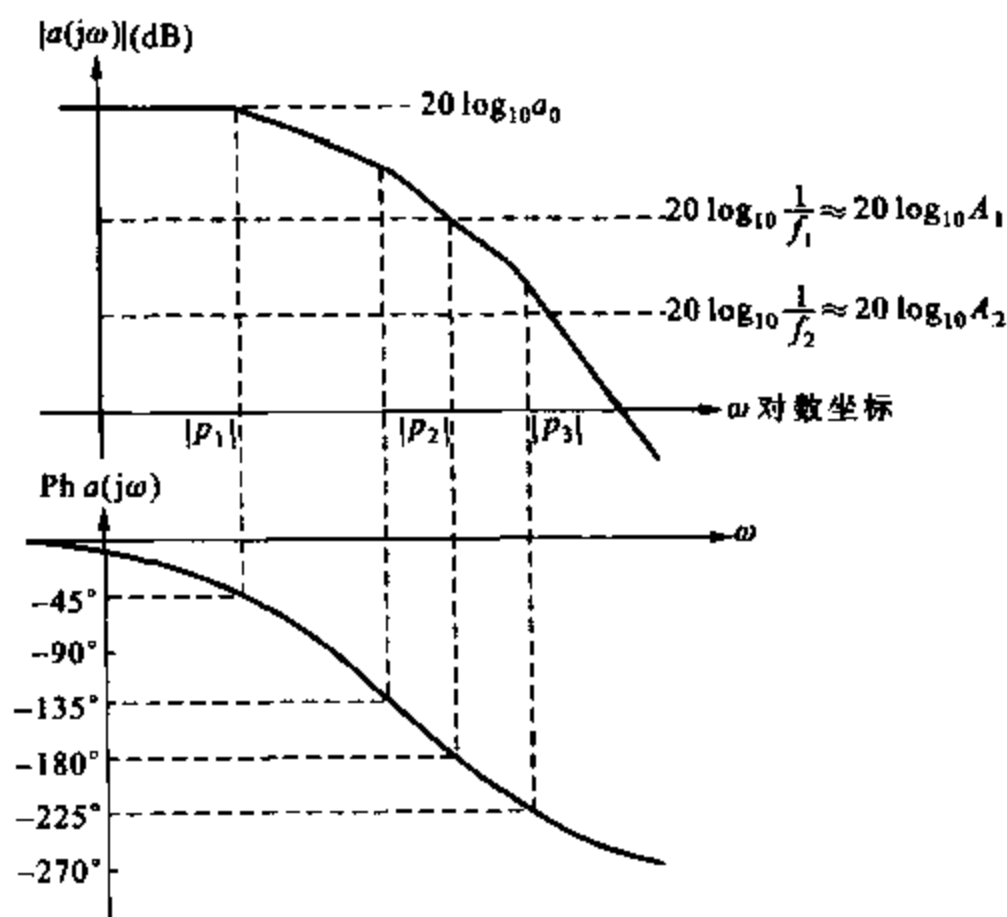


图 9.11 一个三极点基本放大器的幅频和相频, 反馈因子 f_1 给出了一个零相位裕度并且因子 f_2 给出一个负相位裕度

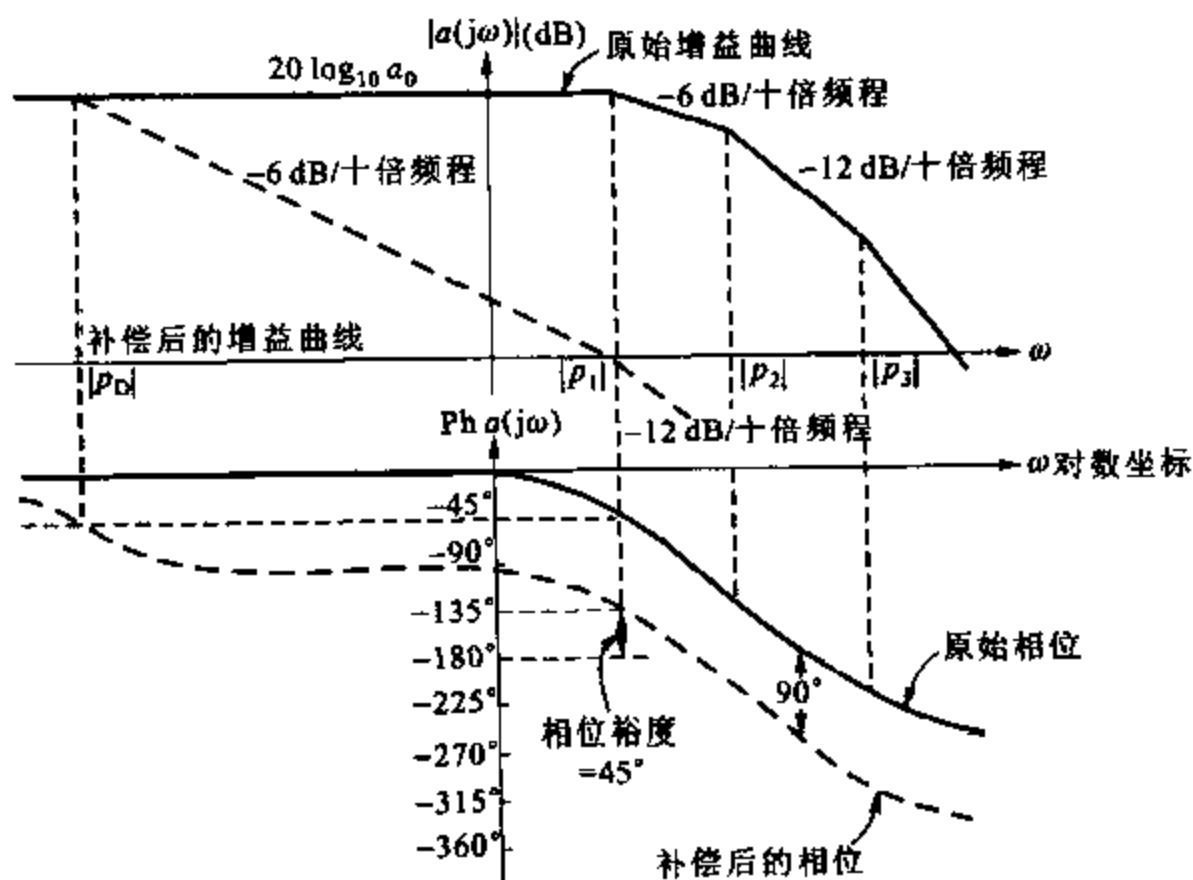


图 9.12 三极点基本放大器的幅频和相频, 通过引入幅度为 $|p_0|$ 的负实极点的实现单位增益反馈的补偿 ($f=1$)

也为单位 1。相位裕度为 45° , 这说明放大器稳定。而在这种反馈连接中, 原始放大器本应该是不稳定的。

为达到稳定所付出的代价是在减小反馈情况下, 基本放大器只有一个单个极点 $|p_1|$ 的单位增益带宽, 其值比先前小得多。另外, 随着反馈的引入, 环路增益在频率点 $|p_0|$ 开始减小, 随着环路增益减小, 反馈所有的优势也在减少。例如, 在第八章中放大器输入和输出端的并联反馈通过 $[1 + T(j\omega)]$ 降低了基本终端阻抗。由于 $T(j\omega)$ 与频率有关, 则当 $|T(j\omega)|$ 开始减小时, 并联反馈放大器的终端负载将开始变大。与发射跟随器的阻抗 z_0 一样, 这在第七章中计算过, 高频终端阻抗将出现电感性质(参见习题 9.8)。

示例

计算主极点幅度要求给出 702 运算放大器的不变增益补偿, 其相位裕度为 45° 。低频增益为 $a_0 = 3\,600$ 并且电路在 $-(p_1/2\pi) = 1\text{ MHz}$, $-(p_2/2\pi) = 4\text{ MHz}$ 和 $-(p_3/2\pi) = 40\text{ MHz}$ 处有极点。

本例子中, 第二个极点 p_2 很接近 p_1 , 并在放大器 -3 dB 处产生重要的相位改变。这个问题的解决要用到对主极点的原始估计值的近似结果。

图 9.12 的结果显示应该引入一个幅度为 $|p_0|$ 的主极点使在 $|p_1/2\pi| = 1\text{ MHz}$ 处频率函数以恒定 6 dB/十倍频程 的减小, 增益 $a_0 = 3\,600$ 减少到单位值。乘积 $|a|\omega$ 是常数, 这里增益幅度图的斜率为 -6 dB/十倍频程 , 因此

$$\left| \frac{p_0}{2\pi} \right| = \frac{1}{a_0} \left| \frac{p_1}{2\pi} \right| = \frac{10^6}{3\,600} \text{ Hz} = 278 \text{ Hz}$$

这可以给出传递函数

$$a(j\omega) = \frac{3\,600}{\left[1 + \frac{j\omega}{|p_0|}\right] \left[1 + \frac{j\omega}{|p_1|}\right] \left[1 + \frac{j\omega}{|p_2|}\right] \left[1 + \frac{j\omega}{|p_3|}\right]} \quad (9.21)$$

其中极点幅度为 rad/s 。等式 (9.21) 给出了一个频率为 780 kHz 的单位频率增益 (这里 $|a(j\omega)| = 1$)。因为实际的增益曲线在突变频率 $|p_1|$ 为 3 dB , 低于渐近线, 所以这稍微低于 1 MHz 的设计值。在 780 kHz 处由式 (9.21) 获得相位变化是 -139° , 而不是期望的 -135° , 并且这包括由极点 p_2 对系统的 -11° 的影响。尽管此结果已足够接近多数的要求, 而依靠经验, 降低极点 $|p_0|$, 使式 (9.21) 在单位增益频率处相移为 -135° 时, 可以得到精确的 45° 相位裕度。这出现于 $|p_0/2\pi| = 260\text{ Hz}$ 处, 这给出了一个单位增益 730 kHz 的频率。

当用一个 $f < 1$ 的反馈环路 (也就是, 整体增益为 $A_0 > 1$) 时, 考虑特征如图 9.12 所示 (主极点幅度为 $|p_0|$) 的放大器的性能, 例子如图 9.13 所示。环路增益下降到单位 1, 此时频率 ω_x 并且电路的相位裕度十分接近 90° , 反馈电路的 -3 dB 带宽为 ω_x 。电路需要更多的补偿, 并且事实上正在浪费带宽。因此, 尽管补偿单位增益放大器并且对于另一些应用情况下模型不变这点很方便, 但是这种方法十分浪费带宽。为应用而设计的确定最大带宽的固定增益放大器通常在所需增益值上对于一个特定相位裕度 (典型地为 $45^\circ \sim 60^\circ$) 进行补

偿。然而,放大器是通用型电路,用于 f 值为 $0 \sim 1$ 的各种反馈网络。如果补偿适应于所要求的增益,并且此方法为高增益给出了更高的带宽如图 9.14 所示,则在这种电路中获得了最优的带宽。此图说明对于前向增益为 A_0 的反馈电路,图 9.11 所示放大器特征的补偿。加入一个幅度为 $|p'_D|$ 主极点可给出一个 45° 的相位裕度。很明显频率 $|p'_D| \gg |p_D|$, 而且反馈放大器的 -3 dB 带宽为 $|p_1|$, 这里的频率环路增益为 0 dB (忽略顶点)。如果已经使用了单位增益补偿,图 9.13 中的 -3 dB 频率仅为 $\omega_x = |p_1|/A_0$ 。由于 A_0 可以很大,因此带宽的提高是非常重要的。

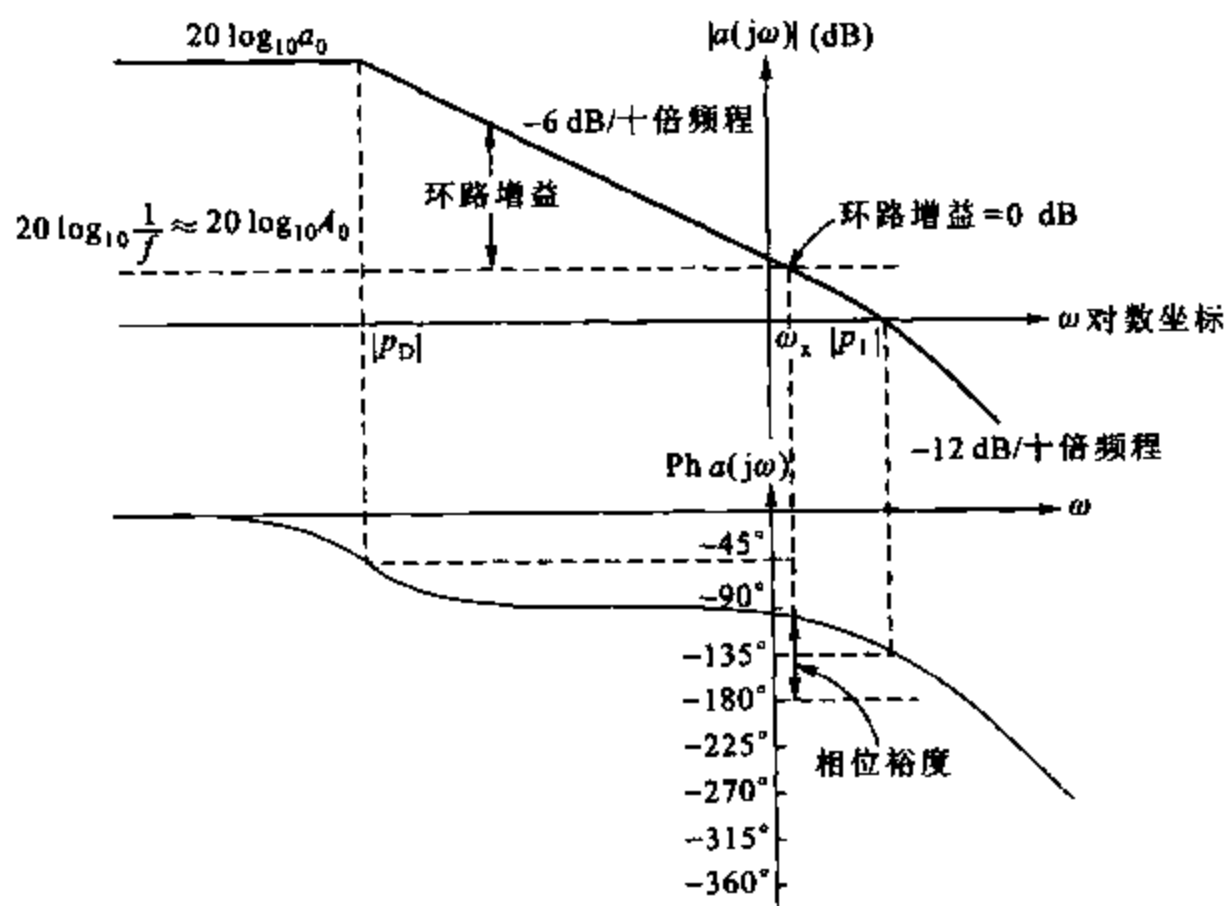


图 9.13 用 $f=1$ 的反馈和 45° 相位裕度所补偿放大器的幅频和相频。在 $f < 1$ 的反馈中对于操作显示相位裕度

在上面讨论过的补偿方案中,假定把一个额外的主极点加入到放大器,并且假定原始放大器极点对此过程没有影响。根据电路带宽,一个用于补偿放大器的更加有效的方法是在电路中加入电容,通过这种方法使原始放大器主极点幅度 $|p_1|$ 下降从而实现补偿功能。此技术要求连接放大器的内在结点,而且在电路中加入电容后根据结点知识可以降低频率 $|p_1|$ 。

考虑用这种方法对于图 9.11 中电路特征的单位增益补偿操作的影响。假定更高频率极点 p_2 和 p_3 对操作程序没有影响。事实上,加入补偿后这些极点的幅值将变大或变小,这将取决于补偿的方式,这点将在后面介绍。

通过降低 $|p_1|$ 的放大器补偿如图 9.15 所示。在单位增益反馈结构中,对于一个 45° 相位裕度,主极点幅度 $|p'_1|$ 肯定在频率 $|p_2|$ (第二个极点幅度) 处导致增益下降到单位值 1。因此单位增益结构中额定带宽为 $|p_2|$, 而且在此频率下环路增益为单位 1。结果与 $|p_1|$ 带

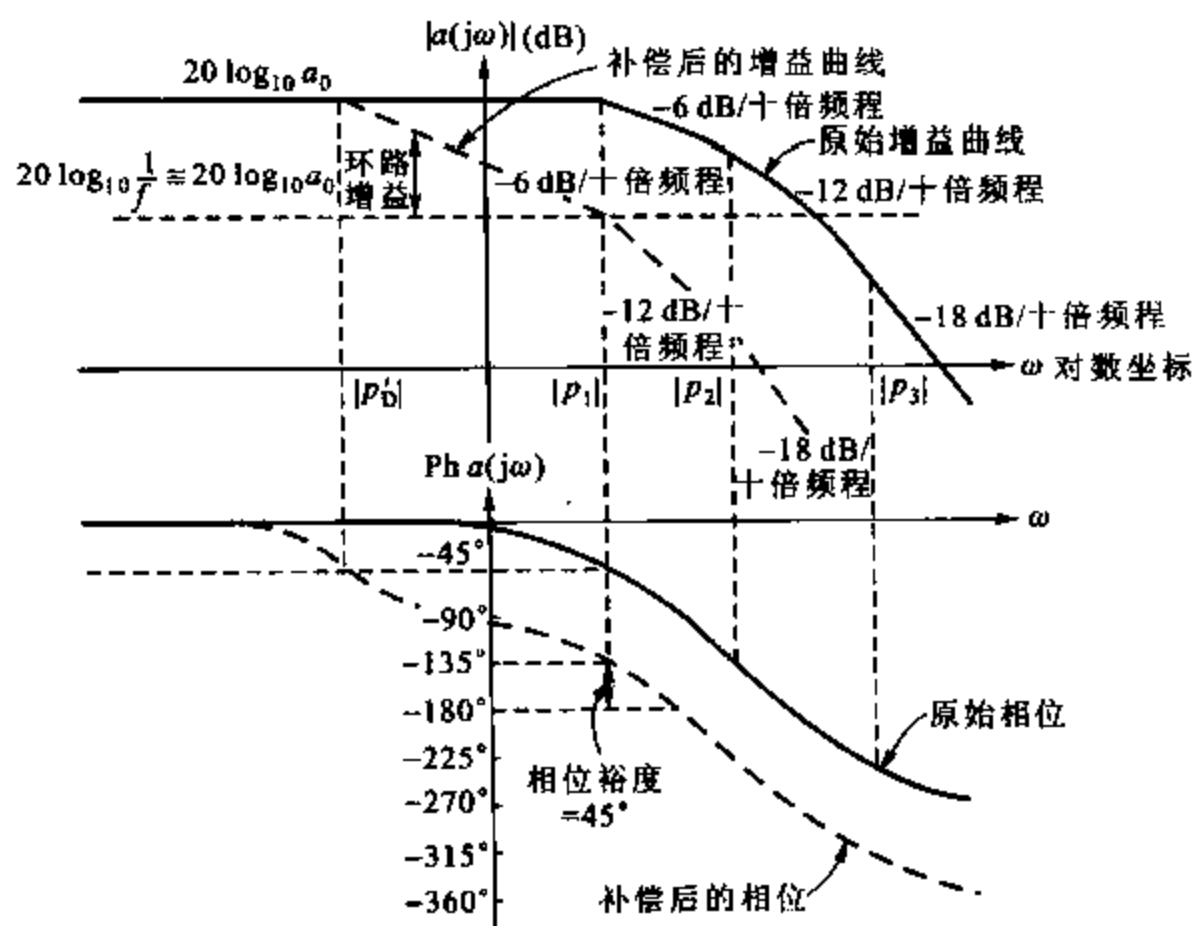


图 9.14 使用 $f < 1$ 和 45° 相位裕度的反馈环路进行补偿的放大器的增益频率和相频曲线。向放大器中加入新极点 p'_0 进行补偿

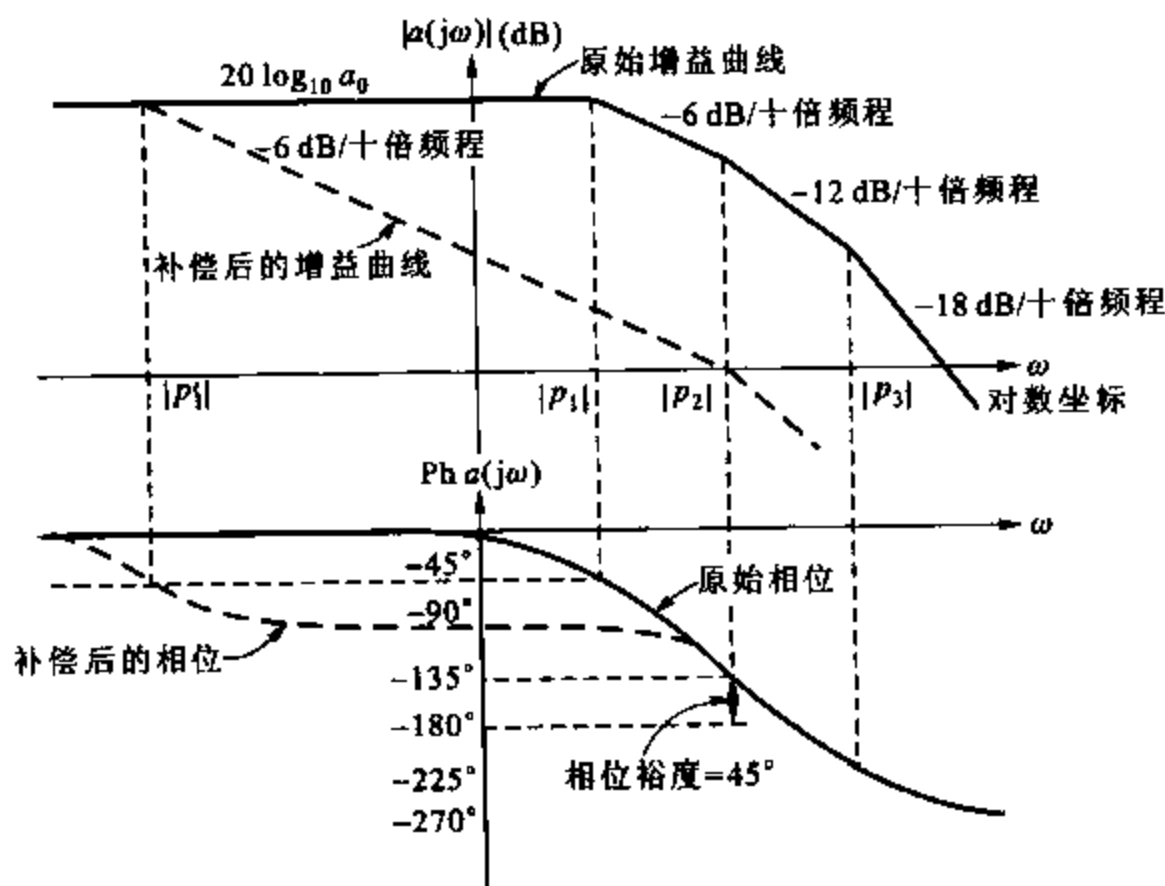


图 9.15 用于 $f = 1$ 和 45° 的相位裕度补偿电路的幅频和相频。通过降低原始放大器的主极点幅度 $|p_1|$ 进行补偿

宽相比,对于向放大器中加入幅度为 $|p_D|$ 的另外的极点进行补偿,如图 9.12 所示。实际放大器中,频率 $|p_2|$ 通常是频率 $|p_1|$ 的 5 倍或 10 倍,而且真正提高了带宽。

本节的结果说明了设计一个反馈电路的基本放大器经常要尽可能减少级数的原因。很明显,如果要求一个宽带宽,增益的每级不可避免地要在传递函数中加入更多的极点,这使补偿问题复杂化。

9.4.2 补偿方法

为了用上述窄带设计的一般方法补偿一个电路,加入电容引入一个所需幅度的主极点。一种可实现的方法如图 9.16 所示,它为简单放大器前两级的原理图。在输出级的集电极之间连接一个大电容 C 。假定输出级的相对带宽没有画出。图 9.16 中一个差分对的半边电路如图 9.17 所示,并且注意半边电路中的补偿电容加倍。这种形式的电路对主极点的主要贡献(如果 R_s 不是很大)来自 Q_1 的输入电容和与 Q_1 相连的密勒电容。所示的补偿降低了原始放大器主极点的幅度,因此其执行了所要求的补偿函数。然而,通过增加 C 将改变放大器更高频率的极点。在实际中,达到补偿设计的最佳方法是使用计算机仿真确定原始极点的位置。 C 的第一次估计基于更高频率极点不改变幅度的假设,并且做一次包括 C 的新的计算机仿真检验这个假设。 C 的另一个估计基于新仿真的基础,并且经过反复迭代后这个过程收敛。

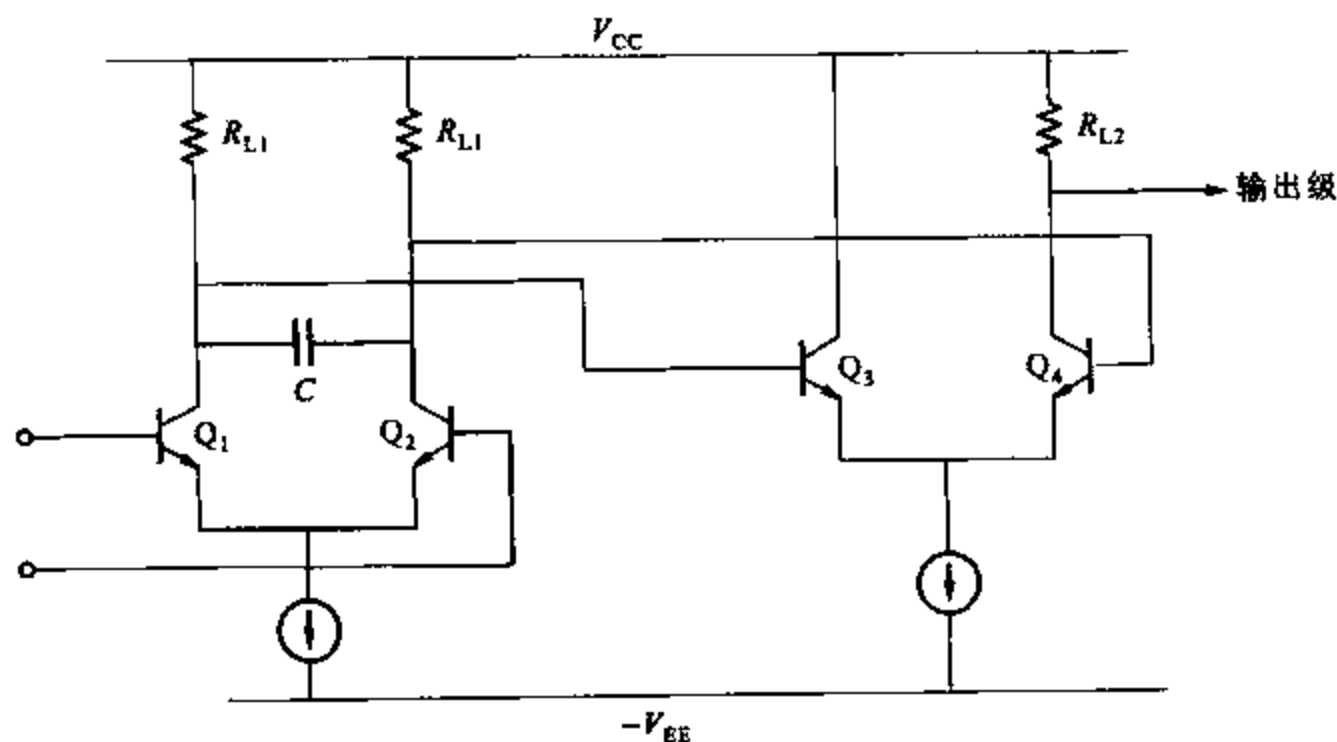


图 9.16 通过大电容 C 的引入补偿放大器

图 9.17 主极点的幅度可以用零值时间常数法分析来估计。然而,如果所要求的 C 值很大,则电容将起非常重要的作用,并且一个好的主极点的估计可以通过只考虑 C 值而忽略其他电路电容得到。因此,主极点幅度为

$$|p_D| = \frac{1}{2CR} \quad (9.22)$$

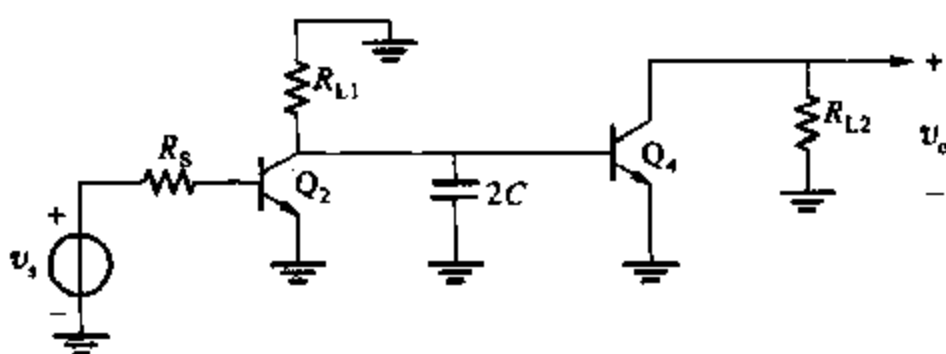


图 9.17 图 9.16 的微分半电路

其中

$$R = R_{L1} // R_{\mu} \quad (9.23)$$

且

$$R_{\mu} = r_{be} + r_{\pi4} \quad (9.24)$$

上述补偿方法的一个缺点是所需要的 C 值十分大(通常大于 $1\,000\text{ pF}$),并且在单个芯片上无法实现。

许多一般运算放大器都有包括在单芯片中的单位增益补偿并且要求使用者不做进一步补偿。(当如前所述的增益不是单位增益时,这种技术将导致带宽方面的牺牲。)为了实现单片运算放大器的内部补偿,用小于 50 pF 的电容完成补偿。对于 741 运算放大器,可以用如图 9.18 所示的密勒电容来进行。 30 pF 的补偿电容连接在达林顿对 $Q_{16} - Q_{17}$ 附近而且产生幅度为 4.9 Hz 的极点,如第七章中用零值时间常数分析所示。对于 741 所得的增益和相位曲线如图 9.19 所示。用 SPICE 程序和典型的 741 设计数据生成这些曲线。这些数据的应用说明单位增益频率为 1.25 MHz ,相位裕度为 80° ,且低频增益为 108 dB 。应该指出,由于不同的积分电路方法给出了不同的器件参数,所以可从一些商用 741 电路获得不同的性能。

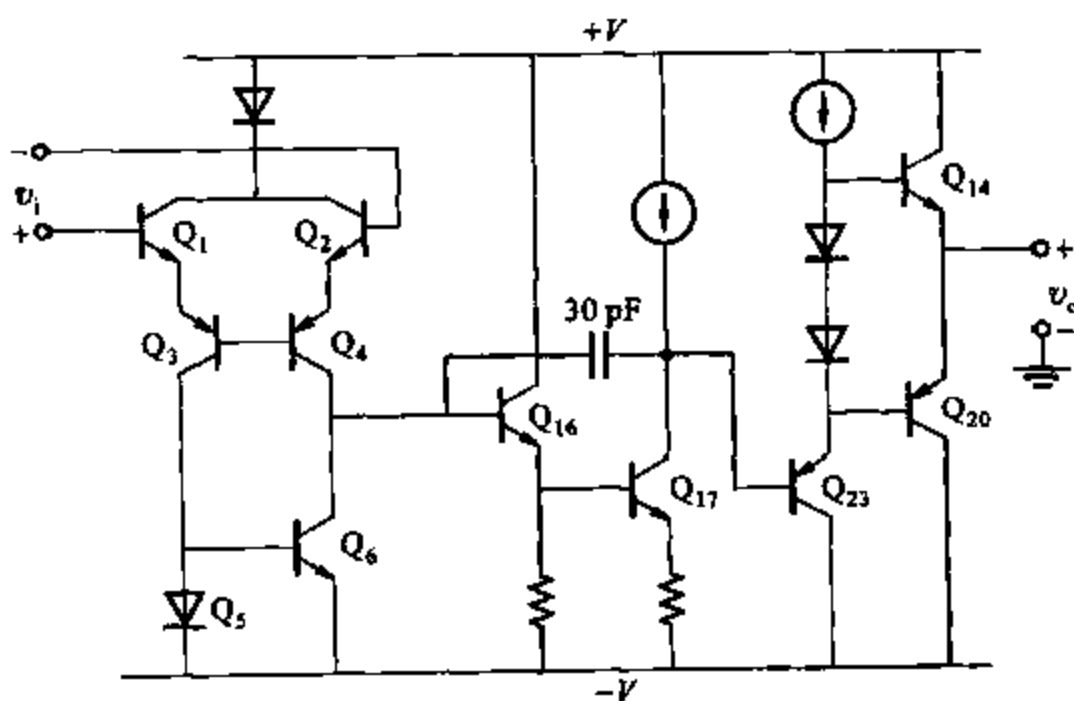


图 9.18 741 放大器的简单原理图说明用连接于达林顿对 $Q_{16} - Q_{17}$ 附近的一个 30 pF 电容通过密勒效应进行补偿

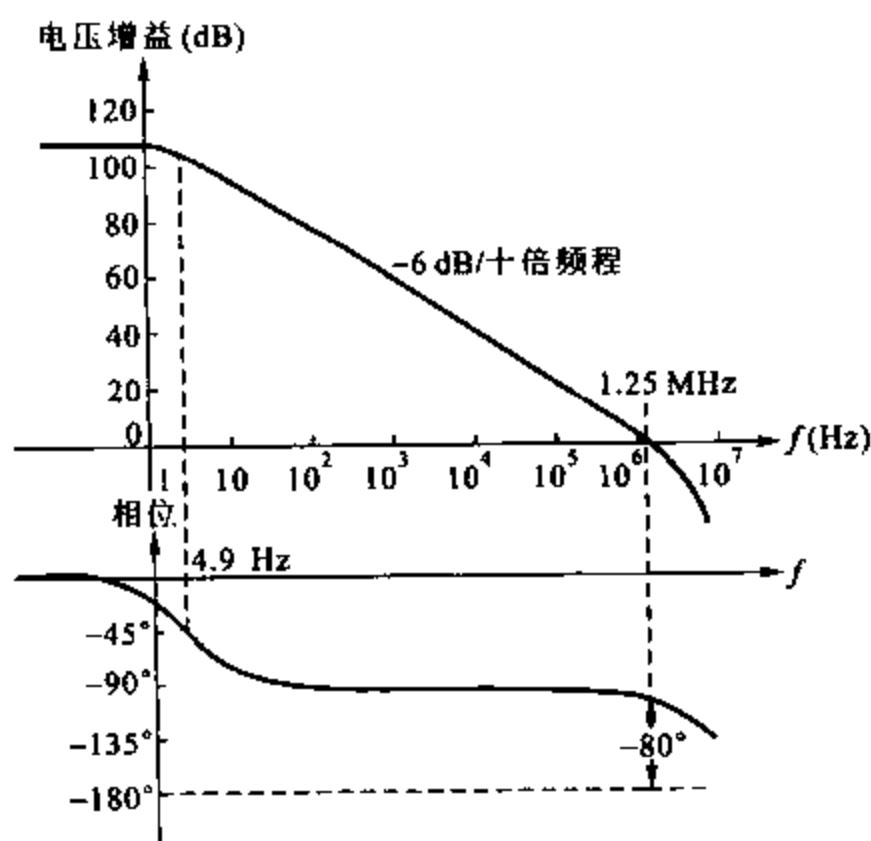


图 9.19 741 放大器的幅频和相频

不但允许使用在单芯片上可忽略的小电容,这类补偿还有其他的优点。这是由极点分离现象产生的。⁸ 为了显示极点分离,通过计算机程序计算 741 在补偿前后的重要极点和零点,它们的分布图如图 9.20 所示。补偿之前,电路有 18.9 kHz 和 28 kHz 两个重要的低频极点。计算机仿真说明幅度为 18.9 kHz 的主极点由并联于 Q_{16} 基极的电容产生的。计算机运行在电路的各个部分产生电子储存减少,说明晶体管 Q_{16} 和 Q_{17} 也影响幅度为 328 kHz 的极点。其余极点和零点来自电路的各个部分,包括输入和输出级。

补偿后,如图 9.20b 所示,电路的极点和零点产生一个大的变化。放大器有一个期望的幅度为 5 Hz 的主极点,并且因为有效地移动了幅度为 328 kHz 的原始第二主极点,所以得到了额外的好处。第二个和更高的主极点形成了由 10~15 MHz 的一串极点并且包含复杂极点。由于在低于第二主极点幅度的频率处,放大器增益必须下降到单位增益(对于平均相位裕度),除去幅度为 328 kHz 的极点增加了可实现的电路带宽。如果极点不变,则不得不调节补偿电容使 741 的增益在频率低于 328 kHz 时降为单位增益。

上面描述的 741 的两个低频极点的分离为一个复杂的过程,单位值包括达林顿对中其他的更高频率的极点和零点。然而,所包含的过程可以由假定达林顿对用单一晶体管重组来说明。将看到一个相似的极点分裂过程的出现。

如果图 9.18 中的达林顿对 $Q_{16} - Q_{17}$ 可由单一晶体管重置,这一级的传递函数可通过相近的图 9.21 的等价电路计算。本级由前级之外的电流源 i_s 激励。电阻 R_1 和 R_2 组成了在输入和输出的并联电阻,包括晶体管输入和输出电阻,并且 C_1 与 C_2 组成了在输入和输出上的并联电容。电容 C 组成了晶体管集电极-基极电容,并增加了补偿电容。

对于图 9.21 所示电路

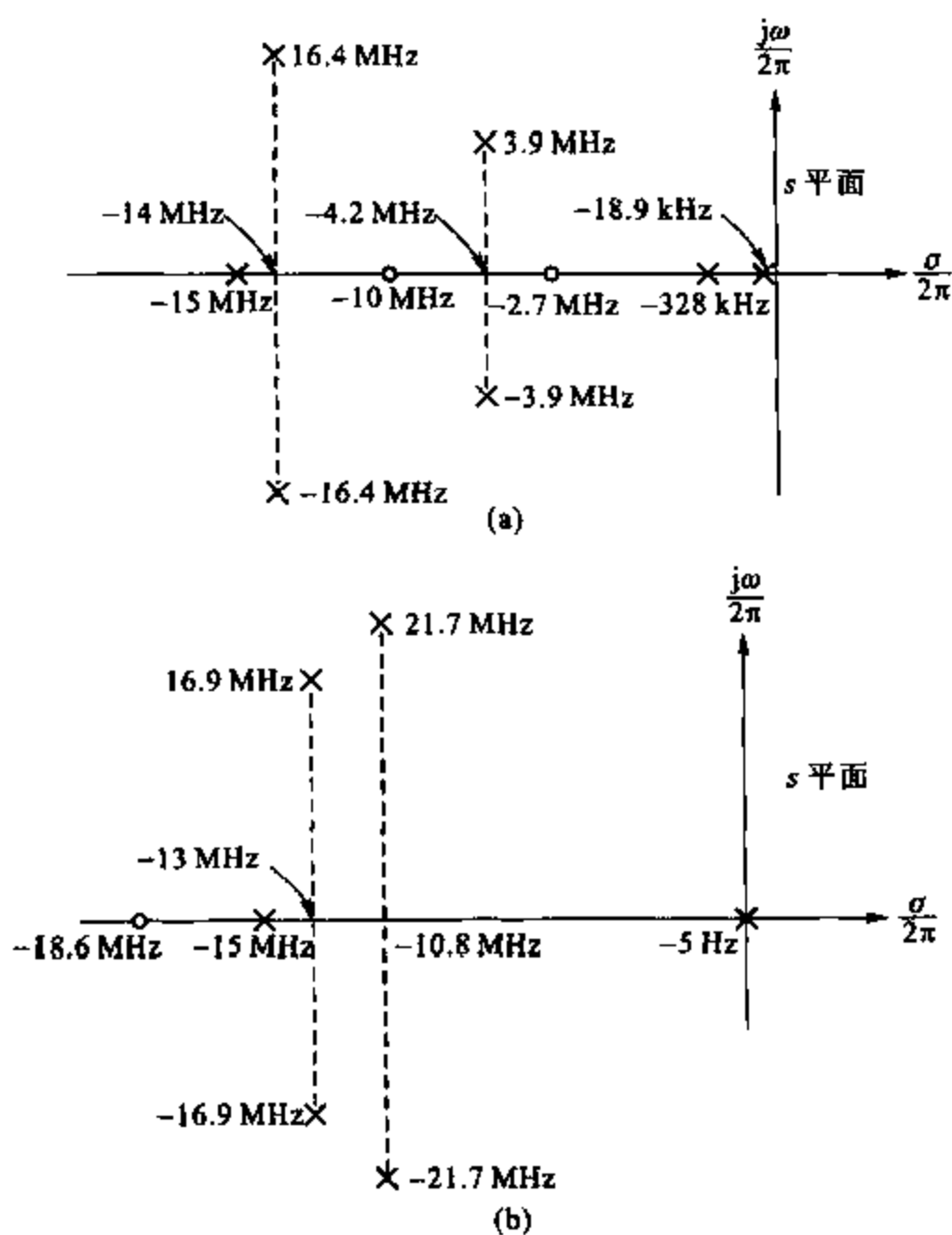


图 9.20 用计算机计算 741 放大器的极点和零点

(a) 补偿前; (b) 补偿后(无尺度)

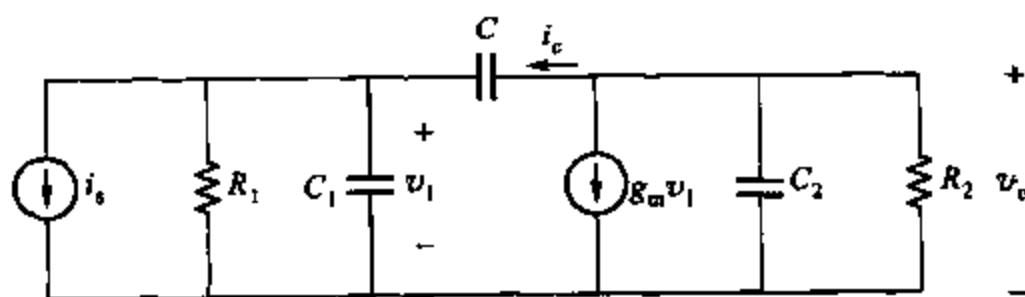


图 9.21 一个单晶体管级的小信号等价电路。反馈电容包含补偿电容

$$-i_s = \frac{v_1}{R_1} + v_1 C_1 s + (v_1 - v_o)Cs \quad (9.25)$$

$$g_m v_1 + \frac{v_o}{R_2} + v_o C_2 s + (v_o - v_1)Cs = 0 \quad (9.26)$$

由式(9.25)和式(9.26)得

$$\frac{v_o}{i_s} = \frac{(g_m - C_s)R_2R_1}{1 + s[(C_2 + C)R_2 + (C_1 + C)R_1 + g_mR_2R_1C] + s^2R_2R_1(C_2C_1 + CC_2 + CC_1)} \quad (9.27)$$

电路传递函数有一个正实零点

$$z = \frac{g_m}{C} \quad (9.27a)$$

它通常在双极型电路中有一个大的幅度,因此可被忽略。由于在 MOS 电路中有更低的 g_m , 所以通常在 MOS 管电路中不存在这个问题。这点将在后面介绍。

电路有一个双极点传递函数。如果 p_1 和 p_2 是电路的极点,那么式(9.27)的分母可写成

$$D(s) = \left(1 - \frac{s}{p_1}\right) \left(1 - \frac{s}{p_2}\right) \quad (9.28)$$

$$= 1 - s\left(\frac{1}{p_1} + \frac{1}{p_2}\right) + \frac{s^2}{p_1p_2} \quad (9.29)$$

如果极点是实极点且相离很远,事实通常是这样的,则

$$D(s) \approx 1 - \frac{s}{p_1} + \frac{s^2}{p_1p_2} \quad (9.30)$$

注意假定 p_1 是一个主极点。

如果式(9.27)和式(9.30)中系数相等,则

$$p_1 = -\frac{1}{(C_2 + C)R_2 + (C_1 + C)R_1 + g_mR_2R_1C} \quad (9.31)$$

并且这可近似为

$$p_1 \approx -\frac{1}{g_mR_2R_1C} \quad (9.32)$$

如果由于 C 很大且 $g_mR_1, g_mR_2 \gg 1$, 那么 C 的密勒效应占支配地位。式(9.31)与主极点有相同结果,此极点通过零值时间常数分析来获得。

非主极点 p_2 可以用通过使式(9.27)和式(9.30)中的系数 s^2 相等,而且由式(9.32)可得

$$p_2 \approx -\frac{g_mC}{C_2C_1 + C(C_2 + C_1)} \quad (9.33)$$

等式(9.32)表明幅度为 $|p_1|$ 的主极点随 C 的增加而下降,反之式(9.33)表明 $|p_2|$ 随 C 增加而增加。因此,增加 C 导致极点分离。当 C 变成远远大于 C_1 和 C_2 , $|p_2|$ 的值达到 $g_m/(C_1 + C_2)$, 这通常是相对很高的频率(对于典型参数值通常为几十或几百 MHz)。当 $C \rightarrow \infty$, 则 $p_2 \rightarrow -g_m/(C_1 + C_2)$ 。因为图 9.21 只有两个极点,如第七章描述,这非主极点应该用短路电路时间常量估计。假定 C 非常大并且决定主极点(如式(9.32)所示),那么当 C 被短路, p_2 可由其他电容的时间常数估计出来。在 C 被短路的情况下, C_1 和 C_2 并联接在一起并且作为一个单电容对待。控制 g_m 电源(图 9.21 中的 v_1) 的电压为电源的端电压。

因此,电源等效为一个与 R_2 并联且值为 $1/g_m$ 的电阻。假设 $1/g_m \ll R_2$, 则 $C_1 + C_2$ 的短路电路时间常量为 $\tau = (1/g_m)(C_1 + C_2)$; 因此, $|p_2| \approx 1/\tau = g_m/(C_1 + C_2)$ 。

对于 $C=0$, 注意图 9.21 所示电路极点为

$$p_1 = -\frac{1}{R_1 C_1} \quad (9.34a)$$

$$p_2 = -\frac{1}{R_2 C_2} \quad (9.34b)$$

因此,当 C 由零增加时,图 9.21 中电路极点轨迹如图 9.22 所示。

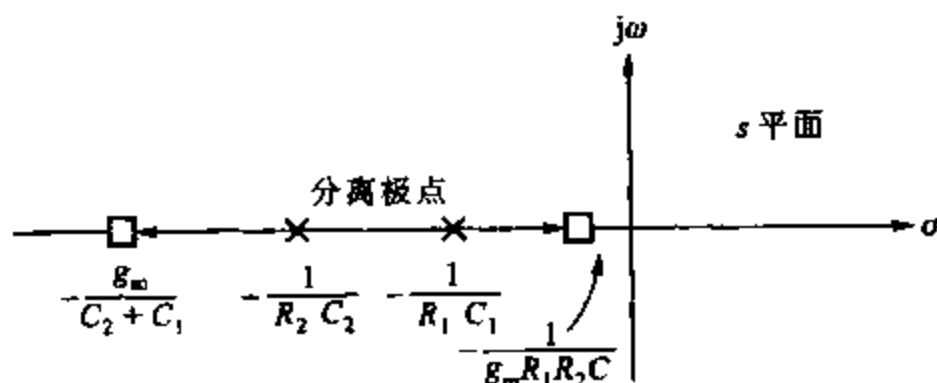


图 9.22 在 $1/R_1 C_1 > 1/R_2 C_2$ 的情况下,当 C 由零开始增加时图 9.21 中电路极点轨迹

前面的计算已经说明,如何加入单一晶体管密勒电容的放大器补偿,导致非主极点移动到更高频率处。一个相似的过程出现于 741 运算放大器中,它正是补偿后除去幅度为 328 kHz 极点的原因,如图 9.20 所示。在图 9.18 中,如果简单地在 Q_{16} 基极加入并联电容补偿 741 放大器,则要考虑性能的可达到性。为了用相同的设备参数完成相同的 80° 的相位裕度,通过计算机仿真可以发现需要一个 $0.3 \mu\text{F}$ 的补偿电容。这里给出了一个幅度为 0.27 Hz 的主极点和一个只有 63 kHz 的单位增益频率。第二主极点幅度为 294 kHz。第二主极点发生非常小的移动,并且出现的变化是在极点幅度上的降低。因而,当使用这种方法时,电路的可实现带宽只有用密勒效应补偿得到的 $1/20$ 。另一个缺点为在单芯片上不可能包括一个 $0.3 \mu\text{F}$ 的电容。

上面描述的补偿的不同方法产生的影响可以被看成图 9.21 所示电路。如果在电路用很大的 C_1 产生一个主极点,那么极点可以由式(9.31)即 $p_1 \approx -1/R_1 C_1$ 算出。非主极点可以用令式(9.27)和式(9.30)中的系数 s^2 相等和 p_1 值估计出来。这里给出了 $p_2 \approx -1/R_2(C_2 + C)$ 。对于 $C=0$ 和出现极点分离之前, p_2 值近似等于如式(9.34b)所给的值。因此,通过增大 C_1 ,图 9.21 所示电路中主极点的出现,将导致幅度为 $|p_2|$ 的第二极点,如果通过增加 C 得到主极点,那么上面所提到的极点将远远小于所得到的极点。对于 741 运算放大器中更复杂的情况,确实有相同的一般性的趋势。

本节得出的结果对进一步说明 7.3.3 节中的内容方面很有帮助。这说明:在一个共源的共源共栅电路中,漏-栅电容的存在导致极点分离,并且产生一个主极点。如果图 9.21

中的等价电路作为共源共栅电路(C_2 为下一级的输入电容)中一个层的有代表性的部分被给出,而且电容 C 记作 C_{gd} ,事实上因为极点分离的出现,这节中的计算说明 C_{dg} 的存在产生了一个主极点。所以,零值时间常数方法在电路中给出了一个很好的估计 ω_{-3dB} 。

本章中用一些双极型晶体管电路的例子说明了补偿理论。大体上,这理论方法适用于任意有源电路,但是 MOSFETs 的唯一的器件参数使一些在前面分析中获得的近似值无效。下面分析 MOS 管放大器的补偿特性。

9.4.3 二级 MOS 管放大器补偿

如图 6.16 所示基本二级 CMOS 放大器的布局与其双极型配对物一样。因此,图 9.21 中的等价电路可以用于通过补偿电阻描述第二级。电路极点由式(9.32)和式(9.33)给出,零点由式(9.27a)给出。然而在 MOS 管的情况下, g_m 值比双极型晶体管低,并且由式(9.27)给出的右半平面零点引起的截止频率将下降至低于放大器的标准单位增益频率。这影响如图 9.23 所示。因为由零开始对 $+6\text{ dB/十倍频程}$ 增益的影响,放大器在频率 $|z|$ 处的增益特征变得平缓。在相同的区域中相位用正实零点使相位比 90° 更负。因此,放大器有负的相位裕度,并且当下一个主极点的影响减小时,放大器将不稳定的,其效果为零截止增益将使放大器稳定而且同时将相位推到负的区域。由式(9.33)注意 MOSFET 的低 g_m 值将相对于双极型放大器降低 $|p_2|$ 的值。

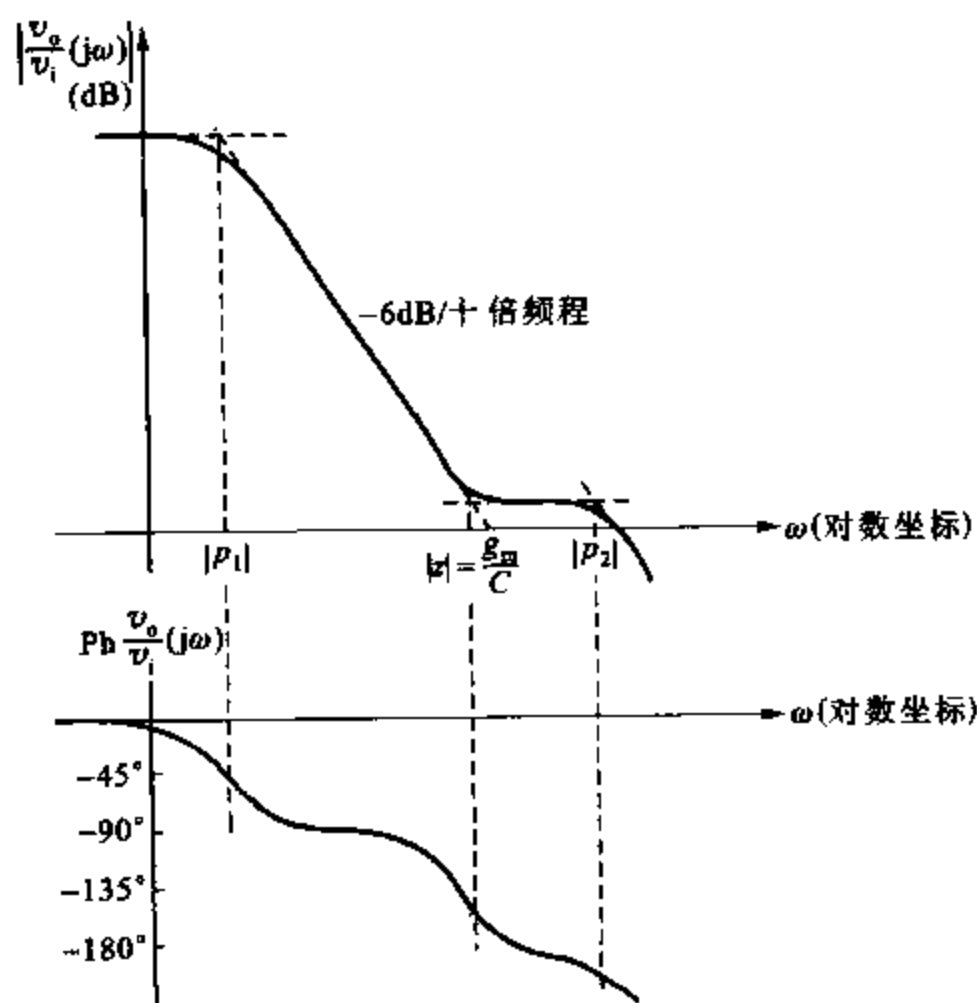


图 9.23 图 6.16 的 CMOS 管放大器的典型的增益和相位

另一方面,由图 9.21 可知,如果 g_m 很小,对于这问题要注意,在高频时经过 C 的正反馈使通过第二级 g_m 的一般增益路径减弱。正反馈路径没有 180° 普通增益级的相位变化,并且增益路径失去了一个倒相级。在整体增益周边提供的任意反馈将为正而不是负反馈,从而导致振荡。在非常高的频率段, C 的作用像一个连接于第二级的二极管短路电路,其在第一级产生一个大小为 $1/g_m$ 的负载电阻,还有所示的 180° 相移的损失。

通过由 g_m 电源的电流感应和由输入结点到输出结点且经过 C 的频率电流,产生右半平面的零点(RHP)。图 9.21 中流过 C 的电流为

$$i_c = sC(v_o - v_i) \quad (9.35)$$

电流可由两部分组成:从输出端回流到输入端的反馈电流 $i_{fb} = sCv_o$ 和从输入流到输出的正向电流 $i_{ff} = sCv_i$ 。正向电流与 v_i 有关。由受控源流出的电流 $g_m v_i$ 流出输出结点并且也与 v_i 有关。相减两电流得出了输出结点的总电流,其与 v_i 有关:

$$i_{v_i} = (g_m - sC)v_i \quad (9.36)$$

在 $z = g_m/C$ 处,一个零点存在于传递函数,这里电流为零。

三种技术已用于消除右半平面零点的影响。如图 9.21(a)所示,一种是用补偿电容⁹串联一个源极跟随器。这个源极跟随器阻碍由输出结点通过 C 的正向电流,并且因此除去零点。用图 9.24b 中的模型代替 C ,通过分析图 9.21 可说明这个方法。这里把源极跟随器建模成一个理想电压缓冲器。因为相同的元件连接于输入结点并且 C 两端电压保持 $v_o - v_i$,所以等式(9.25)依然有效。然而,由于没有电流通过 C 流到输出结点,在输出结点的总电流给出一个与式(9.26)不同的等式。新等式为

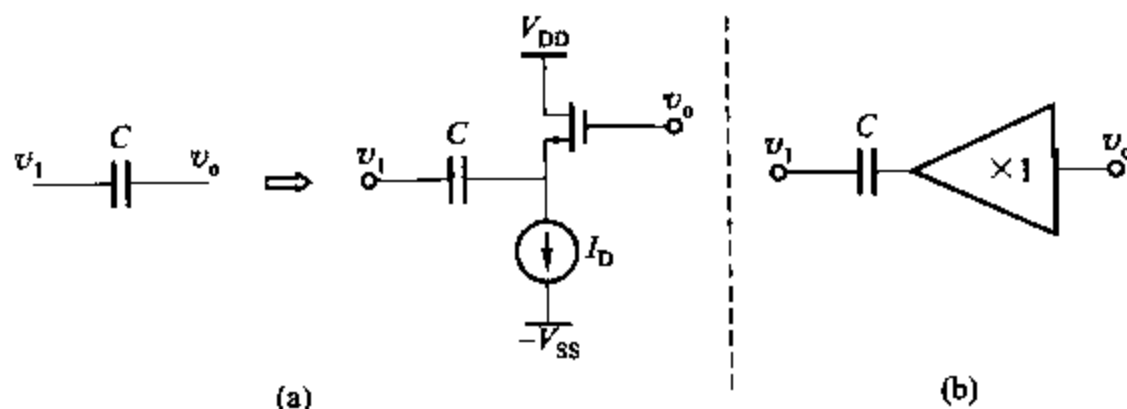


图 9.24 (a)图 9.21 中用在源极跟随器并联电容 C 代替补偿电容 C ;
(b)电容的简单模型和源极跟随器

$$g_m v_i + \frac{v_o}{R_2} + sC_2 v_o = 0 \quad (9.37)$$

将其与式(9.25)联立得

$$\frac{v_o}{i_s} = \frac{g_m R_1 R_2}{1 + s[R_1(C_1 + C) + R_2 C_2 + g_m R_2 R_1 C] + s^2 R_1 R_2 C_2 (C_1 + C)} \quad (9.38)$$

零点已经被除去。假定 $g_m R_1, g_m R_2 \gg 1$ 并且 C 很大,由式(9.27)、式(9.32)和式(9.33)

导出的相同的步骤给出

$$p_1 \approx -\frac{1}{g_m R_2 R_1 C} \quad (9.39a)$$

$$p_2 \approx -\frac{g_m C}{(C_1 + C)C_2} \approx -\frac{g_m}{C_2} \quad (9.39b)$$

主极点 p_1 不变, 并且如果 $C_2 \gg C_1$, p_2 也不变。这种方法除去了零点, 但是跟随器需要额外的器件和偏置电流。另外, 源极跟随器在输入和输出之间有一个非零直流电压。其电压将影响输出电压的摆幅, 因为源极跟随器晶体管必须通过 C 继续工作在放大区以维持期望的反馈。

如图 9.25a 所示, 用共栅的晶体管,¹⁰ 第二种除去右半平面零点将阻碍通过 C 的正馈电流。图中所示为一个二级运算放大器, 并加入两个值为 I_2 的电流源和晶体管 M_{11} 。补偿电容连接在从运算放大器输出到 M_{11} 的源极处。这里, 共栅极 M_{11} 允许电容电流由输出端回流到第二级的输入端。然而, 从 M_{11} 的漏极看进去的阻抗非常大。因此, 通过 C 的正向电流非常小。如果正向电流为零, 则除去了右半平面的零点。一个简单共栅极和补偿电容的小信号模型如图 9.25b 所示。这里的共栅极 M_{11} 建立像理想电流缓冲器的模型。用图 9.25b 中的模型代替图 9.21 中的 C , 得

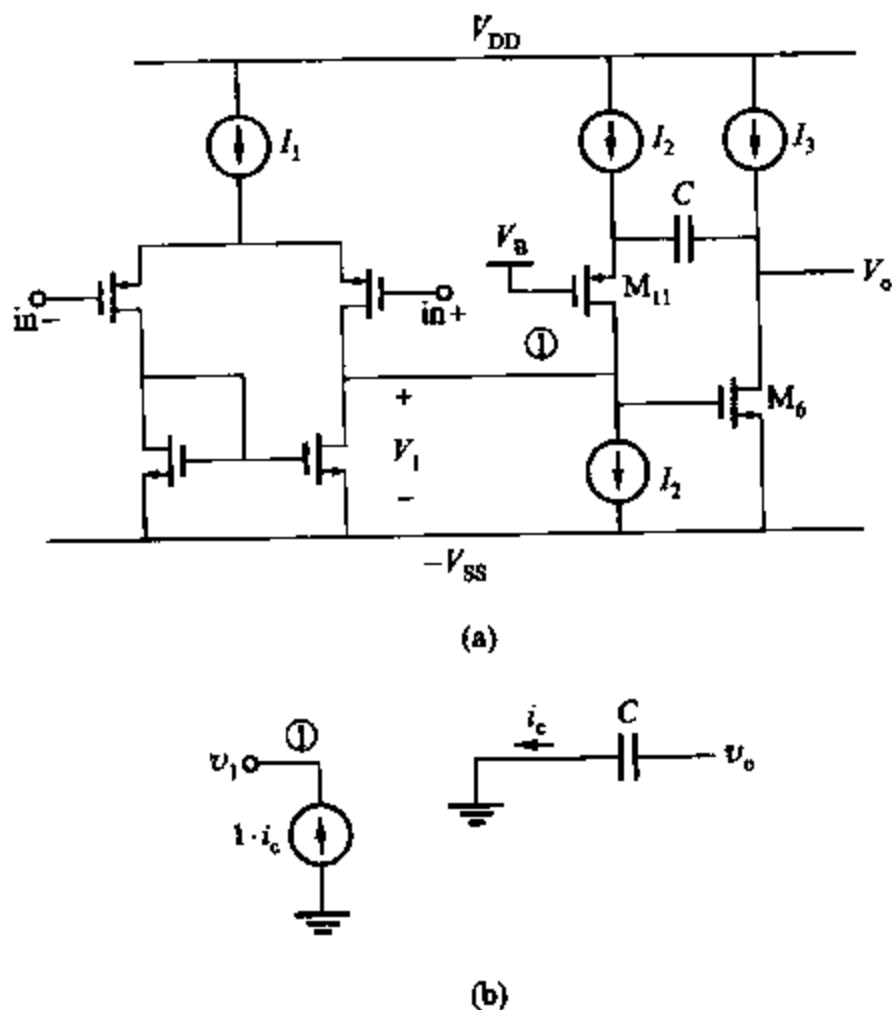


图 9.25 (a) 一个连接在补偿电容 C 的通用门两级 CMOS 放大器;
(b) 对于 M_{11} 和 C 的简单小信号模型

$$-i_s = \frac{v_1}{R_1} + v_1 C_1 s - v_o C s \quad (9.40a)$$

$$g_m v_1 + \frac{v_o}{R_2} + v_o C s + v_o C_2 s = 0 \quad (9.40b)$$

联立三式得

$$\frac{v_o}{i_s} = \frac{g_m R_1 R_2}{1 + s[R_1 C_1 + R_2(C + C_2) + g_m R_1 R_2 C] + s^2 R_1 R_2 C_1 (C_2 + C)} \quad (9.41)$$

零点已经除去。另外假定 $g_m R_1, g_m R_2 \gg 1$ 而且 C 很大, 则极点为

$$p_1 \approx -\frac{1}{g_m R_2 R_1 C} \quad (9.42a)$$

$$p_2 \approx -\frac{g_m}{C + C_2} \cdot \frac{C}{C_1} \quad (9.42b)$$

主极点与前面一样。然而, 非主极点 p_2 则不同。当 C 和 C_2 可比较时, 因为 $C \gg C_1$, 所以极点 p_2 的频率要高于前面两个极点。(本节, 假设图 9.21 中的双级 MOS 运算放大器产生一个负载电容, 其远远大于寄生电容 C_1 ; 因此 $C_2 \gg C_1$ 。) 因此, 当比较前面的方法时, 对于负载电容 C_2 , 一个更小的补偿电容 C 可以用在这里。因为输入结点没有加载连接补偿电容, 那么 $|p_2|$ 开始增加。这方案的优点是其提供了比密勒补偿更高频率的负功率阻碍。(功率阻碍在章节 6.3.6 中有介绍。) 利用密勒补偿, 将 C 连接 M_6 的栅极和漏极, 并且在高频处把 M_6 的栅极和漏极短路。假定 V_{gs} 近似不变, 负功率时高频变化直接在运算放大器输出端被结合。把 C 连接到 M_{11} 的共栅极除去了连接路径。这种方法的缺点是需要额外器件和直流电流才能实现。图 9.25a 所示为其原理图。另外, 如果在 I_2 电流源中存在搭配不当, 则电流必须在输入级流过, 这破坏了输入级的平衡, 并且影响了放大器输入分支电压。

当运算放大器的第一级用一个晶体管时, 补偿电容可以如图 9.26 所示的共源共栅器件源相连接。¹¹ 如果在共源共栅器件的源极电压摆幅小于在其漏极的摆幅, 当将 C 连接到结点 ⑤ 处, 可降低了通过 C 的正馈电流。并且如果在该器件源电压的摆幅为零, 这方法除去了正向路径及零点。这方法的优点是可以避免额外的设备、偏置电流和图 9.25a 的配合不当的问题。

处理右半平面零点的第三种方法如图 9.27a 所示: 加入一个与补偿电容串联的电阻。^{12,13} 除去正向电流, 电阻改变了这个电流并且允许零点趋于无穷大。如果零点趋于无穷大, 输出端结点整体正向电流与 v_1 有关, 并且在 $\omega \rightarrow \infty$ 时, 其值为零。当 $\omega \rightarrow \infty$, 电容 C 是一个短路电路并且正馈电流只取决于 R_2 :

$$i_{ff}(\omega \rightarrow \infty) = -\frac{v_1}{R_2} \quad (9.43)$$

当从 g_m 源中加入此电流, 输出结点的总电流与 v_1 有关, 当 $\omega \rightarrow \infty$ 时为

$$i_{v1} = \left(g_m - \frac{1}{R_2} \right) v_1 \quad (9.44)$$

如果 $R_2 = 1/g_m$, 那么这部分就没有了, 并且零点在无穷大处。

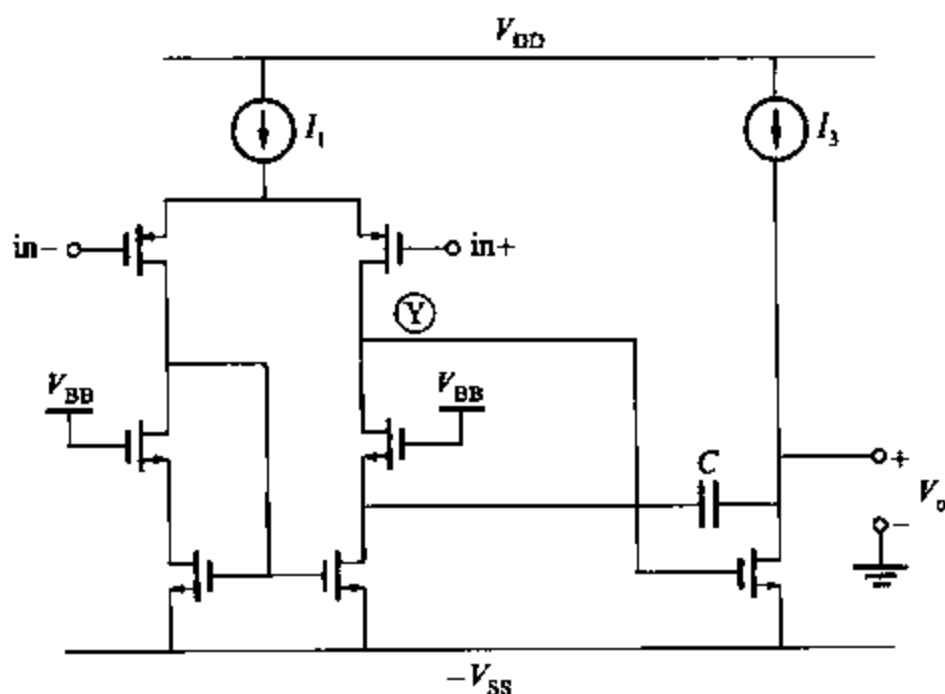


图 9.26 一个两级的 CMOS 运算放大器,输入级为多级的镜像电流源,级之间加入了补偿电容

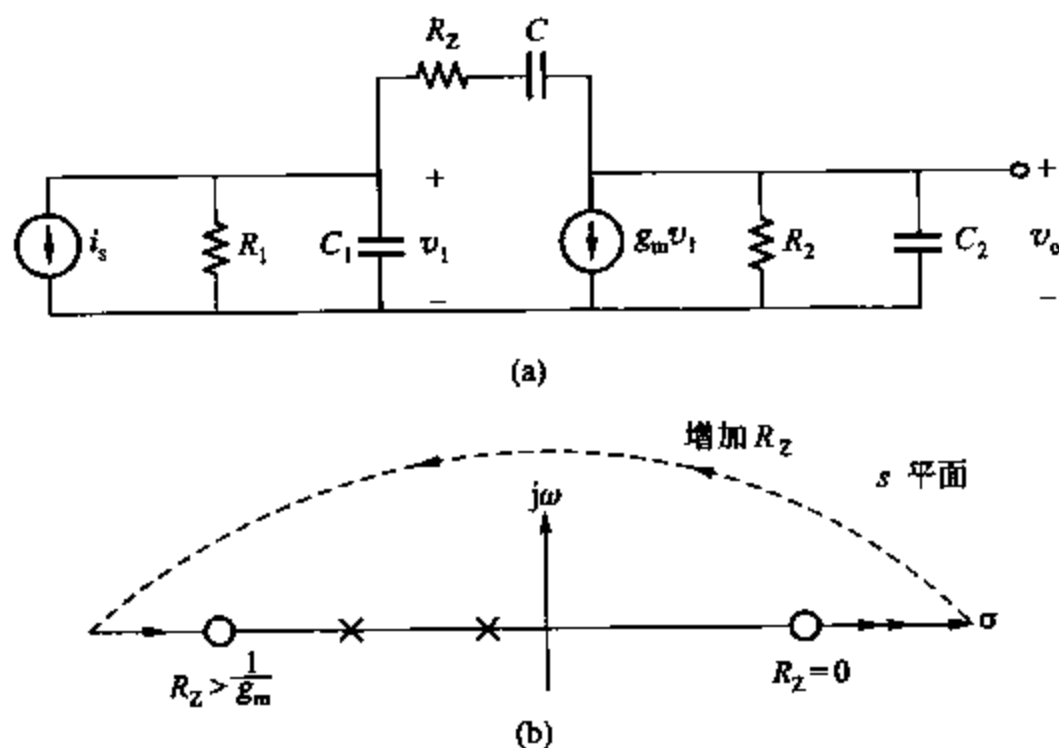


图 9.27 (a) 补偿级小信号等效电路;
(b) 对于 \$R\$ 的变化值零-极点图显示传递零点的移动

完整的传递函数可以通过与分析图 9.21 相同的方法得出,得

$$\frac{v_o}{i_s} = \frac{g_m R_1 R_2 \left[1 - sC \left(\frac{1}{g_m} - R_z \right) \right]}{1 + bs + cs^2 + ds^3} \quad (9.45)$$

其中

$$b = R_2(C_2 + C) + R_1(C_1 + C) + R_z C + g_m R_1 R_2 C \quad (9.46a)$$

$$c = R_1 R_2 (C_1 C_2 + C C_1 + C C_2) + R_z C (R_1 C_1 + R_2 C_2) \quad (9.46b)$$

$$d = R_1 R_2 R_z C_1 C_2 C \quad (9.46c)$$

另外假设 $g_m R_1, g_m R_2 \gg 1$ 且 C 很大, 极点可以近似等于

$$p_1 \approx -\frac{1}{g_m R_z R_1 C} \quad (9.47a)$$

$$p_2 \approx -\frac{g_m C}{C_1 C_2 + C(C_1 + C_2)} \approx -\frac{g_m}{C_1 + C_2} \quad (9.47b)$$

$$p_3 \approx -\frac{1}{R_z C_1} \quad (9.47c)$$

前两个极点 p_1 和 p_2 与图 9.21 中的原始电路的极点一样。如果零点移动到高频区(由式(9.44)), 由于一般情况下 $C_1 \ll C_2$ (因为 C_1 是一个小的寄生电容并且 C_2 为负载电容)而且 R_z 大约等于 $1/g_m$, 所以第三个极点位于高频处即 $|p_3| \gg |p_2|$ 。因为存在三个独立电容, 电路有三个极点。相反, 图 9.21 有三个组成回路的电容, 所以只有两个电容电压独立。因此, 仅有两个极点与电路有关。

式(9.45)的零点为

$$z = \frac{1}{\left(\frac{1}{g_m} - R_z\right)C} \quad (9.48)$$

当 R_z 等于 $1/g_m$ 时, 零点移动到无穷大。将电阻增加到大于 $1/g_m$, 这使零点移动至左半平面, 此方法可用于在高频端提供正的相位变化, 并且提高放大器反馈电路的相位裕度。¹³ 通过增加 R_z 使极点移动如图 9.27b 所示。

图 9.28a 所示为一个串联于补偿电容的电阻 R_z 的密勒补偿运算放大器。实际上, 电阻 R_z 通常用一个偏置于三极管区域的 MOS 管提供。由式(1.152), 如果 $V_{ds} \ll 2(V_{GS} - V_t)$, 一个作用于三极管区域的 MOS 管特征像一个线性电阻。如果两个晶体管相同并有一样的 $V_{GS} - V_t$, 那么可以使晶体管元件电阻 R_z 达到共源晶体管 M_6 的 $1/g_m$ 。当这个 MOS 管被如图 9.28 所示左边的补偿电容代替, 其源电压可以通过 V_{gs} 设定, 这个电压近似不变。所以, 三极管区的电压 V_{GS} 可以由将其与一个直流偏置电压相连来确定, 这可以用复制偏置电压产生。¹³ (参看习题 9.23)

另一种可以用于多级运算放大器改变零点位置的方法在章节 9.4.5 中介绍。

目前为止在所有描述的补偿方法中, 主极点通过补偿电容 C 确定而且独立于负载电容 C_2 。然而, 第二个极点是 C_2 的函数。如果将运算放大器用于有一定范围的负载电容器的不同应用中, 那么应该选择补偿电容, 使它对于最大的 C_2 给出合理的相位裕度。因为 $|p_2|$ 与 C_2 成反比, 所以当负载电容减小时, 相位裕度将增加。

示例

假设运算放大器连接于单位增益反馈, 当作用一个 5 pF 的负载电容, 补偿章节 6.3.5 (图 6.16) 中的例子的二级 CMOS 运算放大器从而实现 45° 或更大的相位裕度。

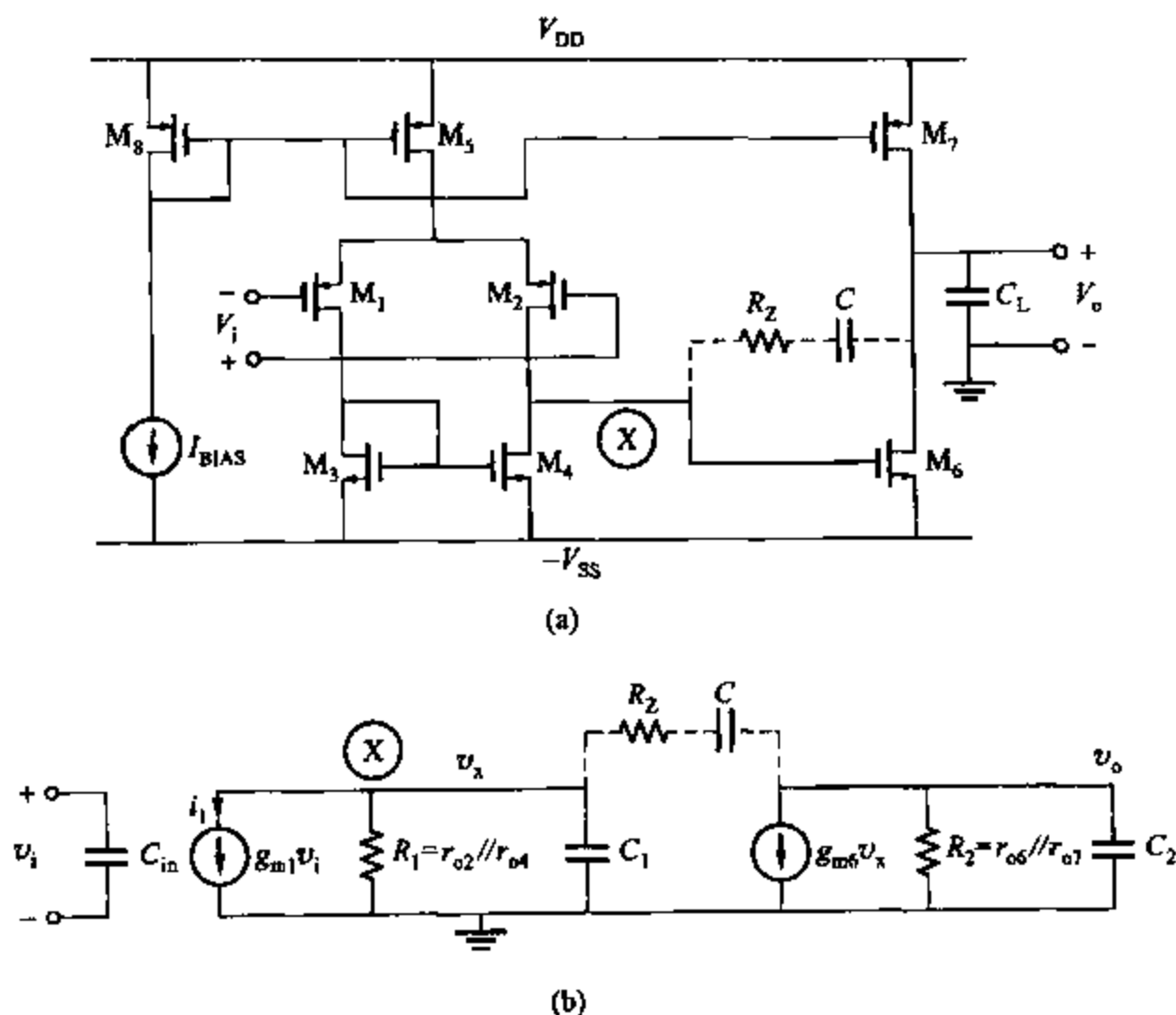


图 9.28 (a) 二级 CMOS 运算放大器; (b) 运算放大器小信号模型

在单位增益反馈放大器中, $f=1$ 且环路增益 $T=af=a$ (或与此等价, $A_{\infty}=1$ 并且反馈比 $\mathcal{R}=a$)。因此, 相位和增益裕度可以由 $|a|$ 和 $\text{ph}(a)$ 的波特图确定。

二级运算放大器及其简单模型如图 9.28 所示。在此模型中, 所有连接于结点的电容变换至 C_1 , 所有连接于输出结点的电容变换至 C_2 。在图 9.28 中, 令 v_i 为输入电压, 则有电流 $i_1 = g_{m1} v_i$ 。此处 i_1 所驱动的电路与 i_s 在图 9.21 中所驱动电路一样。因此, 在图 9.21 所示电路两极点和一零点方程在此可以应用, 其中 $i_s = g_{m1} v_i$, $g_m = g_{m6}$, $R_1 = r_{o2} // r_{o4}$, $R_2 = r_{o6} // r_{o7}$ 。

这里将使用串联电阻的密勒电路补偿法以消除零点。为得到 45° 的相位裕度, 应选取适当补偿电容 C , 使得 $|p_2|$ 等于单位增益频率 (假定零点已消除, 且 $|p_3| \gg |p_2|$)。由于自 $|p_1|$ 到 $|p_2|$ 增益下降为 -6 dB/十倍频程 , $|a(j\omega)|\omega$ 自 $|p_1|$ 到 $|p_2|$ 为连续的。因而

$$a_o \cdot |p_1| = 1 \cdot |p_2| \quad (9.49)$$

其中

$$a_o = g_{m1} (r_{o2} // r_{o4}) g_{m6} (r_{o6} // r_{o7}) = g_{m1} R_1 g_{m6} R_2 \quad (9.50)$$

为运算放大器的直流增益。将式(9.47)和式(9.50)代入式(9.49)得

$$g_{m1} R_1 g_{m6} R_2 \cdot \frac{1}{g_{m6} R_2 R_1 C} = 1 \cdot \frac{g_{m6}}{C_1 + C_2}$$

或

$$\frac{g_{m1}}{C} = \frac{g_{m6}}{C_1 + C_2} \quad (9.51)$$

输出端电容 C_2 远小于 5 pF 的负载电容, 并且内部寄生电容 C_1 远低于 5 pF (SPICE 仿真得到 C_1 约等于 120 fF)。因而, $C_1 + C_2$ 约为 5 pF。从 6.3.5 节所给例子中可得

$$\begin{aligned} g_{m1} &= k'_p (W/L)_1 |V_{ov1}| \\ &= 64.7 \mu\text{A/V}^2 \times 77 \times 0.2 \text{ V} = 1 \text{ mS} \end{aligned}$$

和

$$\begin{aligned} g_{m6} &= k'_n (W/L)_6 |V_{ov6}| \\ &= 194 \mu\text{A/V}^2 \times 16 \times 0.5 \text{ V} = 1.55 \text{ mS} \end{aligned}$$

将这些值代入式(9.51), 重新整理得

$$C = \frac{g_{m1}}{g_{m6}} (C_1 + C_2) \approx \frac{1 \text{ mS}}{1.55 \text{ mS}} (5 \text{ pF}) = 3.2 \text{ pF}$$

为消除电容 C 所引起反馈而带来得零点, 引入电阻 $R_z = 1/g_{m6} = 645 \Omega$ 串联于补偿电容 C 。(实际应用中, 此电阻由一偏置在晶体管区的 M_6 的复制 NMOS 晶体管实现, 以使得 $R_z = 1/g_{m6}$ 。参见习题 9.23。)

通过对加补偿前后运算放大器的 SPICE 仿真(应用基于表 2.4 的模型), 得出幅度、相位图如图 9.29 所示。补偿前, 放大器不稳定, 相位裕量为 -6° 。补偿后($R_z = 645 \Omega$, $C = 3.2 \text{ pF}$), 相位裕量提升到 41° , 单位增益频率为 35 MHz, 增益裕量为 15 dB。但相位裕度低于预期值 45° 。 g_{m6} 仿真值为 1.32 mS, 与计算值 1.55 mS 有一些差别, 因为用于计算 g_m 的公式基于平方律方程, 而它只是近似正确。改变 R_z 为 $1/g_{m6}(\text{SPICE}) = 758 \Omega$, 得到相位裕量为 46° , 单位增益频率为 35 MHz, 增益裕量为 22 dB。去掉 R_z , 相位裕量为 14° , 因而在去掉右半平面的零点后可显著提升相位裕量。

前面两个假设可由 SPICE 仿真检验。首先由 SPICE 有 $C_1 \approx 120 \text{ fF}$, $C_2 \approx 5 \text{ pF}$; 因而, 假定 $C_1 \ll C_2$ 成立。同时, 由 $|p_3| \approx 1/(R_z C_1) = g_{m6}/C_1$, $|p_2| \approx g_{m6}/C_2$, 且 $C_1 \ll C_2$ 可得 $|p_3| \gg |p_2|$ 。

9.4.4 单级 CMOS 运算放大器

单级运算放大器, 比如套叠或者折叠串接, 只有一个增益级, 这样就不能使用密勒补偿法。这样的运算放大器有高的开环输出电阻, 通常应用于负载为纯电容的开关电容电路。因而, 主极点和输出结点相关联, 由负载电容提供补偿。

图 9.30a 显示了一个简单的套叠式串接运算放大器, 它完全不同于两级的运算放大器。

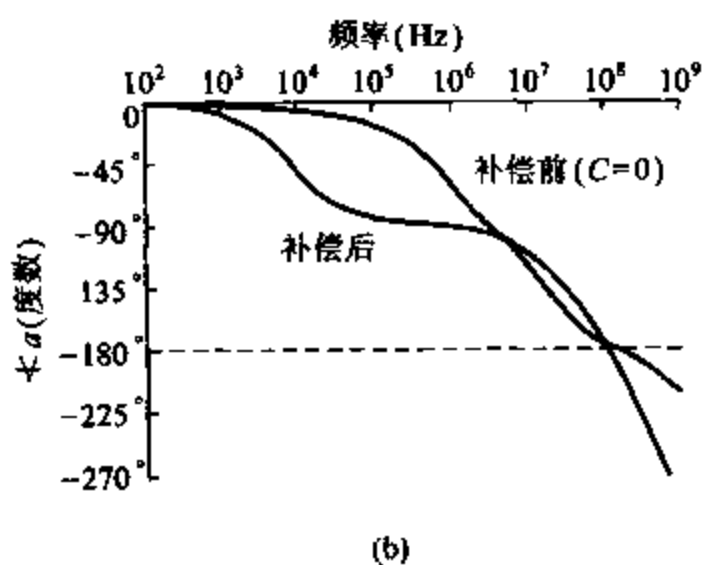
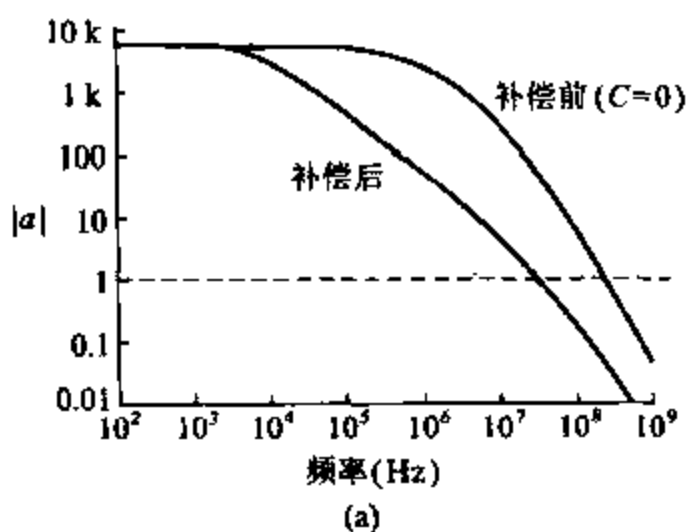


图 9.29 补偿前后图 9.28 所示运算放大器增益
(a) 幅度图; (b) 相位图

在此处,理想电流源取代了偏压管,所有电容变换至负载电容 C_L 和级联结点处的寄生电容 C_p 。差模(DM)增益可通过分析图 9.30b 所示的半边电路得到。由于存在两个独立电容,差模增益就有两个极点。忽略衬底效应,DM 增益的精确值为

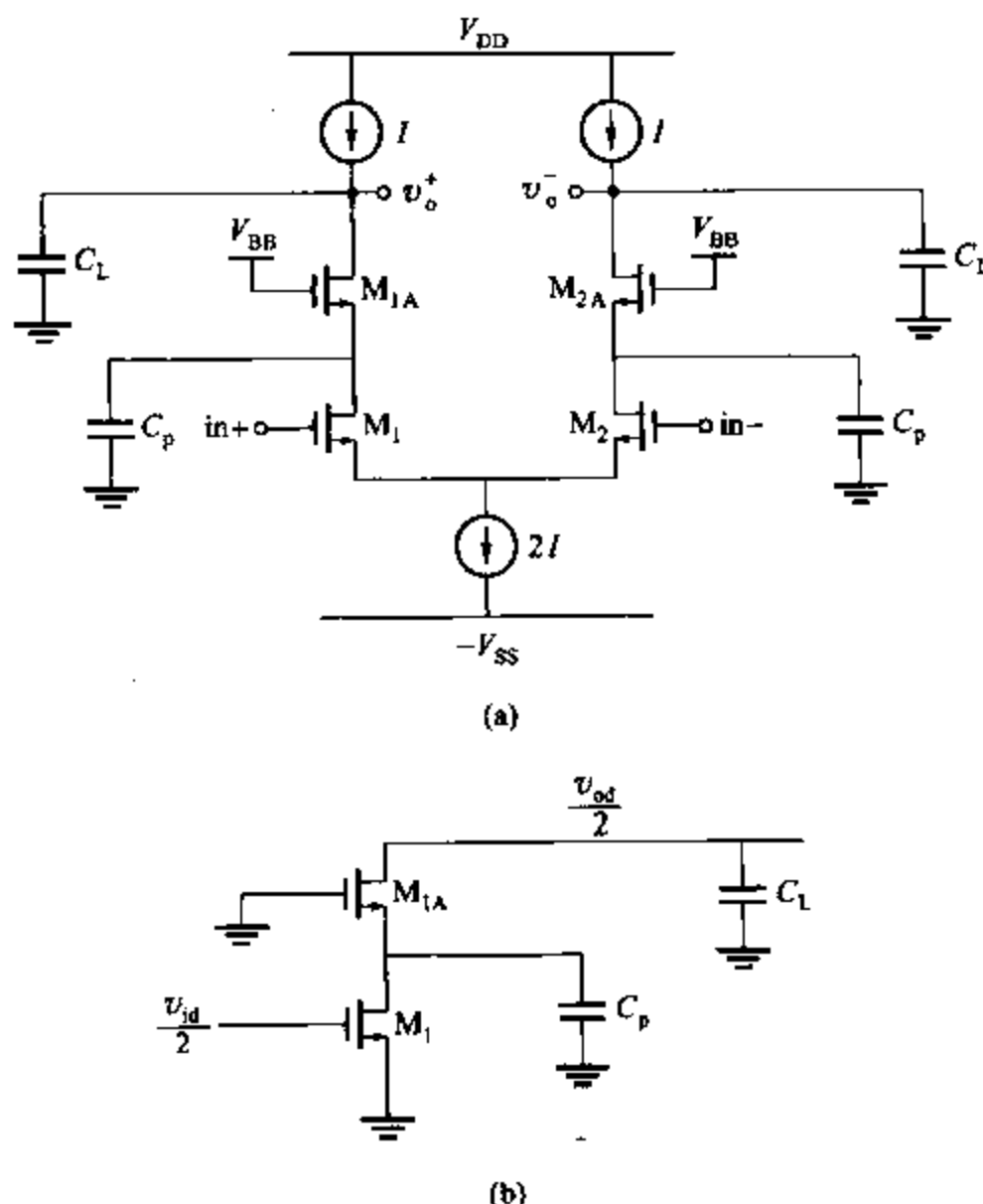


图 9.30 (a) CMOS 套叠级联工作放大电路简化图;
(b) 差分模式的半边电路图

$$\frac{v_{od}}{v_{id}} = \frac{g_{m1} r_{o1} (g_{m1A} r_{o1A} + 1)}{1 + s(r_{o1A} C_L + r_{o1} C_p + r_{o1} C_L + g_{m1A} r_{o1A} r_{o1} C_L) + s^2 r_{o1} r_{o1A} C_p C_L} \quad (9.52)$$

如果 $g_m r_o \gg 1$, 式(9.25)简化为

$$\frac{v_{od}}{v_{id}} = \frac{g_{m1} r_{o1} g_{m1A} r_{o1A}}{1 + s g_{m1A} r_{o1A} r_{o1} C_L + s^2 r_{o1} r_{o1A} C_p C_L} \quad (9.53)$$

增益存在两个极点而没有零点。假定两个极点间距很大,则可近似得

$$p_1 \approx -\frac{1}{g_{m1A} r_{o1A} r_{o1} C_L} \approx -\frac{1}{R_o C_L} \quad (9.54a)$$

$$p_2 \approx -\frac{g_{m1A}}{C_p} \quad (9.54b)$$

其中, $R_o \approx g_{m1A} r_{o1A} r_{o1}$, 它是 DM 半边电路的输出阻抗。另外一种方法,就是使用第七章中

的时间常数分析估算极点。主极点由开路时间常数 C_L 决定,而 C_L 由 C_p 开路计算得到,等于 $R_o C_L$ 。非主极点能由 C_L 短路时计算出的 C_p 近似算出。当 C_L 短路时, C_p 端阻抗就是忽视衬底效应后 M_{1A} 的源极看进去的端阻抗,为 $1/g_{m1A}$ 。通常,由于 $R_o \gg 1/g_{m1A}$ 及 $C_L \gg C_p$, 因而 $|p_1| \gg |p_2|$ 。如果在给定反馈应用中,相位裕度不够大,就可以在输出结点加电容以提高 C_L ,这样就可以在不影响 p_2 的前提下降低 $|p_1|$,从而提高了相位裕度。

电容 C_p 包含 C_{gs1A} 加上一些小电容如 C_{db1} 和 C_{sb1A} 。假定 $C_p \approx C_{gs1A}$, 对 M_{1A} 就有 $|p_2| \approx g_{m1A}/C_p \approx g_{m1A}/C_{gs1A} \approx \omega_T$ 。这样,在运算放大器幅度增益为 1 的幅值,即单位增益带宽,就可以很高。

图 9.31a 所示的为一完全不同的简化折叠运放。如同上例简化,理想电流源取代了偏置晶体管,并且所有电容变换至负载电容 C_L 和级联结点处的寄生电容 C'_p 。利用这些简化,DM 电压增益可以通过分析图 9.31 所示半边电路得到。除了以 p 沟道型代替 n 沟道型和 C'_p 代替 C_p 以外,此电路与图 9.30b 所示电路完全相同。所以,增益计算式同式(9.52)一样,只是以 C_p 代替 C'_p 。因此,主极点和式(9.54a)具有相同形式,即

$$p_1 \approx -\frac{1}{g_{m1A} r_{o1A} r_{o1} C_L} \approx -\frac{1}{R_o C_L} \quad (9.55a)$$

次极点和 C'_p 相关,近似为

$$p_2 \approx -\frac{g_{m1A}}{C'_p} \quad (9.55b)$$

方程式(9.55b)和式(9.54b)相似,但折叠式串接运算放大器的 $|p_2|$ 通常比套叠型的要小。原因是,当两个电路器件的半导体具有可比性时, C'_p 显著大于 C_p 。高电容值的一个原因是,对比套叠式,折叠式通常有更多的元件和 C'_p 连接。(在图 9.31a 中理想电流源的输出是晶体管的漏极。另外,为使得两者导通性可比, p 沟道级联晶体管的 W/L 要比 n 沟道级联晶体管的 W/L 大。较大的 W/L 使 C'_p 比 C_p 大。假定两个运算放大器在给定反馈应用下有相同相位裕度,较小的 $|p_2|$ 导致较小的单位增益带宽。

图 9.30 和图 9.31 中电路完全不同。通过把匹配电流源组替换为镜像电流源,这些运算放大器能变换为单极点运算放大器。在图 9.31a 中,两个 I_2 电流源被镜像电流源替代。如 7.3.5 节所述,除了式(9.54)和式(9.55)中极点 p_1 和 p_2 , 一个镜像电流源将引入一相距聚较近为零、极点对,如图 6.30a 所示。

有源级联能用来提高运算放大器的低频增益。图 6.30a 中,存在 4 个有源级联,每一个由一个级联晶体管($M_{1A} \sim M_{4A}$)和一个反馈环中的辅助放大器($A_1 \sim A_2$)组成。当此种放大器置于反馈中时,就存在多反馈环了。有 4 个局部反馈环和运算放大器的有源级联相连,及一个由放大器和放大器反馈网组成的全局反馈环。以上所有反馈都必须是稳定,不振荡的。局部反馈环的稳定性由环增益决定。由于这些环中的辅助放大器都是运算放大器,因而,每一辅助放大器都可利用本章所讲的技术以保证环的稳定性。全局反馈环也可通过补偿以满足稳定性。

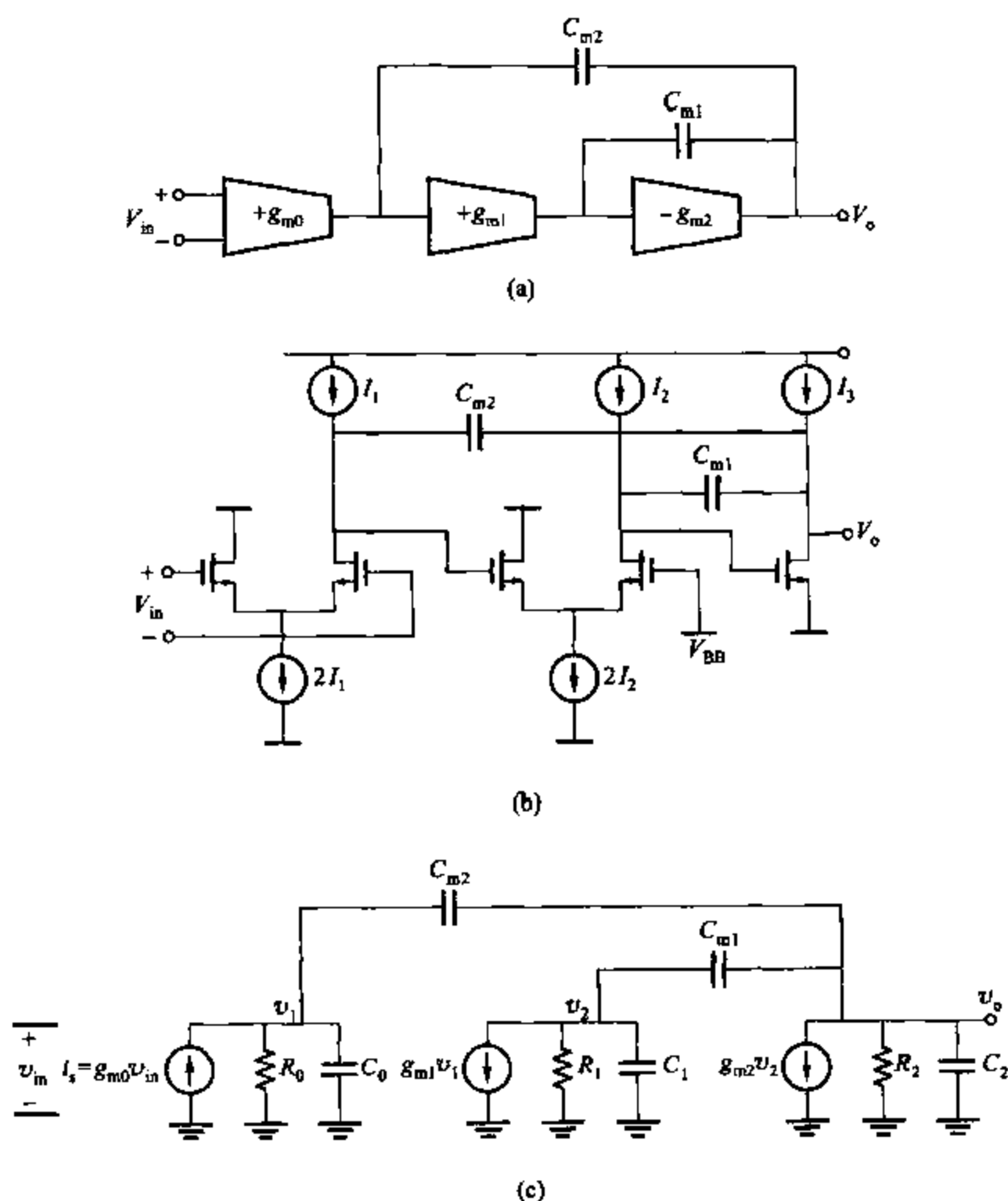


图 9.32 (a) 带有嵌套密勒补偿的三级运算放大器方块图;
(b) 带有嵌套密勒补偿的三级运算放大器的 CMOS 实现简图;(c) 小信号模型

相关的极点不会改变。当加入 C_{m2} , 三个极点会进一步调整。极点位置可由精确分析小信号模型得到。分析可由计算 g_m 产生的输出电流总和及处理相应的三个方程实现。这些步骤并不难, 在此没有给出。从输入级的电流生成器 ($i_s = g_{m0} v_{in}$) 到输出电压 v_o 的精确转移函数是

$$\begin{aligned} \frac{v_o}{i_s} &= -\frac{N(s)}{D(s)} \\ &= -\frac{R_0 g_{m1} R_1 g_{m2} R_2 - (g_{m1} R_1 C_{m1} + C_{m2}) R_0 R_2 s - R_0 R_1 R_2 C_{m2} (C_1 + C_{m1}) s^2}{1 + a_1 s + a_2 s^2 + a_3 s^3} \end{aligned} \quad (9.56)$$

其中

$$a_1 = K + R_0(C_{m2} + C_0) + g_{m1}R_1g_{m2}R_2R_0C_{m2} \quad (9.57a)$$

$$a_2 = R_1R_2(C_2 + C_{m1} + C_{m2})(C_1 + C_{m1}) - R_1R_2C_{m1}^2 + R_0(C_{m2} + C_0)K - g_{m1}R_1C_{m1}C_{m2}R_0R_2 - R_0R_2C_{m2}^2 \quad (9.57b)$$

$$a_3 = R_0R_1R_2[(C_2C_{m2} + C_0C_2 + C_0C_{m2})(C_1 + C_{m1}) + C_1C_{m1}C_{m2} + C_0C_1C_{m1}] \quad (9.57c)$$

$$K = R_2(C_2 + C_{m1} + C_{m2}) + R_1(C_1 + C_{m1}) + R_1C_{m1}g_{m2}R_2 \quad (9.57d)$$

式(9.56)为 i_s 到 v_o 的传递函数。从 v_{in} 到 v_o 的电压传递函数可由式(9.56)乘以 g_{m0} 得到。因此,电压增益和式(9.56)有相同的零、极点。式(9.56)传递函数有三个极点和两个零点。先看极点。系数 a_1 的表达式复杂,包含很多项。需要一些假定以简化方程。如果 $g_{m1}R_1g_{m2}R_2 \gg 1$ (常常是成立的),则有

$$a_1 \approx g_{m1}R_1g_{m2}R_2R_0C_{m2} \quad (9.58)$$

假定存在一主极点 p_1 , 则

$$p_1 \approx -\frac{1}{a_1} = -\frac{1}{g_{m1}R_1g_{m2}R_2R_0C_{m2}} \quad (9.59)$$

另一种得到 p_1 的估算方法是通过 C_{m2} 应用密勒效应,同样可得上述结果。有效密勒电容约为 C_{m2} 乘以经过 C_{m2} 的负增益即为 $g_{m1}R_1g_{m2}R_2$, 这个电容与 R_0 并联,得出时间常数为 $(g_{m1}R_1g_{m2}R_2)R_0C_{m2}$ 。

其他极点 p_2 和 p_3 可通过因式分解式(9.56)的三阶分母得到。这个工作可由计算机完成,对手工而言太困难了。但是,这些极点可通过分析一定条件下的二次方程得出。如果 p_1 为主极点,则 $|p_2|, |p_3| \gg |p_1|$ 。在高频区 $|s| \gg |p_1| \approx 1/a_1$, 从而有 $|sa_1| \gg 1$ 。则式(9.56)的分母去掉常量“1”后可近似化为

$$D(s) \approx a_1s + a_2s^2 + a_3s^3 = a_1s \left(1 + \frac{a_2}{a_1}s + \frac{a_3}{a_1}s^2 \right) \quad (9.60)$$

此方程有三个极点。一个极点位于直流区,它反映了主极点 p_1 对远高于 $|p_1|$ 的频率的影响。极点 p_1 和 p_2 为式(9.60)的其他两个根。它们可由式(9.60)括号中的二次项分解得到,为

$$D'(s) = \frac{D(s)}{a_1s} \approx 1 + \frac{a_2}{a_1}s + \frac{a_3}{a_1}s^2 \approx \left(1 - \frac{s}{p_2} \right) \left(1 - \frac{s}{p_3} \right) \quad (9.61)$$

假定 R_0, R_1 和 $R_2 \gg |1/(g_{m2} - g_{m1})|$ 及 C_0 小于其他电容,则式(9.57b)和式(9.57c)可简化为

$$a_2 \approx R_0R_1R_2(g_{m2} - g_{m1})C_{m1}C_{m2} \quad (9.62)$$

$$a_3 \approx R_0R_1R_2(C_1C_2C_{m1} + C_2C_{m1}C_{m2} + C_1C_{m1}C_{m2}) \quad (9.63)$$

应用式(9.58)、式(9.62)和式(9.63), $D'(s)$ 中的系数化为

$$\frac{a_2}{a_1} \approx \frac{g_{m2} - g_{m1}}{g_{m1}g_{m2}}C_{m1} \quad (9.64)$$

$$\frac{a_3}{a_1} \approx \frac{C_1C_2 + C_{m1}C_1 + C_2C_{m1}}{g_{m1}g_{m2}} \quad (9.65)$$

为使得高频极点在左半平面(LHP), a_2/a_1 必须是正数(参见附录 A9.2)。因此, g_{m2} 要大于 g_{m1} 。极点 p_2 和 p_3 可为实数或复数, 总之二次方程可以解出这些极点。如果极点为相距较远的实数且 $C_{m1} \gg C_1, C_2$, 则可找到近似表达式。如果 $|p_2| \ll |p_3|$, 则 $-1/p_2$ 近似等于 $D'(s)$ 中的系数, 即

$$p_2 \approx -\frac{a_2}{a_1} = -\frac{g_{m1} g_{m2}}{(g_{m2} - g_{m1}) C_{m1}} \quad (9.66a)$$

同样, $1/(p_2 p_3)$ 等于 $D'(s)$ 中 s^2 的系数, 即

$$\begin{aligned} p_3 \approx \frac{a_1}{a_3} \frac{1}{p_2} &= -\frac{g_{m1} g_{m2}}{C_1 C_2 + C_{m1} C_1 + C_2 C_{m1}} \cdot \frac{(g_{m2} - g_{m1}) C_{m1}}{g_{m1} g_{m2}} \\ &= -\frac{(g_{m2} - g_{m1}) C_{m1}}{C_1 C_2 + C_{m1} (C_1 + C_2)} \approx -\frac{g_{m2} - g_{m1}}{C_1 + C_2} \end{aligned} \quad (9.66b)$$

如 C_{m1} 足够大, 最终近似如下。如果 $|p_2| \ll |p_3|$, 式(9.66a)和式(9.66b)就是精确的。将式(9.66a)和式(9.66b)代入这个不等式, 得到等价条件

$$|p_2| \approx \frac{g_{m1} g_{m2}}{(g_{m2} - g_{m1}) C_{m1}} \ll \frac{(g_{m2} - g_{m1}) C_{m1}}{C_1 C_2 + C_{m1} (C_1 + C_2)} \approx |p_3| \quad (9.67)$$

如果此条件不能满足, 则 p_2 和 p_3 就是相距较近的复共轭或实极点。可以选择 C_{m1} 足够大使得不等式(9.67)条件满足。在高频极点为相距很远的实极点的同时, 当 p_2 和 p_3 非实数但相距很远时, 就能够得到更高的单位增益带宽。¹⁶

在简化的方程式(9.66a)和式(9.66b)中, 极点 p_2, p_3 和 C_{m1} 相关, 和 C_{m2} 无关。相反, 主极点 p_1 和 C_{m2} 成反比, 和 C_{m1} 无关。令 $|p_1| \ll |p_2| \ll |p_3|$ 及 $|p_3|$ 远超出运算放大器单位增益频率, 则这些极点就可以看成是由具有两个极点的运算放大器引起的。

零点位置可以通过因式分解式(9.56)的二阶分子 $N(s)$ 得到。 s 和 s^2 的系数为负, 常量项为正。这样, 零点为实数。如附录 A9.2 所示, 一个为正, 其他为负。

使用一些简化的假定以找出零点。首先, 式(9.56)的分子 $N(s)$ 重写为

$$N(s) = R_0 g_{m1} R_1 g_{m2} R_2 \left[1 - s \left(\frac{C_{m1}}{g_{m2}} + \frac{C_{m2}}{g_{m1} R_1 g_{m2}} \right) - s^2 \frac{C_{m2} (C_1 + C_{m1})}{g_{m1} g_{m2}} \right] \quad (9.68)$$

假定 $C_{m1} \gg C_1$ 和 $C_{m1} \gg C_{m2}/g_{m1} R_1$, 则有

$$N(s) \approx R_0 g_{m1} R_1 g_{m2} R_2 \left(1 - s \frac{C_{m1}}{g_{m2}} - s^2 \frac{C_{m2} C_{m1}}{g_{m1} g_{m2}} \right) \quad (9.69)$$

这些零点为 $N(s) = 0$ 的根。应用二次方程理论和式(9.69), 得零点

$$z_{1,2} = -\frac{g_{m1}}{2C_{m2}} \pm \sqrt{\left(\frac{g_{m1}}{2C_{m2}} \right)^2 + \frac{g_{m1} g_{m2}}{C_{m1} C_{m2}}} = -\frac{g_{m1}}{2C_{m2}} \left(1 \pm \sqrt{1 + \frac{4g_{m2} C_{m2}}{g_{m1} C_{m1}}} \right) \quad (9.70)$$

式(9.70)中的最右式的正平方根比 1 大。此值加 1 得到括号项为正值, 1 减此值得到括号项为负值, 此负值小于前面和。因此, 一个零点在左半平面, 幅值大于 $g_{m1}/2C_{m2}$ 。另一个零点在右半平面, 幅值小于在左半平面的零点。结果, 在低频区右半平面的零点的影响比左半平面的零点要明显。

其中的一个或两个零点和 $|p_2|$ 是大小可比的。因为,右半平面的零点比左半平面的零点频率更低,对于小于或等于 $|p_2|$ 的频率右半平面的零点会引起明显的负相位偏移。负相位偏移将降低反馈环的相位裕度。这个不希望存在的负相位偏移在转移函数没有零点的情况下不会发生。然而,在9.4.3节所见到的三个消除右半平面零点技术在低电源电压应用中有很大的限制。首先,通过在运算放大器的输出和电容 C_{m1} 、 C_{m2} 的右半平面间增加源极跟随缓冲器(参见图9.24)以消除右半平面零点,这样会去掉通过电容的前向反馈路径。但是,源极跟随器会造成输入输出间存在一个非零的直流电压。在低电源电压应用中,这个电压会令输出摆幅限定在一个不可接受的低值范围内。其次,级间级联能消除右半平面零点(参见图9.26)。但是,所有级联的晶体管都要工作在放大区的要求会限制电源电压最小值。最后,一系列的由晶体管实现的零点消除电阻(如图9.27a所示)要求一个大的超出电源电压的栅极电压。

在低电源电压应用中,级联的右半平面零点消除可由另一种不同技术实现(如图9.33a所示)^{16,17}它包括两个增益级,一个密勒补偿电容及跨导 g_m 。跨导 g_m 提供了正向反馈路径,使得零点变为无穷大。小信号电路见图9.33b。初始假定 $C_1 = C_2 = 0$,以简化对电路的解释。电路中存在一个由 C_m 引入的极点,和一个因通过 C_m 的前向反馈电流而存在的零点。如果零点变为无穷大,则当 ω 趋于无穷大时,正向反馈电流必定趋于零。同样,如果极点变为无穷大,则当 ω 趋于无穷大时,因传递函数的极点输出电压必定趋于零。当 ω 趋于无穷大时, C_m 短路,所以 $\omega \rightarrow \infty, v_2 = 0$ 。因而,在有限频率下,电流 $g_{m1}v_1$ 流经 C_m 。将此正向电流加至 $g_{m2}v_2$ 得到输出结点和 v_1 相关的总电流为

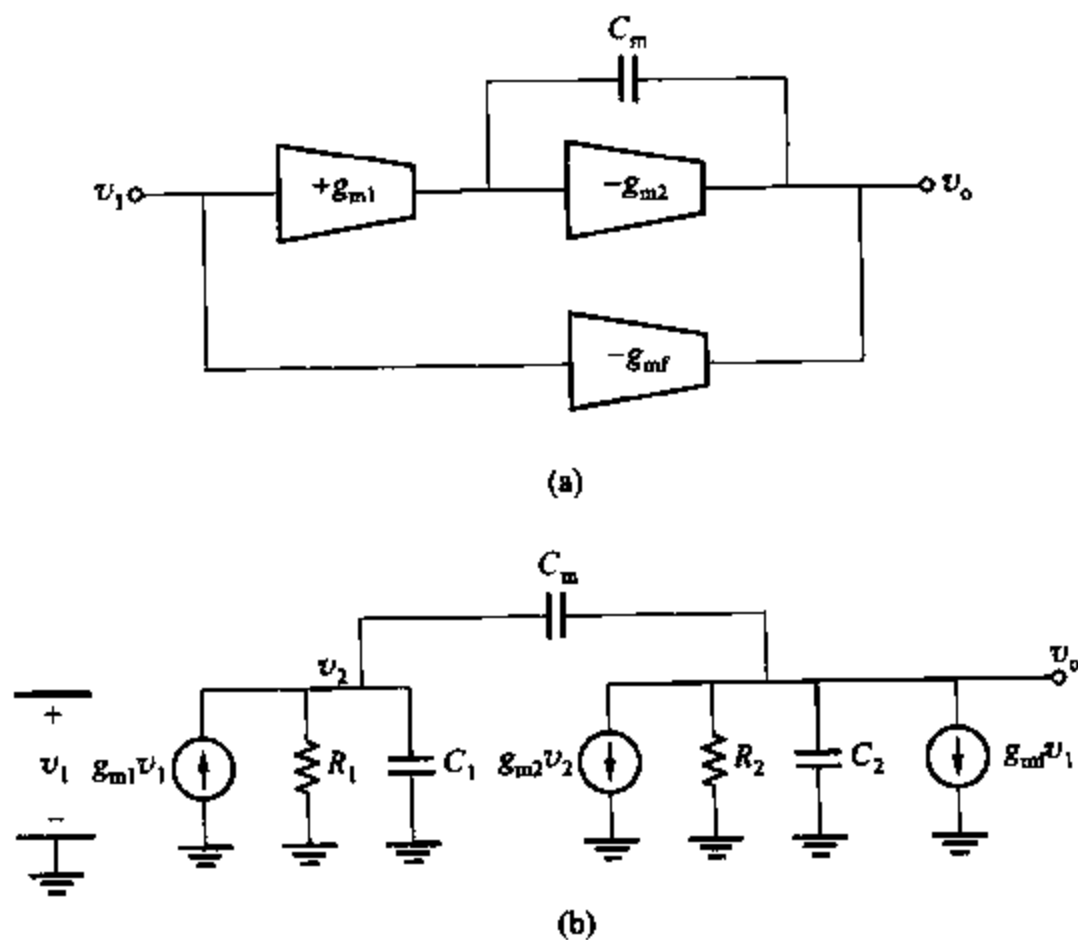


图 9.33 (a) 带有密勒补偿和前向跨导的二级运算放大器方块图; (b) 小信号模型

$$i_H(\omega \rightarrow \infty) = (-g_{m1} + g_{mf})v_1 \quad (9.71)$$

如果 $g_{mf} = g_{m1}$, 此电流等于零。这意味着零点在无穷处。

对图 9.33 的精确分析得出传递函数

$$\frac{v_o}{v_i} = \frac{-g_{m1}R_1g_{m2}R_2 - g_{mf}R_2 - sR_1R_2[g_{mf}(C_1 + C_m) - g_{m1}C_m]}{1 + s[g_{m2}R_1R_2C_m + R_2(C_2 + C_m) + R_1(C_1 + C_m)] + s^2R_1R_2(C_1C_2 + C_1C_m + C_2C_m)} \quad (9.72)$$

当

$$g_{mf} = g_{m1} \frac{C_m}{C_1 + C_m} = \frac{g_{m1}}{1 + \frac{C_1}{C_m}} \quad (9.73)$$

时, 通过选择 g_{mf} 使得分子中 s 的系数为零, 零点可变换到无穷处。 g_{mf} 的值依赖于内部寄生电容 C_1 和补偿电容 C_m 的比值系数, 其中 C_1 不能够很好地控制。应用 $g_{mf} = g_{m1}$ 令零点变换到左半平面, 大约为 $-g_{m2}/C_1$; 零点的这个幅值通常高于运算放大器的单位增益频率。如果 g_{m1} 级为差分输入, $-g_{mf}$ 级能够通过应用的 g_{m1} 级的复制实现, 使输入翻转从而符号相反。

如图 9.34a 所示, 这个零点消除方案能反复应用到三级运算放大器上, 从而消除掉零点。小信号模型参见图 9.34b。分析电路得到电压增益为

$$\frac{v_o}{v_{in}} = \frac{R_2(n_0 + n_1s + n_2s^2)}{1 + b_1s + b_2s^2 + b_3s^3} \quad (9.74)$$

其中 $b_1 \sim b_3$ 和 $a_1 \sim a_3$ 的关系为

$$b_1 = a_1 + g_{m0}R_0R_2C_{m2} \quad (9.75a)$$

$$b_2 = a_2 + g_{m0}R_0R_1R_2(C_1 + C_{m1})C_{m2} \quad (9.75b)$$

$$b_3 = a_3 \quad (9.75c)$$

分子系数为

$$n_0 = -g_{m0}g_{m1}g_{m2}R_0R_1 - g_{m0} - g_{m0}g_{m1}R_0 \quad (9.76a)$$

$$n_1 = g_{m0}(g_{m1} - g_{m1})R_0R_1C_{m1} + (g_{m0} - g_{m0})R_0C_{m2} - g_{m0}R_1(C_1 + C_{m1}) - g_{m0}R_0C_0 - g_{m0}g_{m1}R_0R_1C_1 \quad (9.76b)$$

$$n_2 = (g_{m0} - g_{m0})R_0R_1(C_1 + C_{m1})C_{m2} - g_{m0}R_0R_1(C_1 + C_{m1})C_0 \quad (9.76c)$$

分子中 s 和 s^2 的系数既有正项又有负项。因而, 通过选择合适的 g_{m0} 和 g_{m1} 它们能够被置为零。如式(9.73)所示, 这些值依赖于实际中不能很好控制的寄生电容 C_0 和 C_1 。一种选择为令 $g_{m0} = g_{m0}$ 和 $g_{m1} = g_{m1}$ 。将这些值代入式(9.75a)~式(9.75c)中, n_0 、 n_1 和 n_2 是负值。因此, 零点都在左半平面(参见附录 A9.2), 右半平面的零点已被消除。

在令 $g_{m0} = g_{m0}$ 和 $g_{m1} = g_{m1}$ 时, 如果 $g_{m2}R_1 \gg 1$, 式(9.75a)中和 a_1 相加的一项, 它要比 a_1 中的主要项 $g_{m1}R_1g_{m2}R_2R_0C_{m2}$ 要小。因此, $b_1 \approx a_1$, 主极点 p_1 仍由式(9.75a)给出。但是, b_2 大不同于 a_2 , 因而, p_2 和 p_3 就不同于式(9.66a)和式(9.66b)所给出的值了。将 $b_1 \sim b_3$ 替代式(9.60), $a_1 \sim a_3$ 通过解此二次方程就可得高频极点的新值。

嵌套密勒补偿电容的选择是复杂的,因为有两个补偿电容值要选择,且值的大小会影响零点和极点的位置。在反馈应用中,可以通过计算机的帮助来选择补偿电容值,以达到一定的相位裕度或稳定时间的目的。在小信号模型已知的条件下,可以对闭环传递函数进行计算机优化,闭环传递函数基于运算放大器的传递函数或环路增益或返回比。即,利用上面的式子近似估计电容值,然后对电路进行 SPICE 仿真。开始先以估计值为初始,再逐步很小地变化,最终得出最优值。此种方法在下例中得到应用。

示例

设计一个如图 9.34 所示的三级运算放大器电路,要求(1)低频增益 86 dB;(2)驱动 5 pF 负载时,单位反馈相位裕度为 45° 。补偿此运算放大器,使它的极点为实数且相距较远。为简化此例,假定每一级的输出阻抗都是 5 k Ω ,内部结点电容 $C_1 = C_2 = 0.05$ pF。求出补偿电容和运算放大器的跨导。

反馈跨导 g_{m0} 和 g_{m1} 用于将零点移到单位增益频率以上。基于式(9.73)~式(9.76)及假定 C_0 和 C_1 要小于 C_{m1} 和 C_{m2} ,为简化设计方程,令 $g_{m0} = g_{m0}$ 和 $g_{m1} = g_{m1}$ 。

当 $g_{m0} = g_{m1} = 0$ 时,传递函数分母系数 a_i 由式(9.57)给出。但是,当 g_{m0} 和 g_{m1} 非零时,传递函数分母 s 和 s^2 的系数改变了,由式(9.75)给出。从式(9.75c)中得到 $b_3 = a_3$ 。同理,如式(9.76)所示,式(9.75a)中与 a_1 相加的一项为比 a_1 项要小。因此, $b_1 \approx a_1$,主极点 p_1 仍由式(9.59a)给出。这样,在式(9.25b)中包括 g_{m1} 的 b_2 项有增加,因而 p_2 和 p_3 有了变化。假定 $C_1 \ll C_{m1}$,式(9.57b)化为

$$b_2 \approx a_2 + g_{m1} R_0 R_1 R_2 C_{m1} C_{m2}$$

将式(9.62)中 a_2 的近似表达代入,并令 $g_{m1} = g_{m1}$,上式变为

$$b_2 \approx g_{m2} R_0 R_1 R_2 C_{m1} C_{m2}$$

接着从式(9.60)~式(9.67)进行分析,可得

$$p_2 \approx -\frac{b_1}{b_2} \approx -\frac{g_{m1}}{C_{m1}} \quad (9.77a)$$

$$p_3 \approx \frac{b_1}{b_3} \frac{1}{p_2} \approx -\frac{g_{m2}}{C_2} \quad (9.77b)$$

为满足 $|p_2| \ll |p_3|$,令 $|p_3| = 10|p_2|$ 。代入式(9.77)中,重新整理得

$$C_{m1} = 10 \frac{g_{m1}}{g_{m2}} C_2 \quad (9.78)$$

为保证 C_{m1} 不是远大于 $C_2 = 0.05$ pF,在式(9.78)中需要 $g_{m1}/g_{m2} \ll 1$ 。这里选择 $g_{m1}/g_{m2} = 0.2$ 。将这个值代入式(9.78)中得

$$C_{m1} = 10 \times 0.2 \times 0.05 \text{ pF} = 10 \text{ pF}$$

极点相距较远时,设置 $|p_2|$ 在单位增益频率处,此时相位裕度为 45° 。由于对 $|p_1|$ 和 $|p_2|$ 间的频率而言, $|增益值| \times 频率$ 为一个常量,可以得到

$$|a_0| \cdot |p_1| = 1 \cdot |p_2| \quad (9.79)$$

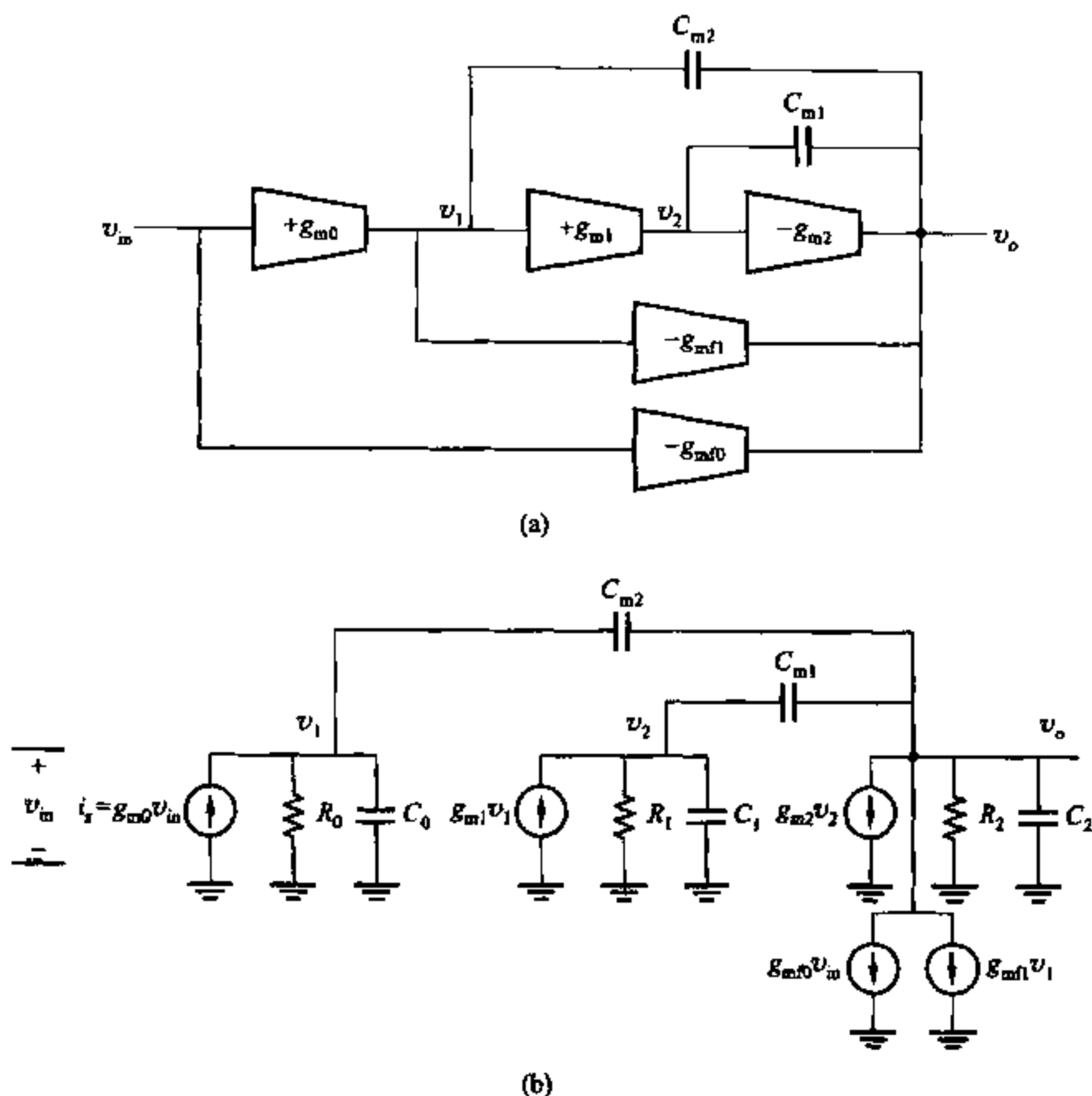


图 9.34 (a) 带有嵌套密勒补偿和两个前向反馈跨导的三级运算放大器方块图;
(b) 小信号模型

其中

$$|a_0| = g_{m0} R_0 g_{m1} R_1 g_{m2} R_2 \quad (9.80)$$

为低频增益。将式(9.59), 式(9.77a)和式(9.80)代入式(9.79)中得

$$\frac{g_{m0}}{C_{m2}} = \frac{g_{m1}}{C_{m1}}$$

如果, 为了减小电路设计的工作量令前两个增益级相同, $g_{m0} = g_{m1}$, 则最后一个方程化为

$$C_{m2} = C_{m1} = 10 \text{ pF}$$

现在, 分析低频增益和式(9.80), 可得出跨导为

$$|a_0| = g_{m0} R_0 g_{m1} R_1 g_{m2} R_2 = \frac{g_{m1}^3}{0.2} (5 \text{ k}\Omega)^3 = 20\,000 = 86 \text{ dB}$$

其中 $g_{m0} = g_{m1} = 0.2 g_{m2}$ 。解得 $g_{m0} = g_{m1} = g_{m0} = g_{m1} = 3.3 \text{ mS}$ 和 $g_{m2} = g_{m1}/0.2 = 16 \text{ mS}$ 。

SPICE 仿真得出在单位增益频率 40 MHz 时, 直流增益为 86.3 dB, 相位裕量为 52°。这

些值十分接近要求,足以说明这些计算是有用的。极点位置 $|p_1|/2\pi = 2.3 \text{ kHz}$, $|p_2|/2\pi = 59 \text{ kHz}$, $|p_3|/2\pi = 464 \text{ kHz}$ 。零点是 $z_{1,2}/2\pi = -345 \text{ MHz} \pm j1.58 \text{ GHz}$, 为一复数,幅值远大于单位增益频率。仿真下轻微调整补偿电容,在 $C_{m1} = 10.4 \text{ pF}$ 和 $C_{m2} = 8.3 \text{ pF}$ 时,单位增益频率 45 MHz 时,得到相位裕量为 47° 。

9.5 根轨迹^{1,18}

本章以前主要关心在频域上的反馈放大器的稳定性和补偿的计算。这样的技术得到了广泛应用,因为它们在设计反馈放大器的补偿时,无需进行过多的设计工作。根轨迹法包含了实际零、极点的计算和随低频环路增益幅度 T_0 的变换,零、极点在 s 平面的运动计算。对比频域技术,根轨迹法给出关于放大器性能的信息,但需要更多的计算。实际中,一些问题两种技术都能给出解答,只是一种比另一种更简单。进行电路设计时两种技术都需要。先以一个简单的例子说明一下根轨迹法。

9.5.1 三极点的传递函数根轨迹

考虑一个放大器,它的传递函数具有三个相同极点。传递函数可写为

$$a(s) = \frac{a_0}{\left(1 - \frac{s}{p_1}\right)^3} \quad (9.81)$$

其中, a_0 为低频增益, $|p_1|$ 为极点幅值。假定放大器如图 9.1 所示置于一个负反馈回路中。反馈回路传递函数为 f , f 为一常量。假定反馈负载效应极小,带有反馈的总增益为

$$A(s) = \frac{a(s)}{1 + a(s)f} \quad (9.82)$$

将式(9.81)代入式(9.82)得

$$A(s) = \frac{\frac{a_0}{\left(1 - \frac{s}{p_1}\right)^3}}{1 + \frac{a_0 f}{\left(1 - \frac{s}{p_1}\right)^3}} = \frac{a_0}{\left(1 - \frac{s}{p_1}\right)^3 + T_0} \quad (9.83)$$

其中 $T_0 = a_0 f$ 为低频增益。

$A(s)$ 的极点为如下方程的根。

$$\left(1 - \frac{s}{p_1}\right)^3 + T_0 = 0 \quad (9.84)$$

即

$$\left(1 - \frac{s}{p_1}\right)^3 = -T_0$$

从而得到

$$1 - \frac{s}{p_1} = \sqrt[3]{-T_0} = -\sqrt[3]{T_0} \text{ 或 } \sqrt[3]{T_0}e^{j60^\circ} \text{ 或 } \sqrt[3]{T_0}e^{-j60^\circ}$$

式(9.84)的三个根为

$$\begin{aligned} s_1 &= p_1 \left(1 + \sqrt[3]{T_0} \right) \\ s_2 &= p_1 \left(1 - \sqrt[3]{T_0}e^{j60^\circ} \right) \\ s_3 &= p_1 \left(1 - \sqrt[3]{T_0}e^{-j60^\circ} \right) \end{aligned} \quad (9.85)$$

这三个根为 $A(s)$ 的极点, 式(9.83)可写作

$$A(s) = \frac{a_0}{1 + T_0} \frac{1}{\left(1 - \frac{s}{s_1}\right) \left(1 - \frac{s}{s_2}\right) \left(1 - \frac{s}{s_3}\right)} \quad (9.86)$$

式(9.85)对任何低频增益值 T_0 都可以计算出 $A(s)$ 的极点。对 $T_0 = 0$, 如预期一样, 所有三个极点都在 p_1 处。随着 T_0 的增加, 一个极点随负实轴移动, 另两个以 60° 角远离实轴, 移向右半平面。根轨迹如图 9.35 所示, 根轨迹的每一点都可由相应的 T_0 值确定。在某一 T_0 值下, 两个复极点进入到右半平面, 此点为根轨迹上一个重要点。在此点, 环路增益值将会引起振荡。从式(9.85)中和 s_2 相关的一个方程可以看出, 此点就是令 $\text{Re}(s_2) = 0$ 的点。由 $\text{Re}(s_2) = 0$ 得

$$1 - \text{Re}(\sqrt[3]{T_0}e^{j60^\circ}) = 0$$

即

$$\sqrt[3]{T_0} \cos 60^\circ = 1$$

和

$$T_0 = 8$$

因此, 任何具有三个相同极点的放大器对低频增益大于 8 的 T_0 而言都是不稳定的。只是一个十分严格的条件, 它强调了在需要大于 8 的 T_0 值时补偿的必要性。值得指出, 根轨迹法并非只能给出引起不稳定的 T_0 值, 它同样容许在 $T_0 < 8$ 时计算放大器的极点, 因此, 可以计算放大器的正弦及暂态响应。

通过计算距离 ω_0 , 就可以由图 9.35 所示找到振荡频率。

$$\omega_0 = |p_1| \tan 60^\circ = 1.732 |p_1| \quad (9.87)$$

因此, 极点刚进入到右半平面时, 它们的虚部幅度为 $1.732 |p_1|$, 这就是持续增长的正弦响应频率。即, 如果复极点为 $(\sigma \pm j\omega_0)$, σ 为很小的正值, 则电路的暂态响应包含 $Ke^{j\sigma t} \sin \omega_0 t$ 项, 它表示了一个增长的正弦部分。(K 由初始条件决定)

通过频域或奈奎斯特判据计算出引起不稳定的 T_0 值是有用的。由式(9.81)得环路增益为

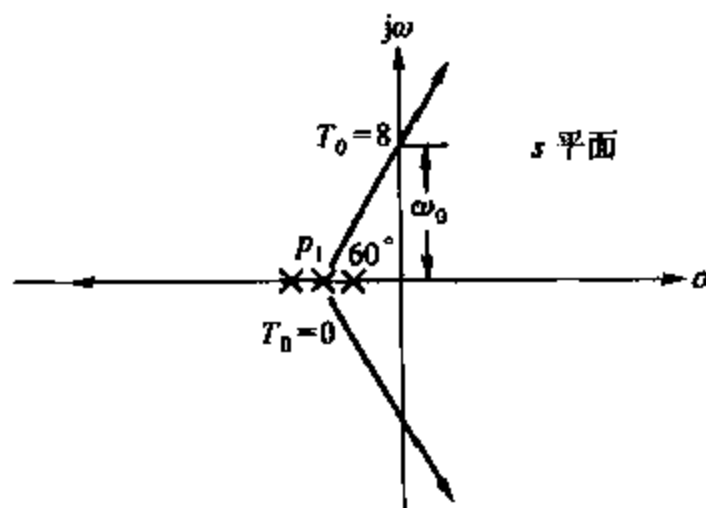


图 9.35 反馈放大器的根轨迹, 放大器具有三个极点相同的 $T(s)$

$$T(j\omega) = \frac{a_0 f}{\left(1 + \frac{j\omega}{|p_1|}\right)^3} = \frac{T_0}{\left(1 + j \frac{\omega}{|p_1|}\right)^3} \quad (9.88)$$

$T(j\omega)$ 的幅值和相位作为 ω 的函数在图 9.36 中画出。频率点 ω_{180} 相移为 -180° , 可通过式(9.88)计算如下

$$180^\circ = 3 \arctan \frac{\omega_{180}}{|p_1|}$$

则得到

$$\omega_{180} = 1.732 |p_1| \quad (9.89)$$

对比式(9.87)和式(9.89), 有

$$\omega_{180} = \omega_0 \quad (9.90)$$

ω_{180} 处环路增益幅值可由式(9.88)计算如下:

$$T(j\omega_{180}) = \frac{T_0}{\left|1 + j \frac{\omega_{180}}{|p_1|}\right|^3} = \frac{T_0}{8} \quad (9.91)$$

奈奎斯特判据表明, $T(j\omega_{180}) < 1$ 是必要的。这就需要 $T_0 < 8$, 由根轨迹法得到相同的结果。

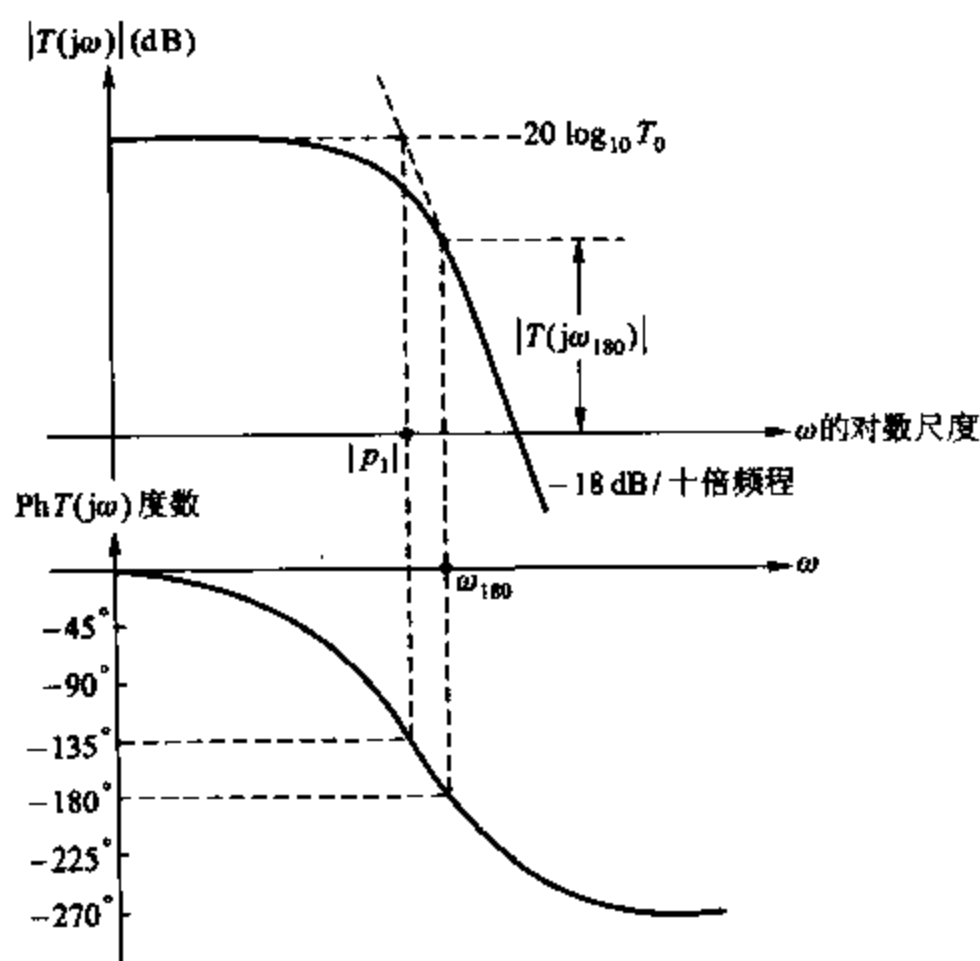


图 9.36 反馈放大器的 $T(j\omega)$ 的幅值和相位图,
反馈放大器的 $T(s)$ 中三个极点相同

9.5.2 根轨迹准则

在前面的简单例子中,计算出作为 T_0 函数的放大器极点精确表达式,并画出精确的根轨迹图。但在多数情况下,这是十分困难的,因为这需要解三阶或更高阶的多项式方程。所以,无需精确计算极点就能画出根轨迹图的准则应运而生了,从而无需进行过多的计算就可获得很多有用信息。

一般,基本放大器传递函数和反馈函数以 s 的多项式的比值形式表达,即

$$a(s) = a_0 \frac{1 + a_1 s + a_2 s^2 + \dots}{1 + b_1 s + b_2 s^2 + \dots} \quad (9.92)$$

可以写为

$$a(s) = a_0 \frac{N_a(s)}{D_a(s)} \quad (9.93)$$

同样假定

$$f(s) = f_0 \frac{1 + c_1 s + c_2 s^2 + \dots}{1 + d_1 s + d_2 s^2 + \dots} \quad (9.94)$$

则可得到

$$f(s) = f_0 \frac{N_f(s)}{D_f(s)} \quad (9.95)$$

由基本放大器反馈网络所产生的负载效应,假定包含在式(9.92)中。进一步假定,低频增益 $a_0 f_0$ 能够在不改变 $a(s)$ 或 $f(s)$ 的零、极点的条件下改变。

当加有反馈时,总增益为

$$A(s) = \frac{a(s)}{1 + a(s)f(s)} \quad (9.96)$$

将式(9.93)和式(9.95)代到式(9.96)中,得

$$A(s) = \frac{a_0 N_a(s) D_f(s)}{D_f(s) D_a(s) + T_0 N_a(s) N_f(s)} \quad (9.97)$$

其中

$$T_0 = a_0 f_0 \quad (9.98)$$

为低频增益。

由式(9.97)表明可以看出 $A(s)$ 的零点和 $a(s)$ 的零点及 $f(s)$ 的极点。 $A(s)$ 的极点为

$$D_f(s) D_a(s) + T_0 N_a(s) N_f(s) = 0 \quad (9.99)$$

的根。考虑两个极端的情形:

(a) 假定没有反馈且 $T_0 = 0$ 。则从式(9.99)中得到, $A(s)$ 的极点为 $a(s)$ 和 $f(s)$ 的极点。但是, $f(s)$ 的极点也是 $A(s)$ 的零点,它们相互抵消了,从而如预期一样, $A(s)$ 极点由 $a(s)$ 的极点组成。在此情形下, $A(s)$ 的零点为 $a(s)$ 的零点。

(b) 令 $T_0 \rightarrow \infty$, 则式(9.99)变为

$$N_a(s)N_f(s)=0 \quad (9.100)$$

此式显示 $A(s)$ 的极点为 $a(s)$ 和 $f(s)$ 的零点。但是, $a(s)$ 的零点也是 $A(s)$ 的零点, 它们相互抵消了, 从而 $A(s)$ 极点由 $f(s)$ 的零点组成。在此情形下, $A(s)$ 的零点为 $f(s)$ 的极点。

准则 1 根轨迹分支始于 $T_0 = 0$ 处的 $T(s) = a(s)f(s)$ 的极点, 终于 $T_0 = \infty$ 处的 $T(s)$ 的零点。如果 $T(s)$ 的极点比零点多, 根轨迹的一些分支将终于无穷处。

图 9.3 和图 9.35 显示了轨迹终于无穷处的例子。回到式(9.99), 除以 $D_f(s)D_a(s)$, 会得到更多的根轨迹准则。 $A(s)$ 的极点为下式的根, 即

$$1 + T_0 \frac{N_a(s)N_f(s)}{D_a(s)D_f(s)} = 0$$

即

$$T_0 \frac{N_a(s)N_f(s)}{D_a(s)D_f(s)} = -1$$

包含零点和极点的完整表达式为

$$T_0 \frac{\left(1 - \frac{s}{z_{a1}}\right)\left(1 - \frac{s}{z_{a2}}\right)\cdots\left(1 - \frac{s}{z_{a1}}\right)\left(1 - \frac{s}{z_{a2}}\right)\cdots}{\left(1 - \frac{s}{p_{a1}}\right)\left(1 - \frac{s}{p_{a2}}\right)\cdots\left(1 - \frac{s}{p_{f1}}\right)\left(1 - \frac{s}{p_{f2}}\right)\cdots} = -1 \quad (9.101)$$

其中

z_{a1}, z_{a2}, \dots 为 $a(s)$ 的零点

z_{f1}, z_{f2}, \dots 为 $f(s)$ 的零点

p_{a1}, p_{a2}, \dots 为 $a(s)$ 的极点

p_{f1}, p_{f2}, \dots 为 $f(s)$ 的极点

式(9.101)可写作

$$T_0 \frac{(-p_{a1})(-p_{a2})\cdots(-p_{f1})(-p_{f2})\cdots}{(-z_{a1})(-z_{a2})\cdots(-z_{f1})(-z_{f2})\cdots} \times \frac{(s-z_{a1})(s-z_{a2})\cdots(s-z_{f1})(s-z_{f2})\cdots}{(s-p_{a1})(s-p_{a2})\cdots(s-p_{f1})(s-p_{f2})\cdots} = -1 \quad (9.102)$$

如果 $f(s)$ 和 $a(s)$ 的零、极点被限定在左半平面(这并没有对 $A(s)$ 加以限制), 则 $-p_{a1}, -p_{a2}$ 等就是正数, 那式(9.102)可写作

$$T_0 \frac{|p_{a1}| \cdot |p_{a2}| \cdots |p_{f1}| \cdot |p_{f2}| \cdots}{|z_{a1}| \cdot |z_{a2}| \cdots |z_{f1}| \cdot |z_{f2}| \cdots} \times \frac{(s-z_{a1})(s-z_{a2})\cdots(s-z_{f1})(s-z_{f2})\cdots}{(s-p_{a1})(s-p_{a2})\cdots(s-p_{f1})(s-p_{f2})\cdots} = -1 \quad (9.103)$$

满足式(9.103)的 s 值就是闭环函数 $A(s)$ 的极点。式(9.103)需要两个条件同时得到满足。这两个条件用于决定根轨迹上点的位置。

满足式(9.103)的 s 值的相位条件是

$$\begin{aligned} & \angle s - z_{a1} + \angle s - z_{a2} + \cdots + \angle s - z_{f1} + \angle s - z_{f2} + \cdots - \\ & \left(\angle s - p_{a1} + \angle s - p_{a2} + \cdots + \angle s - p_{f1} + \angle s - p_{f2} + \cdots \right) = (2n-1)\pi \end{aligned} \quad (9.104)$$

满足式(9.103)的 s 值的幅值条件是

$$T_0 \frac{|p_{a1}| \cdot |p_{a2}| \cdots |p_{a11}| \cdot |p_{a12}| \cdots |s - z_{a1}| \cdot |s - z_{a2}| \cdots |s - z_{a11}| \cdot |s - z_{a12}| \cdots}{|z_{a1}| \cdot |z_{a2}| \cdots |z_{a11}| \cdot |z_{a12}| \cdots |s - p_{a1}| \cdot |s - p_{a2}| \cdots |s - p_{a11}| \cdot |s - p_{a12}| \cdots} = 1 \quad (9.105)$$

考虑如图 9.37 所示的带有 $T(s)$ 零、极点的放大器。为判定一点 X 是否在根轨迹上,使用式 (9.104) 所示的相位条件。注意,式 (9.104) 中的向量为由各个零极点指向点 X ,然后将各个向量角代到式 (9.104) 中以检验是否满足相位条件。这对在轴上的点 Y 和 Z 很易判断。

在 Y 点,

$$\angle s_Y - z_1 = 0^\circ$$

$$\angle s_Y - p_1 = 0^\circ$$

对于 Y 点所有的角均为零,故不满足相位条件。这对所有位于 p_1 右面的点都成立。

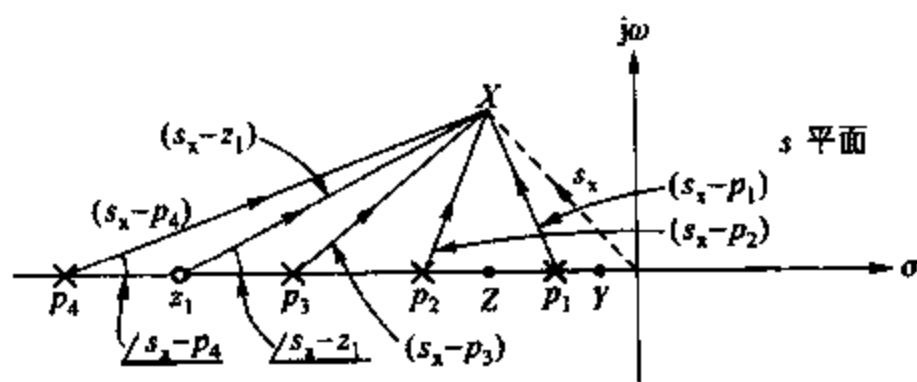


图 9.37 反馈放大器环路增益 $T(s)$ 的零、极点。为判定此点是否在根轨迹上,画出了点 X 的向量

在 Z 点

$$\angle s_Z - z_1 = 0^\circ$$

$$\angle s_Z - p_1 = 180^\circ$$

$$\angle s_Z - p_2 = 0^\circ$$

$$\angle s_Z - p_3 = 0^\circ$$

$$\angle s_Z - p_4 = 0^\circ$$

此种情形下,相位条件得到满足。介于 p_1 和 p_2 间坐标轴上点都在根轨迹上。近似应用相位条件,得到根轨迹在实轴上介于 p_3 和 z_1 之间及 p_4 的左侧。

通常,如果 $T(s)$ 所有的零、极点都在左半平面,并在某段实轴的右侧有奇数个零极点时,根轨迹沿此段实轴存在。但是在一些情形下,并非所有的零点都在左半平面。例如,使用密勒补偿的运算放大器 $a(s)$ 可以在右半平面存在零点,从而 $T(s)$ 在右半平面存在零点。如果 $a(s)$ 在右半平面至少存在一个零点,则式 (9.102) 中的 $-z_a$ 项至少有一个为负值,而非式 (9.103) 中假定的正值。如果 $a(s)$ 在右半平面零点个数为偶数,则偶数项为负值 $-z_a$ 项存在于式 (9.102) 的分母中。这些负项的乘积为正值,因而式 (9.103) 和式 (9.104) 仍然正确。但是,假如 $a(s)$ 在右半平面零点个数为奇数,这些 $-z_a$ 项的乘积为负值。结果负号出现在式 (9.103) 的左面,这将引起 π 加到式 (9.104) 的左边。此变化反映在下面的准则中。

准则 2 如果 $T(s)$ 的零点都在左半平面或右半平面零点个数为偶数, 当某段实轴 $T(s)$ 的右侧有奇数个零极点时, 根轨迹沿此段实轴存在。但是, 当 $T(s)$ 右半平面零点个数为奇数, 当某段实轴 $T(s)$ 的右侧有偶数个零极点时, 根轨迹沿此段实轴存在。

再次考虑图 9.37 所示的情况。准则 1 表明, 分支起于 p_1, p_2, p_3 和 p_4 。准则 2 表明, 分支存在于 p_3 和 z_1 间, 所以, 分支起于 p_3 , 终于 z_1 。准则 2 还表明, 根轨迹还存在于 p_4 左侧, 所以, 分支起于 p_4 , 终于负无穷。起于 p_1, p_2 的分支必定终于无穷, 这只有在这些分支从实轴分离才有可能如图 9.38 所示。这可以描述如下。

准则 3 所有位于 $T(s)$ 的一对零点或极点间的根轨迹必定会在某一分离点自实轴分开。

可以推出下面的结论。¹⁹

准则 4 因复数根都是共轭的, 所以根轨迹关于实轴对称。

准则 5 如图 9.38 所示, 根轨迹分支以向右的角度离开实轴。

准则 6 如果根轨迹分支离开实轴, 其上某点到 $T(s)$ 极点距离的倒数和等于到 $T(s)$ 零点距离的倒数和。

准则 7 如果 $T(s)$ 没有在右半平面的零点或右半平面零点个数为偶数, 根轨迹分支以角度 $[(2n-1)\pi]/(N_p - N_z)$ 为渐近线终于无穷远, $n=0, 1, 2, \dots, N_p - N_z - 1$, 其中 N_p 为极点数, N_z 为零点数。如果 $T(s)$ 右半平面零点个数为奇数, 渐近线以角度 $(2n\pi)/(N_p - N_z)$ 交实轴, $n=0, 1, 2, \dots, N_p - N_z - 1$ 。

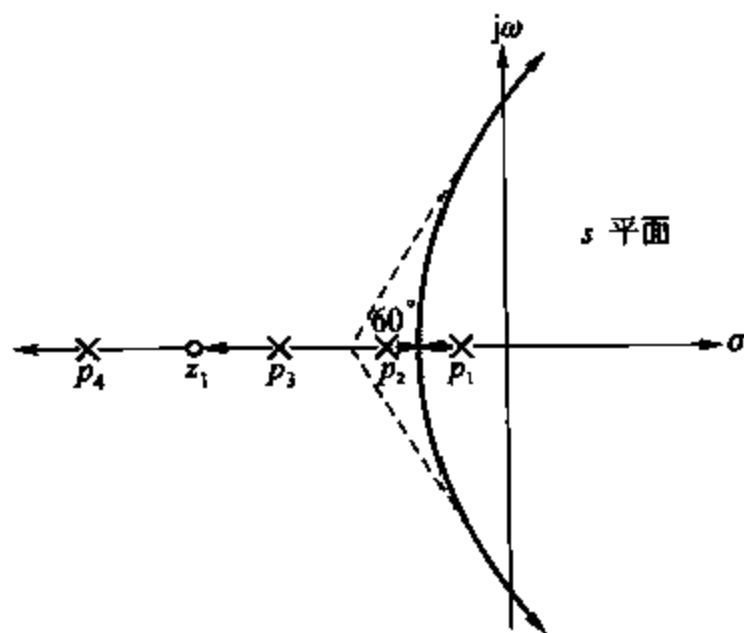


图 9.38 图 9.37 所示零、极点的根轨迹图

准则 8 终于无穷的分支的渐近线交实轴于点

$$\sigma_a = \frac{\sum[T(s)\text{的极点}] - \sum[T(s)\text{的零点}]}{N_p - N_z} \quad (9.106)$$

为了画根轨迹图还研究出很多的其他准则, 但对大多数的放大器设计而言上面介绍的足够了。应用这些准则在任何条件下都可以对根轨迹形状得出一个快速的概念, 还可以在简单的情况下计算出放大器的性能。复杂零、极点的电路, 更细致的计算需要计算机计算根轨迹。

注意以上准则均是在式(9.104)相位条件下得到的。一旦根轨迹画好以后, 它可以应用式(9.105)按所需要的点用低频环路增益进行校准。

下面用例子进一步说明:

9.5.1 节计算了一个具有三个相同极点的放大器的根轨迹。选择它的目的是分析的方便。现在考虑一个比较实际的例子, 放大器有三个不同的极点, 并有阻性反馈。需要随反馈

因子的变化(即 T_0 的变化)画出此放大器的根轨迹图。假定 f 的变化不会引起基本放大器传递函数大的变化。假定基本放大器的传递函数为

$$a(s) = \frac{100}{\left(1 - \frac{s}{p_1}\right)\left(1 - \frac{s}{p_2}\right)\left(1 - \frac{s}{p_3}\right)} \quad (9.107)$$

其中

$$p_1 = -1 \times 10^6 \text{ rad/s}$$

$$p_2 = -2 \times 10^6 \text{ rad/s}$$

$$p_3 = -4 \times 10^6 \text{ rad/s}$$

由于假定为阻性反馈,故环路增益 $T(s)$ 含三个极点。根轨迹图参见图 9.39,为方便,数值规格化为 10^6 rad/s 。

准则 1 和准则 2 表明,起于极点 p_1 和 p_2 的分支互相靠近,然后分离,渐近于无穷。起于 p_3 的分支一直沿负实轴终于无穷。使用准则 6 可计算根轨迹 p_1 和 p_2 间的分离点。如 σ_1 为分离点坐标,则

$$\frac{1}{\sigma_1 + 1} + \frac{1}{\sigma_1 + 2} + \frac{1}{\sigma_1 + 4} = 0 \quad (9.108)$$

解此二次方程得到 $\sigma_1 = -3.22$ 或 -1.45 。值 -1.45 是唯一解,因为分离点位于实轴 -1 和 -2 间。

渐近线对实轴的角度使用准则 7 可得到,为 $\pm 60^\circ$ 和 180° 。渐近线交实轴于 σ_a ,由式 (9.106) 得

$$\sigma_a = \frac{(-1 - 2 - 4) - 0}{3} = -2.33$$

当画出这些渐近线时由准则 5 注意根轨迹以向右倾斜的角度离开实轴,可得到如图 9.39 所示的根轨迹。现在可以用式(9.105)的幅值条件对根轨迹进行校正。根轨迹中值得注意的地方有,令极点变为复数的环路增益,令极点对实轴有 45° 角的环路增益和振荡时的环路增益(极点在右平面)。

先讨论令极点变为复数的环路增益。它是根轨迹在实轴上的点,此点为 $\sigma_1 = -1.45$ 。将 $s = -1.45$ 代到式(9.105)得

$$T_0 \frac{1 \times 2 \times 4}{0.45 \times 0.55 \times 2.55} = 1 \quad (9.109)$$

其中

$$|p_1| = 1, |p_2| = 2, |p_3| = 4$$

$$|s - p_1| = 0.45, |s - p_2| = 0.55, |s - p_3| = 2.55$$

并且,在此点 $s = -1.45$ 。从式(9.109)得到 $T_0 = 0.08$ 。由此可见,一个小的环路增益引起极点 p_1 和 p_2 靠近和分离。

通过假定根轨迹在哪个点与渐近线相符,可估算出使得极点在右半平面的环路增益。这样,假定根轨迹在点

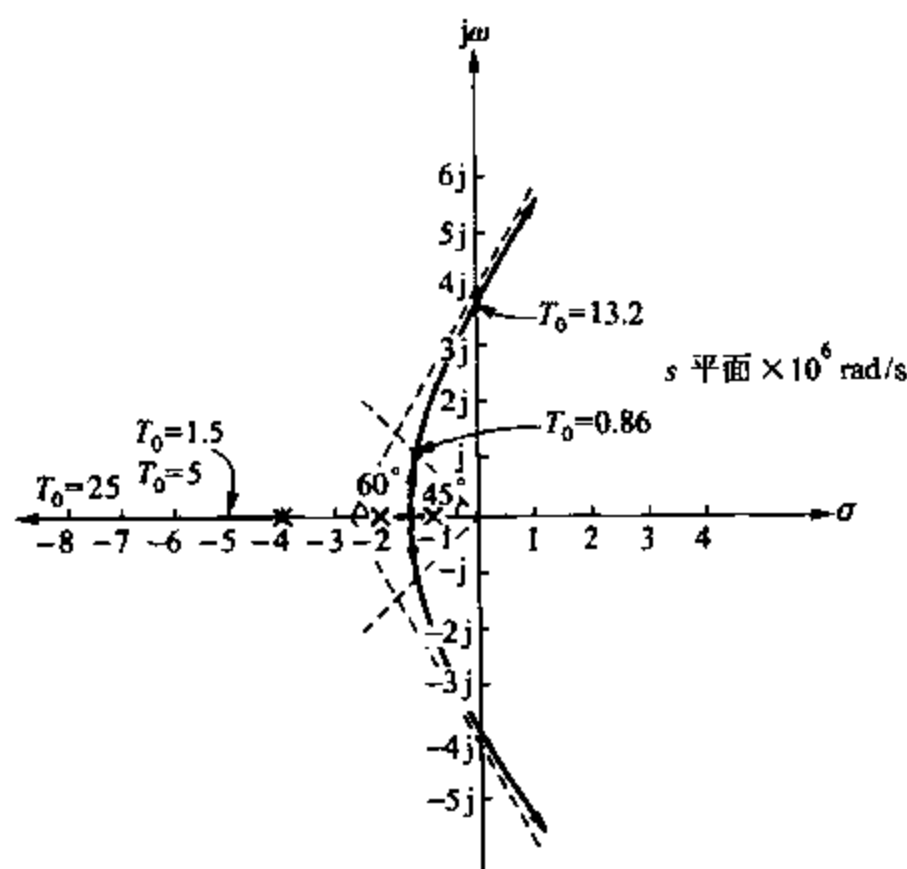


图 9.39 $T(s)$ 极点为 $-1 \times 10^6 \text{ rad/s}$, $-2 \times 10^6 \text{ rad/s}$, $-4 \times 10^6 \text{ rad/s}$ 的根轨迹图

$$j2.33 \tan 60^\circ = 4.0j$$

与虚轴相交,应用式(9.105)计算在此点处的环路增益得

$$T_0 \frac{1 \times 2 \times 4}{4.1 \times 4.5 \times 5.7} = 1 \quad (9.110)$$

其中

$$|s - p_1| = 4.1, |s - p_2| = 4.5, |s - p_3| = 5.7$$

并且在此点 $s = 4j$ 。从式(9.110)得到, $T_0 = 13.2$ 。由于此放大器 $a_0 = 100$ (由式(9.107)得到), 故 $T_0 = 13.2$ 时反馈放大器的总增益为

$$A_0 = a_0 / (1 + T_0) = 7.04$$

且

$$f = T_0 / a_0 = 0.132$$

计算当复极点对负实轴有 45° 角时的环路增益,可假定此点和分离点有相同的实部。这样,在 $s = -1.45 + 1.45j$ 下应用式(9.105)得

$$T_0 \frac{1 \times 2 \times 4}{1.52 \times 1.55 \times 2.93} = 1$$

从而有

$$T_0 = 0.86$$

最后,要关心的是令根轨迹从极点 p_3 移出所需的环路增益。当实轴极点位于 -5 时, $s = -5$, 由式(9.105)计算得到

$$T_0 \frac{1 \times 2 \times 4}{1 \times 3 \times 4} = 1$$

即

$$T_0 = 1.5$$

当此极点在 -6 , 环路增益为

$$T_0 \frac{1 \times 2 \times 4}{2 \times 4 \times 5} = 1$$

从而有

$$T_0 = 5$$

这些值都标在了图 9.39 所示的根轨迹图上。

在此例中, 判断得到 $T_0 = 13.2$ 为不稳定点, 使用奈奎斯特判据也会得到一个结果, 比较这两者是有用的。频域环路增益为

$$T(j\omega) = \frac{T_0}{\left(1 + \frac{j\omega}{10^6}\right) \left(1 + \frac{j\omega}{2 \times 10^6}\right) \left(1 + \frac{j\omega}{4 \times 10^6}\right)} = 1 \quad (9.111)$$

一系列的替代试验表明 $\omega = 3.8 \times 10^6 \text{ rad/s}$ 时 $\angle T(j\omega) = 180^\circ$ 。注意, 它接近于跟轨迹交虚轴的 $4 \times 10^6 \text{ rad/s}$ 。将 $\omega = 3.8 \times 10^6 \text{ rad/s}$ 代入式(9.111)中得到此频率点下的环路增益为

$$|T(j\omega)| = \frac{T_0}{11.6} \quad (9.112)$$

因此, 为了稳定, 奈奎斯特判据要求 $T_0 < 11.6$, 这和上面从根轨迹中得到的答案是接近的。如果更准确地判断出根轨迹和虚轴的交点是 $\omega = 3.8 \times 10^6 \text{ rad/s}$, 则两种方法都可以得到 $T_0 > 11.6$ 时不稳定。

需要指出的是, 图 9.39 所示的根轨迹图显示了极点随 T_0 的变化。9.5.2 节得出的结论表明, 反馈放大器的零点是基本放大器的零点, 是反馈网络的极点。在这种情况下, 反馈放大器没有零点, 但情况并非总是如此。必须牢记, 如果反馈放大器有零点, 它们将是全局传递函数的重要组成部分。

在假定 $a(s)$ 和 $f(s)$ 不随 T_0 的变化而变化的情况下, 推出了 T_0 变化时画根轨迹的准则。实际中, 为改变 $T_0 = a_0 f$ 而改变电路通常至少要改变一些零、极点, 所以这个假定在实际中并不存在。类似, 如果闭环增益可以写成下面的形式, 当电路一个元件的值 x 改变时, 这些准则也可用于画出传递函数极点的根轨迹。

$$A(s) = \frac{M(s)}{G(s) + xH(s)} \quad (9.113)$$

其中, $M(s)G(s)$ 和 $H(s)$ 是 s 的多项式, 且 $G(s)$ 和 $H(s)$ 不是 x 的函数。 $A(s)$ 的极点是当 $x=0$ 时, $G(s)=0$ 的根; 当 $x=\infty$ 时, 是 $H(s)=0$ 的根。 $G(s)=0$ 的根是根轨迹的起点, $H(s)=0$ 的根是根轨迹的终点。遵循本节讲的准则, 就可以画出 x 所有值下的根轨迹图。例如, 这个方法能画出式(9.27)中的传递函数极点随补偿电容变化的根轨迹图。(此种情况下, $x=C_0$)

9.5.3 主极点补偿根轨迹图

考虑一个通过在 p_1 产生主极点来进行补偿的运算放大器。如假定第二大主极点在 p_2 处,并忽略更高阶的极点,反馈为阻性时的根轨迹如图 9.40 所示。使用准则 1 和准则 2 得到根轨迹存在于 p_1 和 p_2 间,使用准则 6 易得分离点

$$\sigma_1 = \frac{p_1 + p_2}{2} \quad (9.114)$$

使用准则 7 和准则 8 得到渐近线和实轴成 90° 角,和实轴交于 σ_1 。

随 T_0 的增长,根轨迹分支汇合然后分离为复数。随 T_0 变为大值,极点虚部变大,在全局增益函数 $A(j\omega)$ 中电路会达到高频峰值。这和以前的当相位裕度消失时会达到增益幅值的观点是一致的。

假定要求达到放大器的最大带宽,但要求峰值很小或没有。这意味着,在最大环路增益下,极点不能超出根轨迹上标为 X 和 Y 间的点,负实轴和由 X 或 Y 向原点的引线夹角为 45° 。在 X 点,环路增益用下式计算,为

$$T_0 \frac{|p_1| \cdot |p_2|}{|s - p_1| \cdot |s - p_2|} = 1 \quad (9.115)$$

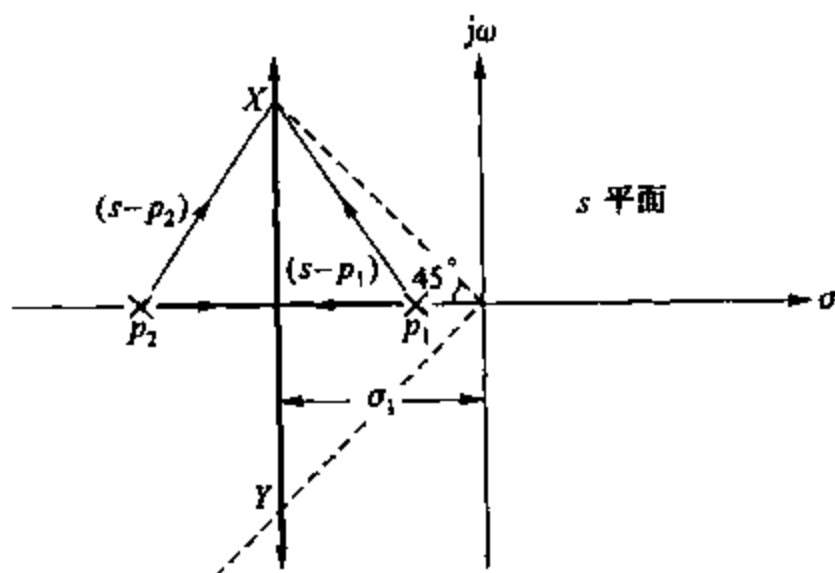


图 9.40 传递函数有两个极点的运算放大器根轨迹图(反馈为阻性的)

如果 p_1 是主极点,可假定 $|p_1| \ll |p_2|$ 和 $\sigma_1 \approx p_2/2$ 。对位于与坐标轴成 45° 的极点, $|s - p_1| = |s - p_2| \approx \sqrt{2}|p_2|/2$ 。因此,式(9.115)变为

$$T_0 = \frac{1}{|p_1| \cdot |p_2|} \left(\sqrt{2} \frac{|p_2|}{2} \right)^2$$

这样得到令极点为图 9.40 中 X 和 Y 的 T_0 值

$$T_0 = \frac{1}{2} \frac{|p_2|}{|p_1|} \quad (9.116)$$

放大器的带宽变窄效应现象十分明显。当 $|p_1|$ 变小时,需要更大的 T_0 值以使得极点移至 45°

处。从式(9.116)可知,在给定 T_0 下为得到合适的性能,主极点幅值 $|p_1|$ 和 $|p_2|$ 可计算出来。

9.5.4 零反馈补偿根轨迹图

本章以前所描述的补偿技术,均为只需调整基本放大器。在用户可能采用各种各样的反馈网络的情况下,运算放大器必须要得到补偿,这种情况下这个补偿技术是一个通用的方法。但是,在计算中可以明显看到这个方法非常浪费带宽。

本节将介绍一个不同的技术,它调整的是反馈路径,但局限于固定增益的放大器。这个方法可以应用于在带宽具有第一重要性的宽带放大器补偿中。图 8.31 所示的并联-串联反馈放大器就是这样的一个例子,它被称为电流反馈对。这种方法通常应用在两级以上的反馈放大器中。例如,图 8.18a 所示的三级串联电路。

图 9.41 显示了一个包括反馈电容 C_F 的并联-串联反馈放大器。包含反馈(因这个电路而存在)的基本放大器如图 9.42 所示。在输出端和输入端的 C_F 对电路传递函数仅有负影响。在此种情况下,反馈电路如图 9.43 所示,反馈函数由下式给出:

$$f = \frac{i_1}{i_2} = -\frac{R_E}{R_F + R_E} \frac{1 + R_F C_F s}{1 + \frac{R_E R_F}{R_F + R_E} C_F s} \quad (9.117)$$

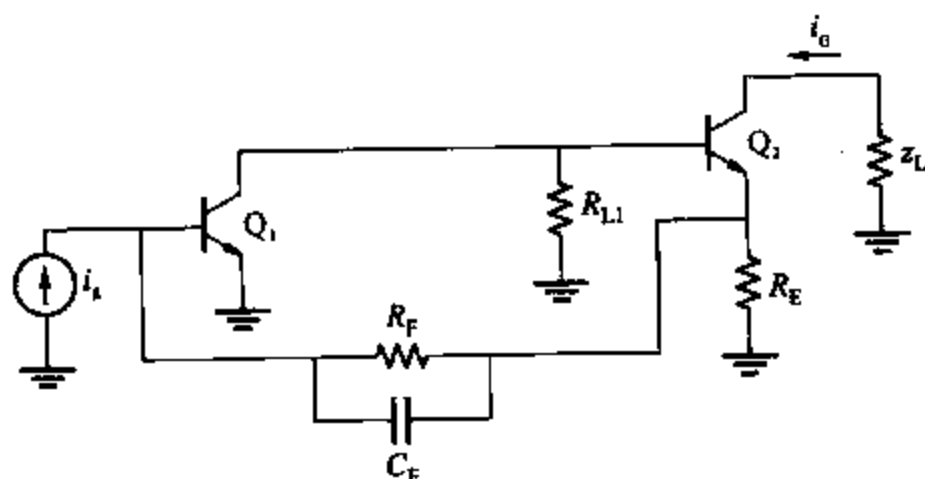


图 9.41 包含反馈电容 C_F 的并联-串联反馈放大器

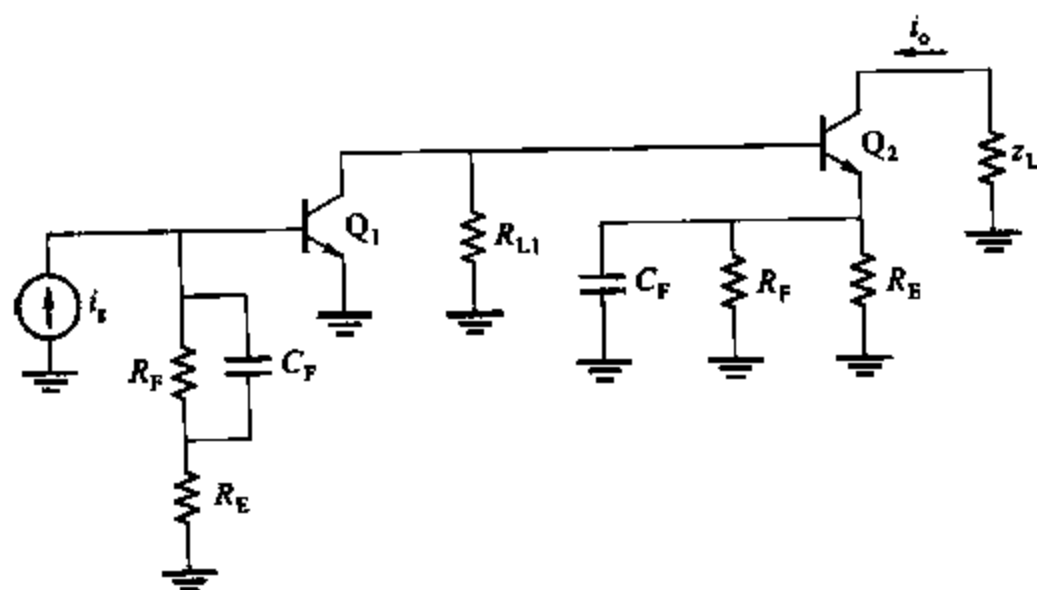


图 9.42 包含反馈(因图 9.41 电路而存在)的基本放大器

这样反馈函数 f 包含一个幅值为

$$\omega_z = \frac{1}{R_F C_F} \quad (9.118)$$

的零点和一个幅值为

$$\omega_p = \frac{R_E + R_F}{R_E} \frac{1}{R_F C_F} \quad (9.119)$$

的极点。 $(R_E + R_F)/R_E$ 近似为带有反馈的总电路增益值,且因为通常 $(R_E + R_F)/R_E \gg 1$,所以式

(9.119) 给出的极点幅值通常比零点值要大很多。假定上面的式子成立,忽略极点的影响;但当 $(R_E + R_F)/R_E$ 接近 1 时,则极点是至关重要的而必须包含。

由于图 9.42 中 Q_1 和 Q_2 的基本放大器存在两个显著极点。虽然存在更大幅值的极点,但它们没有大的影响,因而可以忽略。这个假定的影响在以后将会研究。这样,图 9.42 中的电路环路增益就包括两个正向极点和一个反馈零点,由图 9.44 所示的根轨迹给出。为阐述这个问题,假定两个极点为 $p_1 = -10 \times 10^6 \text{ rad/s}$, $p_2 = -20 \times 10^6 \text{ rad/s}$, 零点为 $z = -50 \times 10^6 \text{ rad/s}$ 。为了方便,数值规格化为 10^6 rad/s 。

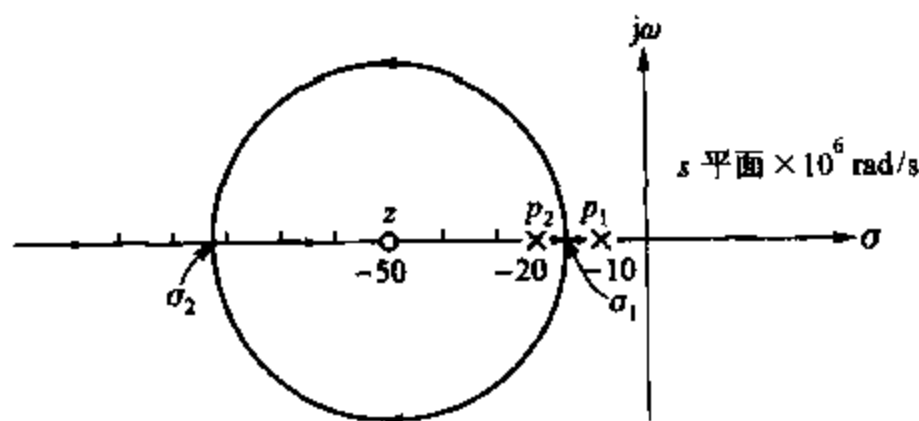


图 9.44 图 9.41 所示电路的根轨迹图,假设基本放大器给 $T(s)$ 制造了两个极点,反馈电路制造了一个零点

假定在不改变图 9.42 所示基本放大器的前提下,可以改变图 9.41 所示,电路的环路增益。则随着环路增益的变化就可以画出根轨迹图了。使用准则 1 和准则 2 表明,根轨迹存在于 p_1 和 p_2 间和 z 的左侧。这样,根轨迹必然会在 p_1 和 p_2 间的 σ_1 处分离,在 σ_2 处再次会合。一个分支向右沿轴延伸至零点,而另一个分支向左无穷延伸。使用准则 6 得

$$\frac{1}{\sigma_1 + 10} + \frac{1}{\sigma_1 + 20} = \frac{1}{\sigma_1 + 50} \quad (9.120)$$

解式(9.120)得

$$\sigma_1 = -84.6 \text{ 或 } -15.4$$

显然, $\sigma_1 = -15.4$, $\sigma_2 = -84.6$ 。注意到这些点到零点的距离相等,且可以证明在此例中离开实轴的轨迹部分为圆心在零点的圆。从图 9.39 和图 9.44 中可以看出,根轨迹图的外形对于描绘轨迹有很大的帮助。轨迹像被吸引一样,指向零点;像被排斥一样,背离极点。

从图 9.44 所示可以看出,在补偿放大器中反馈零点的影响是明显的。如果假定放大器

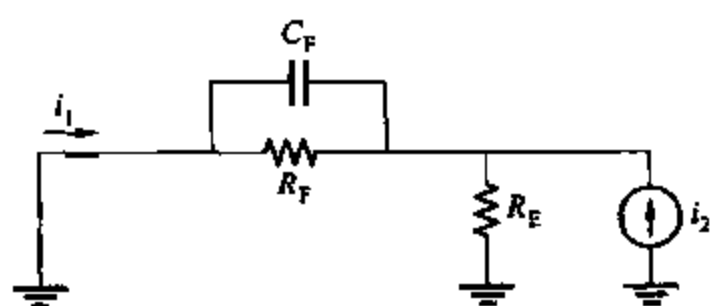


图 9.43 计算图 9.41 所示放大器的反馈函数 f 的电路

极点为 p_1 和 p_2 , 且没有反馈零点, 则当加上反馈时, 放大器的极点会平行于 $j\omega$ 轴分离开。对于环路增益 T_0 实际值, 这将导致接近 $j\omega$ 轴仍“高 Q ”极点, 并将产生过大的峰值响应。事实上, 此时振荡会发生, 因为有幅值较高的极点存在, 就会得到如图 9.39 所示的轨迹图, 其中的轨迹因远极点而发生了弯曲进入到了右半平面。(注意, 这个过程, 和另一种途径考虑得到相位裕度消失会引起峰值响应并最终导致不稳定是一致的)。

然而, 包含反馈零点使得轨迹偏离 $j\omega$ 轴, 这允许设计者把极点定位在任何预期位置。需要强调的一点是图 9.44 的根轨迹给出了反馈放大器的极点。图中的零点是环路增益 $T(s)$ 的零点, 并必定包含在根轨迹中。然而, 由反馈网络贡献的零点不是全局反馈放大器的零点。如 9.5.2 节所指出, 全局反馈放大器的零点由基本放大器 $a(s)$ 的零点和反馈网络 $f(s)$ 的极点构成。在这种情况下, 如图 9.45 所示, 全局反馈放大器的传递函数有两个极点且没有零点, 且通过近似选择 z , 假定极点在轴的 45° 方向上。由于反馈零点影响根轨迹, 但又不作为全局放大器的零点出现, 因此它被称作虚像零点。

另一方面, 如果零点 z 由基本放大器产生, 情况就会不同。对相同的零点, 根轨迹会一样, 但是全局反馈放大器的传递函数就会如图 9.46 所示一样包含零点了。这个零点会对放大器性能有一个显著的影响。这点说明了正向和反馈路径零点的区别。但对此情况, 引入有用的前向路径零点不是一个合乎实际的方法。

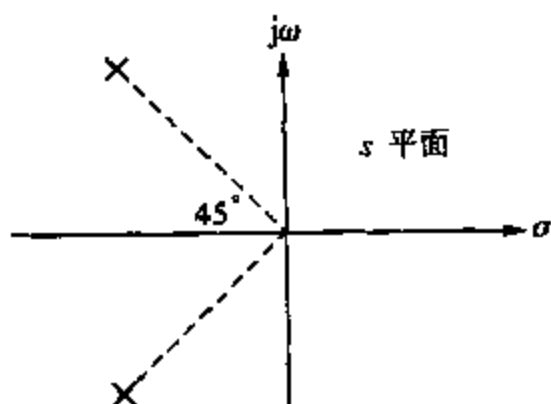


图 9.45 图 9.41 中的反馈放大器的传递函数极点图。传递函数没有零点

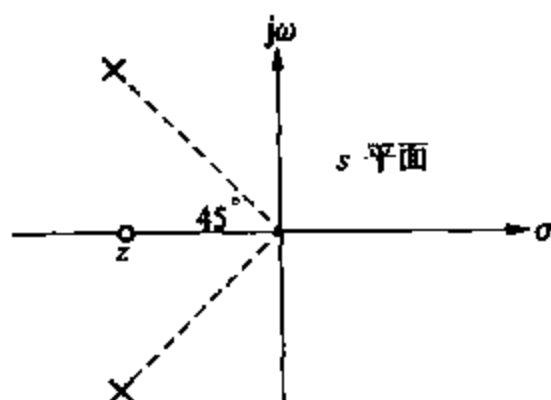


图 9.46 图 9.41 中的反馈放大器的传递函数零、极点图。假定基本放大器贡献零点

回顾一下图 9.44 中根轨迹更高幅值极点 p_3 (参见图 9.47) 的影响。一个远极点会令根轨迹偏离原先所示的轨迹, 并产生比预期更大的虚构的极点。实轴上第三个极点, 在最后的放大器上起着很大的作用。由上面的计算知道, 通过调整 z 值通常可以获得可以接受的性能。

最后, 本章推出的结论解释了, 在 MC1553D 三级串联-串联电路 (如图 8.21a 所示) 中电容 C_p 和 C_f 的功能。第八章描述了 MC1553D 三级串联-串联电路。 C_p 有助于补偿, 使得极点在 Q_2 级分离, 并在基本放大

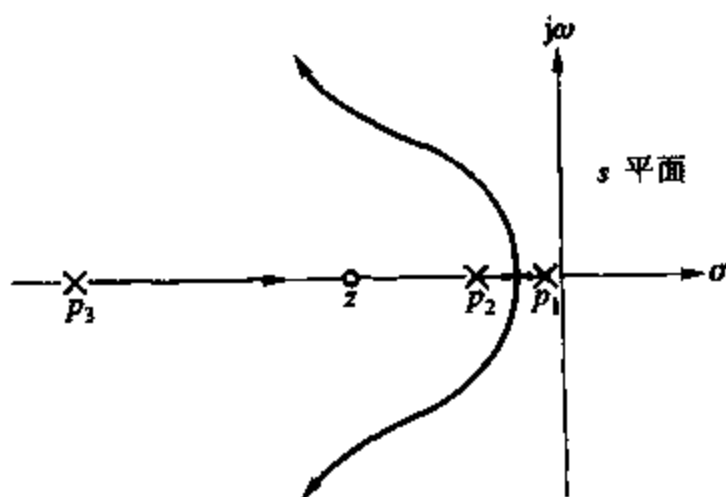


图 9.47 图 9.41 的根轨迹图 (包括了基本放大器增加的极点, 不按实际比例)

器上产生主极点。然而,如前所述,较大值的 C_F 引起放大器的带宽损失,所以通过 C_F 引入了一个反馈零点。 C_F 通过令根轨迹偏离 $j\omega$ 轴,有助于进一步补偿。最后的设计是为得到最优解决方案而将补偿的两个方法结合起来。

9.6 摆率⁸

前面的章节介绍的是反馈放大器的高频小信号性能。但是,反馈放大器高频大信号(阶跃输入或者正弦信号)性能同样受到关注。下面介绍反馈放大器高频大信号的频率补偿作用。

9.6.1 摆率受限的原因

反馈放大器高频大信号性能的一个普通测试,就是如图 9.48 所示给反馈放大器加一个从 $0 \sim +5\text{ V}$ 的阶跃输入。此图显示了一个具有单位增益反馈的运算放大器,它将作为以后逐步讲解的实例。先假定加此输入时电路工作在线性区,再进一步假定电路传递函数只有单极点,传输函数如下:

$$\frac{V_o(s)}{V_i(s)} = \frac{A}{1 + s\tau} \quad (9.121)$$

其中

$$\tau = \frac{1}{2\pi f_o} \quad (9.122)$$

且 f_o 为 -3 dB 频率。因为电路如同一个电压跟随器,所以低频增益接近于 1。如果假定成立,则电路对阶跃输入 $[V_i(s) = 5/s]$ 的响应为

$$V_o(s) = \frac{1}{1 + s\tau} \frac{5}{s} \quad (9.123)$$

应用式(9.121),式(9.123)可分解为

$$V_o(s) = \frac{5}{s} - \frac{5}{s + \frac{1}{\tau}} \quad (9.124)$$

由式(9.124)得

$$V_o(t) = 5(1 - e^{-t/\tau}) \quad (9.125)$$

式(9.125)的预期响应见图 9.49a,这里使用的是 $f_o \approx 1.3\text{ MHz}$ 的 741 运算放大器。它显示出 $V_o(t)$ 到 5 V 的指数上升,当输出达到最终值的 90% 时大约耗时 $0.3\text{ }\mu\text{s}$ 。

741 运算放大器的一个典型响应参见图 9.49,它展示一个完全不同的响应。输出电压为一个斜率大约为恒值的斜坡,当输出达到最终值的 90% 时大约耗时 $5\text{ }\mu\text{s}$ 。显然,在此种情形下,小信号线性分析不适合分析电路性能。图 9.49 所示的响应为一个输入为大阶跃输入运算放大器的典型响应。斜率为恒值区域的输出电压变化率称作摆率,通常单位是 $\text{V}/\mu\text{s}$ 。

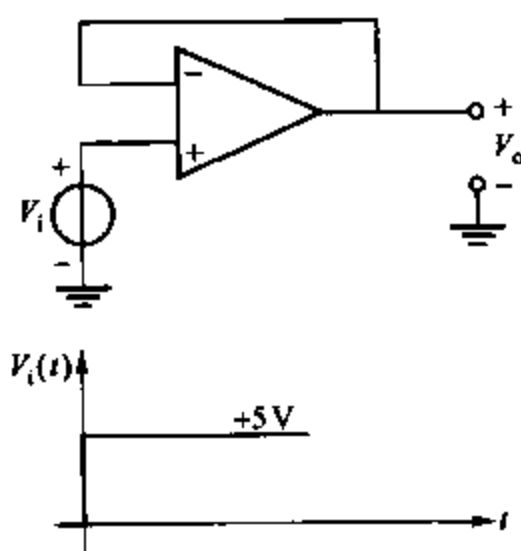


图 9.48 检验摆率性能的电路

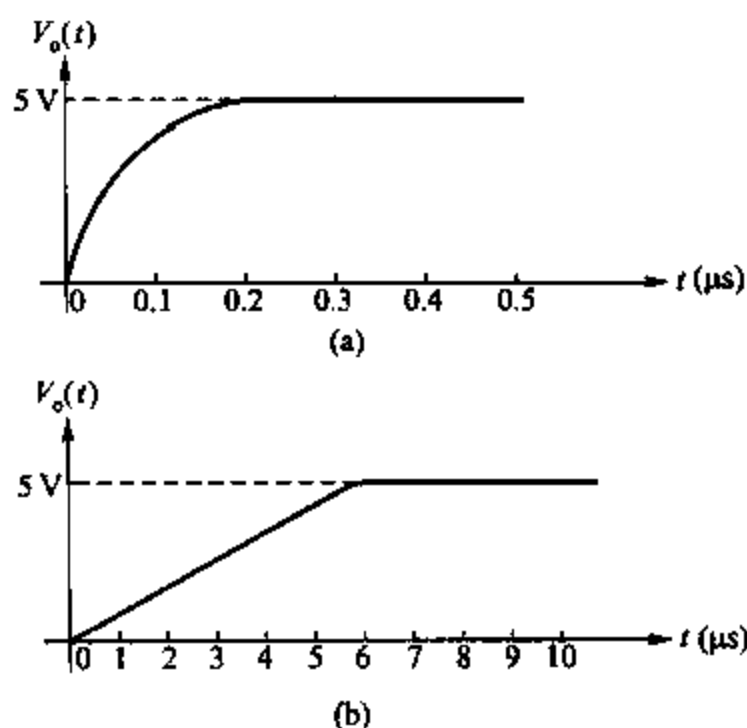


图 9.49 输入电压为 +5 V 的阶跃输入时电路图 9.48 响应
(a) 741 运算放大器在式(9.125)下的预期响应;(b) 741 运算放大器实测响应

前面所讲的预期值和观测性能间差别的产生原因可以通过检验电路图 9.48 并考虑图 9.49 中的响应而得出。 $t=0$ 时刻,输入电压跃升至 5 V,但是输出电压不会立即响应,而是初始为 0。这样,运算放大器的差分输入为 $V_{id}=5$ V,它使得输入级超出线性工作区。这可由一个二级运算放大器看出;图 9.50 为一个双极型 CMOS 运算放大器的简化图。密勒补偿电容 C 连接在高增益的第二级上,使这一级如同积分器。输入级驱动补偿电容的电流为 I_x 。从运算放大器差分输入 V_{id} 到 I_x 的大信号转移特性和图 9.51 所示的差分对的大信号转移特性相同。从图 9.51 可看到, C 的最大充电电流为 $2I_1$,它是输入级的尾电流。对双极型差分对,如果 $|V_{id}| > 3V_T$, 则 $|I_x| \approx 2I_1$ 。对 MOS 差分对,如果 $|V_{id}| > \sqrt{2}V_{ov1}$, 则 $|I_x| \approx 2I_1$ (参见第三章)。这样,如前所述 $V_{id}=5$ V 时,则输入级限定,并且 $I_x \approx 2I_1$ (如是 MOS 电路则 $\sqrt{2}V_{ov1} < 5$ V)。这样,电路工作在非线性区,线性分析已不能判断电路性能。假如输入级工作在线性区,则 5 V 的输入会产生很大的 I_x 去给补偿电容 C 充电。实际上电流 I_x 限定在一个很小的值 $I_x \approx 2I_1$ 上。这就是实际摆率比线性分析判断的要小很多的原因。

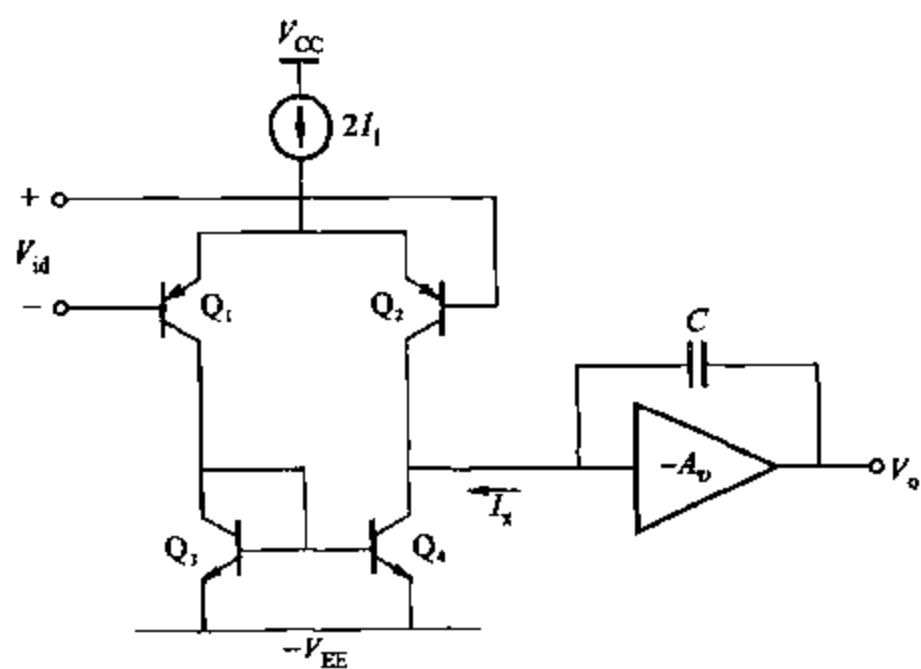
考虑图 9.50 所示的电路输入电压足够大从而使得 $I_x \approx 2I_1$ 。此时,积分器的第二级输入电流为 $2I_1$,输出电压 V_o 可写为

$$V_o = \frac{1}{C} \int 2I_1 dt \quad (9.126)$$

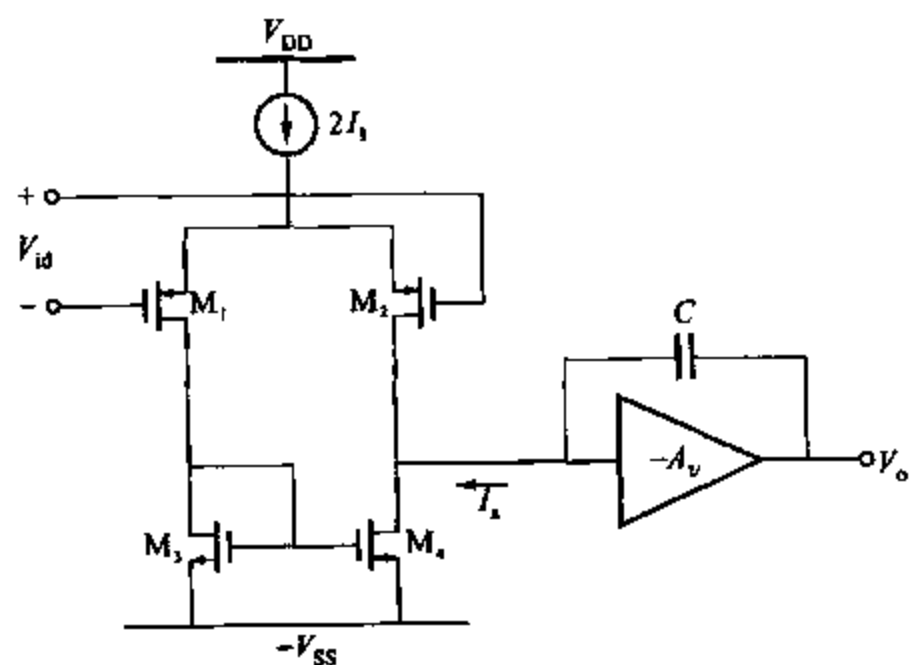
则

$$\frac{dV_o}{dt} = \frac{2I_1}{C} \quad (9.127)$$

由式(9.127)可推出,在摆动期间, V_o 以一个常变化率改变,这符合实验观察。对 741 运算放大器 $I_1 = 12 \mu A$, $C = 30$ pF, $dV_o/dt = 0.8$ V/ μs , 它们和测量值很相近。上面关于摆



(a)



(b)

图 9.50 二级运算放大器摆率计算简化图

(a) 对双极型差分对; (b) 对 MOS 差分对

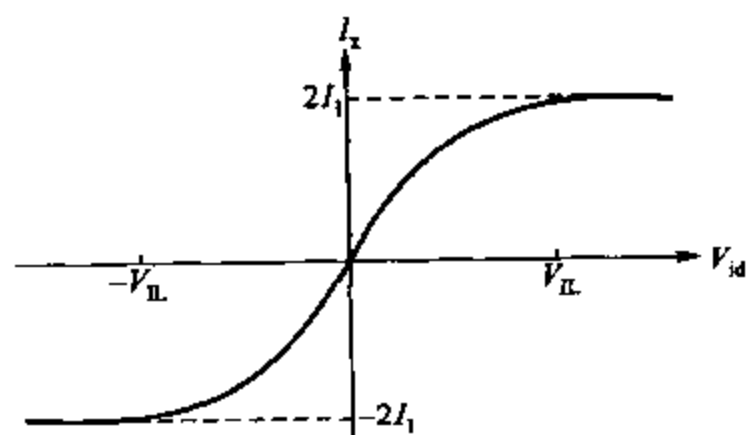


图 9.51 图 9.50 输入级近似大信号转移特性

(对双极型差分对 $V_{IL} \approx 3V_T$, MOS 差分对 $V_{IL} \approx \sqrt{2}V_{ov1}$)

率的计算是针对图 9.50 所示没有全局反馈的电路而言。因为在摆动期间输入级产生一个输出与输入无关的恒定电流,所以连接输入级反馈不会影响此段时间内电路的工作。这样,放大器的摆率和反馈存在与否无关。

9.6.2 提高二级运算放大器摆率的方法

为了分析提高摆率的方法,需要一个更一般性的分析。这可以通过图 9.52 所示的一般运算放大器电路得到。输入级有一个小信号跨导 g_{m1} ,并且在大信号输入时,它能向下一级传递最大为 I_{xm} 的电流。补偿采用电容为 C 的密勒补偿形式表达,因为这个电路描述了大部分二级集成运算放大器。

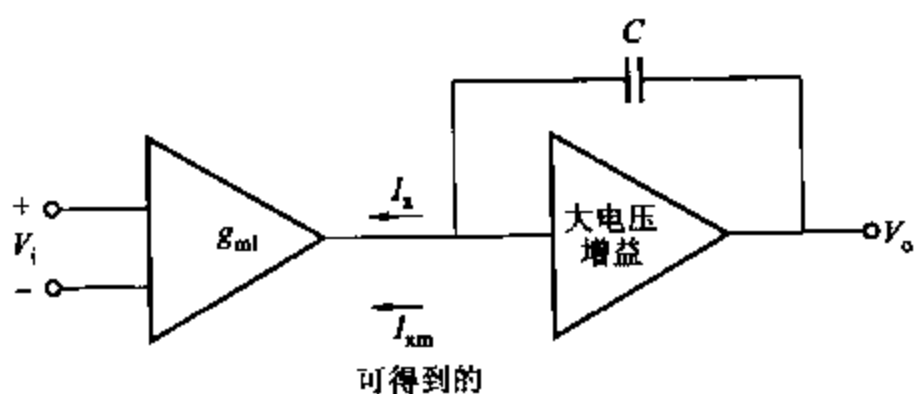


图 9.52 针对摆率计算的运算放大器的一般描述

应用式(9.127)从图 9.52 中,可以计算出大信号摆率为

$$\frac{dV_o}{dt} = \frac{I_{xm}}{C} \quad (9.128)$$

现在考虑小信号工作,对输出级,小信号跨导为

$$\frac{\Delta I_x}{\Delta V_i} = g_{m1} \quad (9.129)$$

对第二级(作为一个积分器工作),高频传递函数为

$$\frac{\Delta V_o}{\Delta I_x} = \frac{1}{sC}$$

在频域为

$$\frac{\Delta V_o}{\Delta I_x}(j\omega) = \frac{1}{j\omega C} \quad (9.130)$$

结合式(9.129)和式(9.130)得到

$$\frac{\Delta V_o}{\Delta V_i}(j\omega) = \frac{g_{m1}}{j\omega C} \quad (9.131)$$

以前考虑的补偿,要求在频率等于第二大主极点 ω_2 以前,小信号开环增益 $(\Delta V_o/\Delta V_i)(j\omega)$ 必须降到单位增益。为简化计算假定电路补偿后得到单位增益下相位裕度为 45° ,如图 9.15 所示。式(9.131)给出的增益 $(\Delta V_o/\Delta V_i)(j\omega)$ 必须在 ω_2 降到单位增益(选择补偿电容 C 确保此种情形发生)。这样,由式(9.131)得

$$1 = g_{m1} / \omega_2 C$$

从而有

$$\frac{1}{C} = \frac{\omega_2}{g_{m1}} \quad (9.132)$$

注意式(9.132)是基于小信号讨论而得。将此结果代入大信号表达式(9.128)中得到

$$\text{摆率} = \frac{dV_o}{dt} = \frac{I_{xm}}{g_{m1}} \omega_2 \quad (9.133)$$

式(9.133)考虑到了关于摆率的电路参数的影响。很显然,对给定 ω_2 , 随摆率的升高, 比率 I_{xm}/g_{m1} 必定会升高。

9.6.3 双极型运算放大器摆率的改进

以前的分析能够应用于使用密勒补偿的双极型运算放大器。对于图 9.50 所示的运算放大器, 有 $I_{xm} = 2I_1$, $g_{m1} = qI_1/kT$, 代入式(9.133)得到

$$\text{摆率} = 2 \frac{kT}{q} \omega_2 \quad (9.134)$$

由于 I_{xm} 和 g_{m1} 与偏置电流 I_1 成比例关系, 所以在式(9.134)中 I_1 的影响抵消了, 对于给定的 ω_2 , 摆率与 I_1 无关。但是升高 ω_2 , 摆率也会升高, 这在大部分的高摆率电路中都存在。在 IC 处理中, 晶体管的高频特性设置了限制。进一步改善依赖于下面要讲到的电路调整。

以上计算表明, 改变二级双极型运算放大器输入偏置电流不会影响电路的摆率。但是, 式(9.133)表明, 对于给定的 I_{xm} , 减小输入级跨导, 摆率会升高。一种方法是, 如图 9.53 所示, 通过加射极反馈阻抗来减小 g_{m1} 。输入级小信号跨导为

$$g_{m1} = \frac{\Delta I_x}{\Delta V_{id}} = g_{m1} \frac{1}{1 + g_{m1} R_E} \quad (9.135)$$

其中

$$g_{m1} = \frac{qI_1}{kT} \quad (9.136)$$

I_{xm} 的值仍为 $2I_1$ 。将式(9.135)代到式(9.136)得到

$$\text{摆率} = \frac{2kT}{q} \omega_2 (1 + g_{m1} R_E) \quad (9.137)$$

这样, 摆率比由式(9.134)给出的值提高了 $[1 + (g_{m1} R_E)]$ 倍。对一个给定偏置电流 I_1 , 产生此现象的原因是, 减小 g_{m1} 就减小了所需的补偿电容 C , 如式(9.132)所示。

此技术的实际限制是图 9.53 所示射极阻抗上会有一些直流电压, 它们的不匹配会造成输出存在一个直流偏移。使用大区域阻抗能够使得阻抗值匹配误差达到

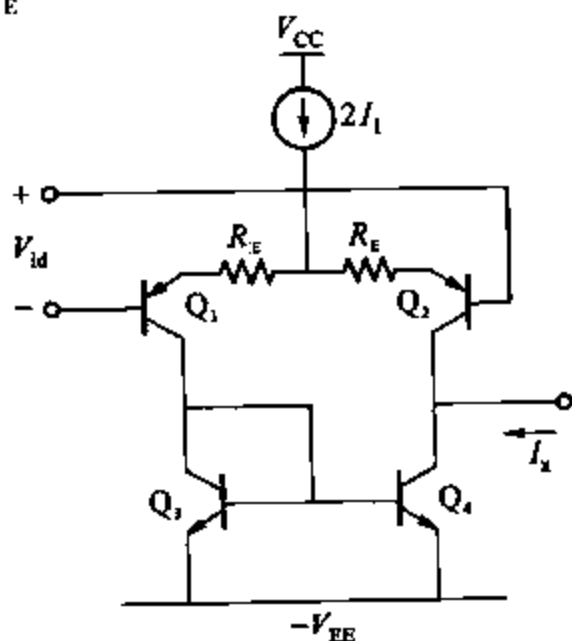


图 9.53 在输出级加射极反馈阻抗以提高摆率

0.2% 以下(五百分之一)。如果阻抗引起的电压偏移最大允许值为 1 mV, 就有最大允许压降为

$$I_1 R_E|_{\max} = 500 \text{ mV} \quad (9.138)$$

也就有

$$g_{m1} R_E|_{\max} = \frac{q}{kT} I_1 R_E|_{\max} = 500/26 = 20 \quad (9.139)$$

将式(9.139)代到式(9.137)中得到, 在以上给定数据条件下, 使用射极反馈电阻, 能最大提高摆率 21 倍。

最后, 在改善摆率的方法中, 将讲述 Hearn 所描述的 AB 类输入级。²⁰ 这个技术, 小信号跨导未经处理, 但是驱动补偿电容的最大电流值 I_{xm} 被大大提高了。这是通过提供给输入级另一条路径, 使得它对大信号有效, 并且能够提供给补偿点大的驱动电流。在双极型运算放大器中能使得摆率达到 30 V/ μ s, 并且如同以前的例子一样, 它的局限性是增大了输出电压偏移。

9.6.4 MOS 运算放大器的摆率改进

图 9.50b 显示了一个二级密勒补偿的 MOS 运算放大器, 它的摆率由式(9.127)给出。从 9.6.2 节的分析中知道可以通过增加 ω_2 来提高摆率。另一方面, 如果 ω_2 固定, 增加 I_{xm}/g_{m1} 摆率也会升高。应用式(9.180), 则式(9.133)可另写为

$$\text{摆率} = \frac{I_{xm}}{g_{m1}} \omega_2 = \frac{2I_1}{\sqrt{2k'(W/L)_1 I_1}} \omega_2 = \sqrt{\frac{2I_1}{k'(W/L)_1}} \omega_2 \quad (9.140)$$

这个方程表明, 在 I_1 固定的条件下, 摆率会随 $(W/L)_1$ 的减小而提高。此种情况下, $g_{m1} = g_{m1}$ 会降低。那样, 由式(9.132)可知, 可以使用较小的补偿电容, 进而, 因为 I_1 固定, 摆率会升高。式(9.140)表明, 通过增加 I_1 使摆率提高。假定 I_1 以大于 1 的倍数 x 增加。则因为 g_{m1} 和 $\sqrt{I_1}$ 成比例, I_{xm}/g_{m1} 会以 $\sqrt{I_1}$ 的倍数增加。由式(9.132)可知, 如果 ω_2 固定, 补偿电容必定会以 $\sqrt{I_1}$ 的倍数增加。在这些变化发生的条件下, 式(9.127)的摆率变为

$$\frac{dV_o}{dt} = \frac{2xI_1}{C\sqrt{x}} = \frac{2I_1\sqrt{x}}{C} \quad (9.141)$$

由于 $x > 1$, 摆率会增加。

另一方面, 可以通过增加与 M_1 和 M_2 串联的反馈电阻 R_s 来增大输入级比率 I_{xm}/g_{m1} , 得到

$$g_{m1} = \frac{g_{m1}}{1 + (g_{m1} + g_{mb1})R_s} \quad (9.142)$$

对固定的 I_1, R_s 增大, g_{m1} 减小, I_{xm}/g_{m1} 增大, 这样摆率会增大。

这些方法可以增大摆率, 但有一些缺点。首先, 保证偏置电流恒定的同时降低输入级的 g_{m1} 通常会降低第一级的直流增益, 从而降低整个运算放大器的增益。同样, 提高 I_1 或减小 $(W/L)_1$ 会增大运算放大器的输入失调电压, 这由式(3.248)可以看出。最后, 加上源反馈

阻抗,阻抗间的不匹配会造成输入失调电压的恶化。

以套叠式和折叠式串接运算放大器级联为例,对于单级的 MOS 运算放大器,摆率设置为最大输出电流除以输出负载电容。最大输出电流等于这些运算放大器的尾电流。

示例

计算图 9.54 所示串接运算放大器电路的输出摆率。

假定运算放大器存在一个大的正差分输入电压, M_2 工作在截止区, I_{TAIL} 流经 M_1 。因此, M_{2A} 的漏电流为 0, M_3 的漏电流为 $I_{d3} = -I_{\text{TAIL}}$ 。镜像电流源 $M_3 - M_4$ 使得 $I_{d3} = I_{d4}$, 即有, $I_{d4A} = I_{d4} = -I_{\text{TAIL}}$ 。流入负载电容 C_L 的电流 I_o 为

$$I_o = -I_{d2A} - I_{d4A} = 0 - (-I_{\text{TAIL}}) = I_{\text{TAIL}}$$

从而得到正的输出摆率为

$$\frac{dV_o}{dt} = \frac{I_o}{C_L} = \frac{I_{\text{TAIL}}}{C_L} \quad (9.143)$$

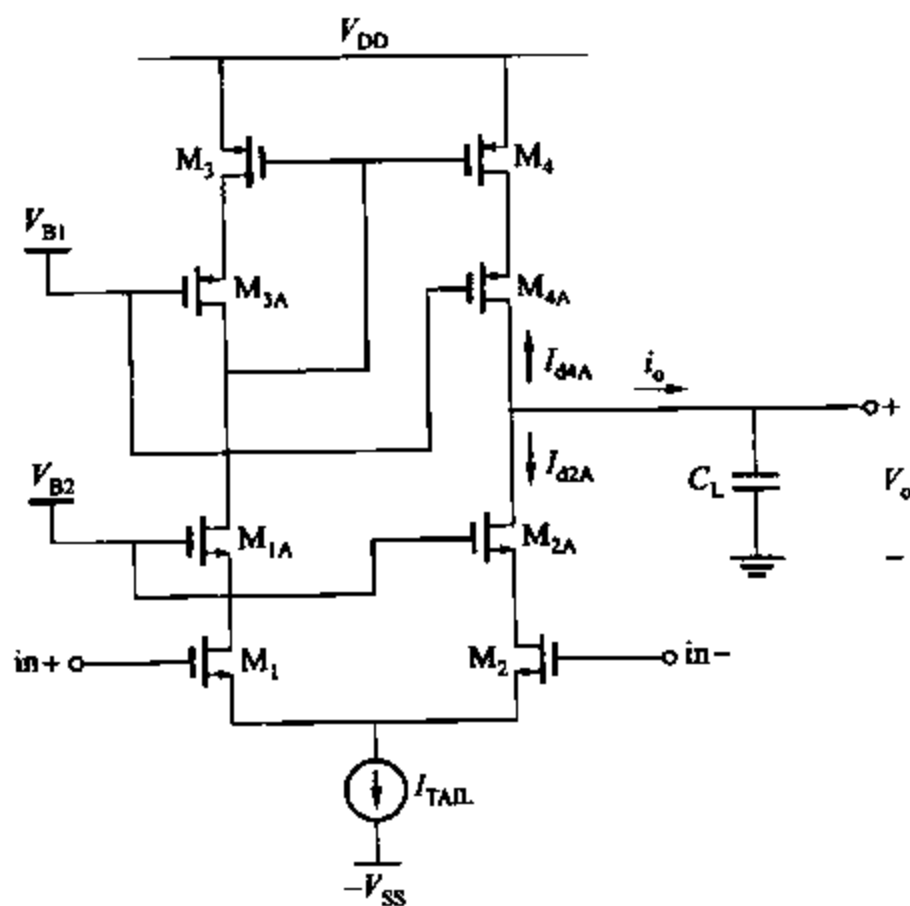


图 9.54 CMOS 套叠式串接运算放大器

使用大的负输入令 M_1 工作在截止区, I_{TAIL} 必定流经 M_2 。因此, $I_{d4A} = I_{d4} = I_{d3} = 0$, $I_{d2A} = I_{d2} = I_{\text{TAIL}}$ 。流入负载电容 C_L 的电流为

$$I_o = -I_{d2A} - I_{d4A} = (-I_{\text{TAIL}}) - 0 = -I_{\text{TAIL}}$$

因此,得到负的摆率,它和式(9.143)得出的值相反,为 $-I_{\text{TAIL}}/C_L$ 。

和开关电容电路一样,在输出负载为纯容性时,CMOS 运算放大器使用时通常没有输出级。因为输出负载为纯容性,也就不需要低的输出阻抗,从而实现减少一个输出级,而减少

一个输出级就能减小功耗。电路举例见图 6.10a, 它为一个开关电容积分器。假定 MOS 晶体管 $M_1 \sim M_4$ 都像理想开关一样工作, 在时钟相位 ϕ_2 为高, ϕ_1 为低时, 将电路重画为图 9.55 所示。增加的电容 C_{ip} 表示了寄生电容之和及运算放大器的输入电容。这里提出的问题是, “对图 9.55 中的反馈电路, 在计算单级运算放大器的摆率时输出负载电容值应选多大?” 当运算放大器未达到稳态时, 它是非线性的。因此, 反馈无效, 运算放大器的输入负极虚地消失。当反馈环断开, 从输入向地看进去的总电容为

$$C_L + C_1 // (C_S + C_{ip}) \quad (9.144)$$

这是在反向输入被替代为开环电路时, 从运算放大器输入结点向地看进去的电容。式 (9.144) 中的有效输出负载电容与为了得到反馈比而令反馈环断开时的输出负载一样。

目前为止, 此节考虑的 CMOS 运算放大器的摆率和运算放大器的偏置电流成比例关系。输入级为 AB 类的 CMOS 运算放大器的摆率可不受偏置电流的限制。图 9.56 显示了一个例子。^{21,22} 输入加在 M_1, M_2 和 M_3, M_4 间。 M_1 和 M_4 栅极如同单位增益的源极跟随器一样工作, 目的是传递输入电压到 M_6 和 M_7 的栅极。二极管连接形式的晶体管 M_5 和 M_8 起电平转移的作用; 它们和偏置电流源 I_1 一同设定了 M_2, M_3, M_6 和 M_7 的 AB 类电流。 M_3 和 M_7 中的电流通过串接的镜像电流源 $M_9, M_{10}, M_{13}, M_{14}$ 和 $M_1, M_{12}, M_{15}, M_{16}$ 传递到输出。假定输入电压 $V_i = 0$, 可得到偏置电流, 从而有

$$V_{GS1} + |V_{GS5}| = |V_{GS6}| + V_{GS3} \quad (9.145)$$

假定式 (1.157) 有效, 可得到

$$V_{in} + \sqrt{2 \frac{I_1}{k_n'} \left(\frac{L}{W} \right)_1} + |V_{tp}| + \sqrt{2 \frac{I_1}{k_p'} \left(\frac{L}{W} \right)_5} = |V_{tp}| + \sqrt{2 \frac{I_B}{k_p'} \left(\frac{L}{W} \right)_6} + V_{in} + \sqrt{2 \frac{I_B}{k_n'} \left(\frac{L}{W} \right)_3} \quad (9.146)$$

其中, $I_B = |I_{D6}| = I_{D3} = I_{D2} = |I_{D7}|$ 为偏置电流, 下标 n 和 p 分别代表 NMOS 和 PMOS。假定输入级两边对称。由式 (9.146) 得

$$\sqrt{I_B} \left[\sqrt{\frac{2}{k_p'} \left(\frac{L}{W} \right)_6} + \sqrt{\frac{2}{k_n'} \left(\frac{L}{W} \right)_3} \right] = \sqrt{I_1} \left[\sqrt{\frac{2}{k_p'} \left(\frac{L}{W} \right)_5} + \sqrt{\frac{2}{k_n'} \left(\frac{L}{W} \right)_1} \right] \quad (9.147)$$

式 (9.147) 为输入级偏置电流 I_B 的设计方程。

假定图 9.56 串接镜像电流源具有单位增益, $M_9 \sim M_{16}$ 的偏置电流全部等于 I_B 。为分析此电路, 运算放大器的同相输入端连为 V_i , 运算放大器的反向输入端接地。如果 V_i 为正, M_3 和 M_6 的单级的电流幅值增加, 而 M_2 和 M_7 中的电流幅值减小。当镜像到输出时, 以上变化使得 I_o 和 V_o 为正。为计算小信号增益, 忽略衬底效应。可以认为 M_6 是 M_3 的源反馈。向 M_6 看进去的阻抗为 $1/g_{m6}$, 从而有

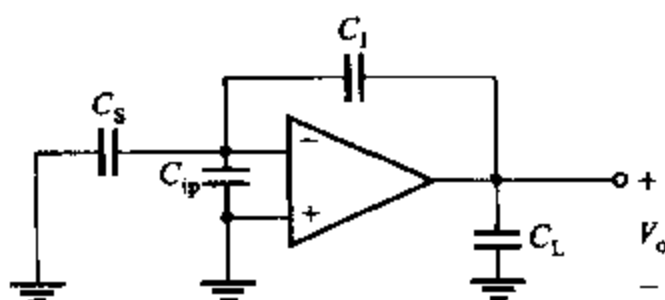


图 9.55 带有容性负载和反馈的运算放大器。假定 MOS 管为理想开关, 在 ϕ_2 期间它为图 6.10a 所示的开关电容积分器

$$i_{d3} = \frac{g_{m3}}{1 + \frac{g_{m3}}{g_{m6}}} v_i \quad (9.148)$$

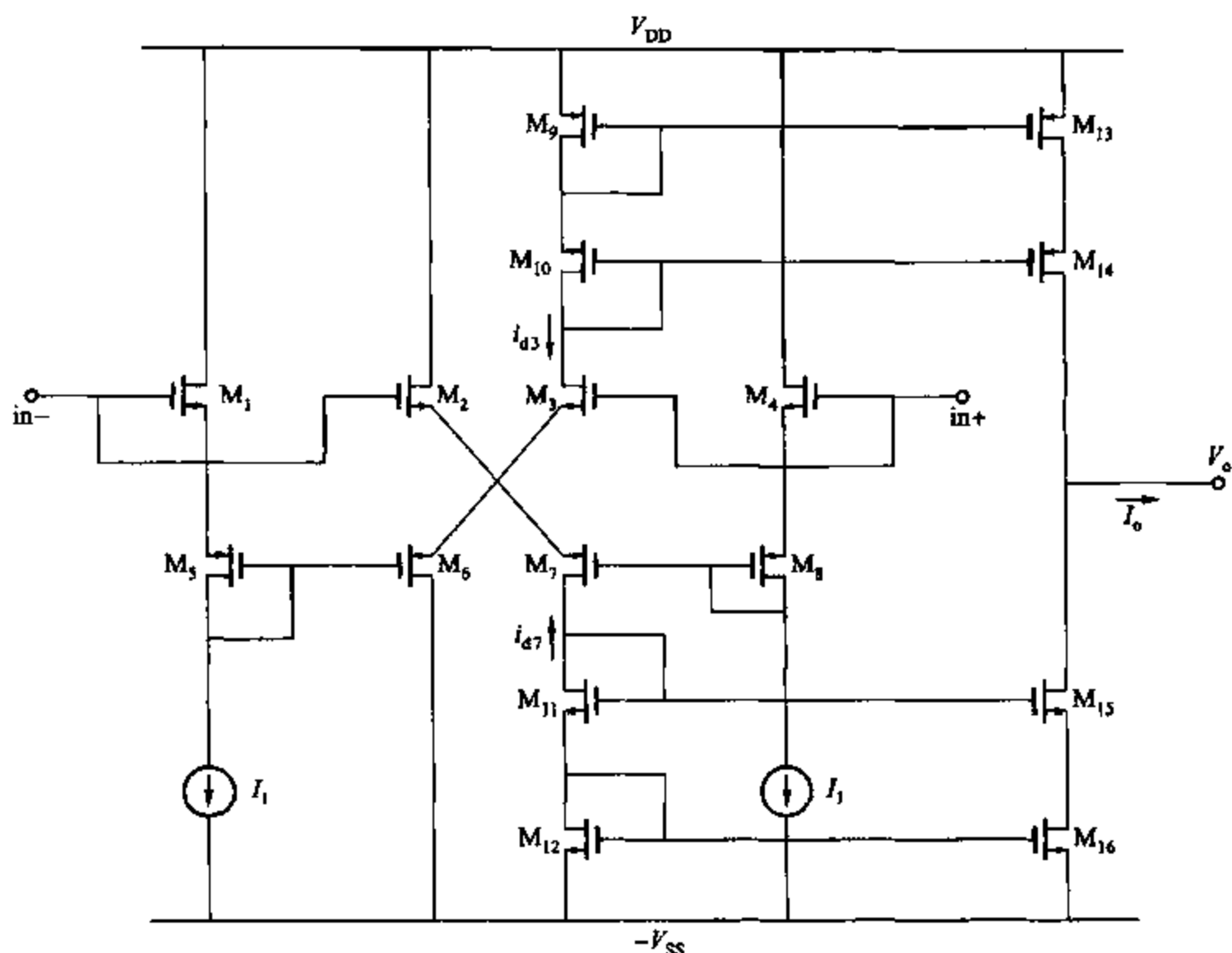


图 9.56 具有 AB 类输入级的 CMOS 放大器

与此相似,可以认为 M_2 是 M_7 的源反馈,从而有

$$i_{d7} = \frac{g_{m7}}{1 + \frac{g_{m7}}{g_{m2}}} v_i = \frac{g_{m2}}{1 + \frac{g_{m2}}{g_{m7}}} v_i \quad (9.149)$$

其中,右面的表达式经整理可得。这样,应用 $g_{m2} = g_{m3}$ 和 $g_{m6} = g_{m7}$ 得到运算放大器的跨导为

$$G_m = \frac{i_o}{v_i} \bigg|_{v_o=0} = \frac{i_{d3} + i_{d7}}{v_i} = \frac{2g_{m3}}{1 + \frac{g_{m3}}{g_{m6}}} \quad (9.150)$$

如果 $g_{m3} = g_{m6}$, 则 $G_m = g_{m3}$ 。

运算放大器的输出阻抗就是并行的串接的输出阻抗,为

$$R_o \approx (r_{o14} g_{m14} r_{o13}) // (r_{o15} g_{m15} r_{o16}) \quad (9.151)$$

最终,得到小信号电压增益为

$$A_v = G_m R_o \quad (9.152)$$

上面的小信号分析表明,小的正的 V_i 产生正的 I_o 。当 V_i 持续增到超出输入的线性区时, M_2 和 M_7 会截止,而 M_3 和 M_6 被驱动到比 $|V_{gs}|$ 更大的值。 M_3 和 M_6 中的电流能够增大到一个相当大的值,这个值会令 I_o 达到一个相应的大值。对大的负 V_i , M_3 和 M_6 会截止, M_2 和 M_7 产生大电流, I_o 变为大的负电流。这样,这个电路就可以向负载电容提供大的正负电流,并且输出电流的幅度比输入级的偏置电流 I_B 大很多。因此,此运算放大器不会存在通常意义上的摆率受限。

这种结构的一个缺点是,在摆动期间,有一半的晶体管完全截止。结果,它们变回导通状态所需时间成为电路高频特性的一个障碍。为克服这个问题,运算放大器的最小漏电流设计为一个非零值。²³

9.6.5 摆率受限对大信号正弦性能的影响

前面描述的摆率受限同样会影响电路的高频大信号正弦响应的性能。考虑图 9.57a 所示大信号正弦激励加于图 9.48 中所示电路。由于电路为一个电压跟随器,输出电压 V_o 将跟随 V_i 变化。 dV_i/dt 最大值出现在波形与坐标轴的交叉点,如果 V_i 为

$$V_i = \hat{V}_i \sin \omega t \quad (9.153)$$

则

$$\frac{dV_i}{dt} = \omega \hat{V}_i \cos \omega t$$

从而有

$$\left. \frac{dV_i}{dt} \right|_{\max} = \omega \hat{V}_i \quad (9.154)$$

只要式(9.154)给出的 $\left. \frac{dV_i}{dt} \right|_{\max}$ 比摆率的限制值小,输出就会紧紧跟随输入。但如果 $\omega \hat{V}_i$ 比摆率的限制值大,就会产生如图 9.57b 所示的波形失真。如果正弦电压的 \hat{V}_i 等于电源电压,则当此正弦电压加至运算放大器时,随正弦波形频率的增大,摆率受限一定会发生。此现象发生的频率点称为电路的全部功率带宽(full-power bandwidth)。(实际中, \hat{V}_i 稍小于电源电压,以免发生第五章描述的平顶失真。)

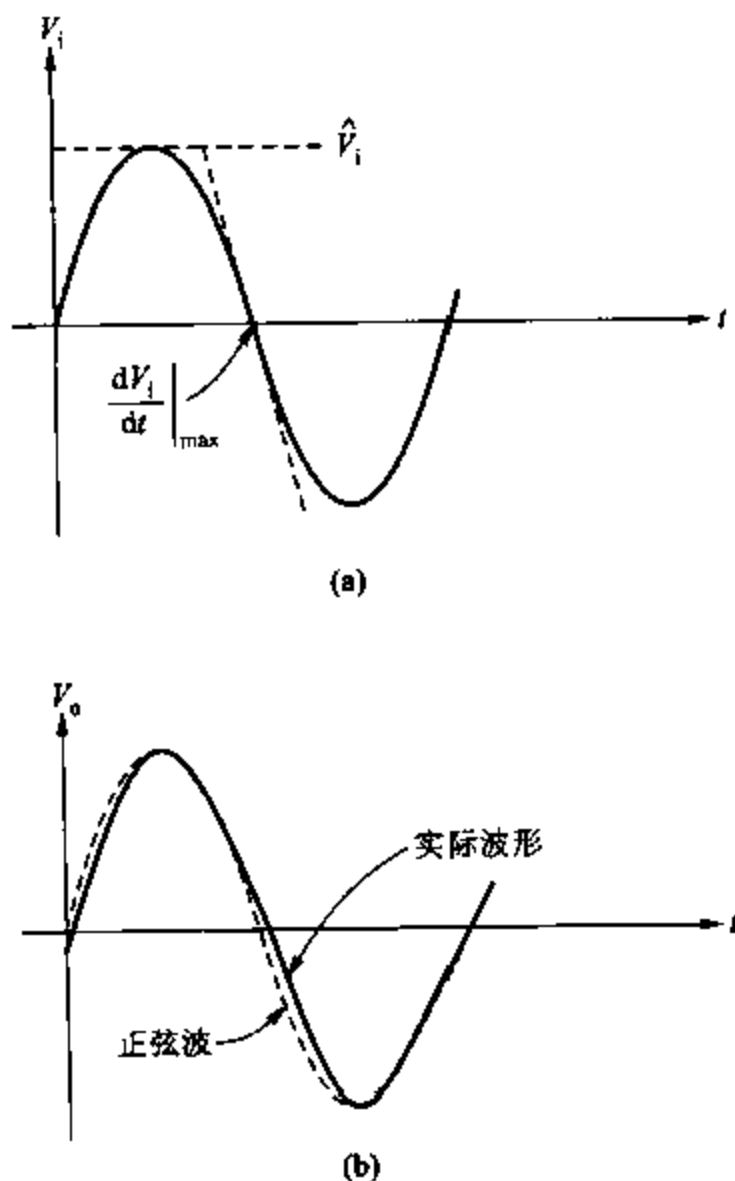


图 9.57 (a) 大幅度正弦波输入电压加在如图 9.48 所示电路上; (b) 输入为(a)所示, 输出波形显示出摆幅受限的情况

示例

计算 741 的最大功率带宽。 \hat{V}_i = 电源电压 = 15 V。由式(9.154)令

$$\omega \hat{V}_i = \text{摆率}$$

这样得到

$$\omega = \frac{0.8 \text{ V}/\mu\text{s}}{15 \text{ V}} = 53.3 \times 10^3 \text{ rad/s}$$

则有

$$f = 8.5 \text{ kHz}$$

这意味着,如果频率超过 8.5 kHz,正弦输出幅度为 15 V 的 741 运算放大器将发生摆率受限失真。

附录

A.9.1 反馈比参数术语分析

本章的大部分分析都是基于图 9.1 所示的理想方块图,它包括正向增益 a 和反馈 f 。正向增益 a 和反馈 f 这两个参数也用在第八章的二端口反馈电路分析。闭环增益表达式为

$$A = \frac{a}{1+T} = \frac{a}{1+af} \quad (9.155)$$

如果 b 代替 a , $1/A_\infty$ 代替 f , 并且忽略直接反馈 d , 则反馈比分析方块图 8.42 就和图 9.1 相同了。(因为反馈向 $a(s)$ 引入了一个或更多的零点,但在本章只讨论有一个和两个极点的 $a(s)$, 所以,在 9.2~9.5 节中,忽略了正向反馈通过反馈网络对 a 的贡献。如果当环路传输的幅值降到 1 时,反馈在此处或低于此处频率的影响很弱,那么忽略正向反馈 a 或直接反馈 d 是合理的。从反馈比分析得到的相应方程为

$$A = \frac{b}{1+\mathcal{R}} + \frac{d}{1+\mathcal{R}} \approx \frac{b}{1+\mathcal{R}} = \frac{b}{1+\frac{b}{A_\infty}} \quad (9.156)$$

对图 8.42 所示电路有 $0 \leq 1/A_\infty \leq 1$ 及在低频时 b 为正数。因此,通过下面的替换,9.2~9.5 节中方程、图和关系就能以反馈比参数术语形式分析了。

$$a \rightarrow b \quad (9.157a)$$

$$f \rightarrow 1/A_\infty \quad (9.157b)$$

$$T \rightarrow \mathcal{R} \quad (9.157c)$$

$$af \rightarrow b/A_\infty \quad (9.157d)$$

因为反馈比 $\mathcal{R}(s)$ 是由单增益级或增益稳定的多级串接构成的环路的传递函数,所以是稳定的。又因为 A_∞ 和 d 为稳定的无源网络转移函数所以通过反馈比可以检验单反馈回路

的运算放大器稳定性。闭环增益 A 的极点,也是 $1 + \mathcal{R}(s)$ 的零点,就决定了反馈电路的稳定性。²⁴ 由奈奎斯特稳定判据得到,如果 $1 + \mathcal{R}(s)$ 的极点不包围 $(-1, 0)$ 点,则这些零点都在左半平面。在很多情况下,这个稳定条件等价于相位裕量为正。相位裕量在 $|\mathcal{R}(j\omega) = 1|$ 的频率点测得的。

因为二端口反馈电路分析方程不唯一,所以对于一个给定电路 $T(s)$ 和 $\mathcal{R}(s)$ 可以不同。²⁵ 总之,应用 T 和 \mathcal{R} 的相位裕度也许不一样,但会有相同的符号,因而要遵循反馈电路的稳定性判断。

A.9.2 二次方程根

一个二阶的多项式经常出现在传递函数的分子分母中,多项式的零解就是传递函数的零点或极点。在本附录中,将对一些感兴趣的特定情形,多项式研究其二次根及其系数的关系。同时也会研究主要根存在的条件。

考虑下面的二次方程的根

$$as^2 + bs + c = 0 \quad (9.158)$$

方程的两个根 r_1 和 r_2 由如下公式给出:

$$r_{1,2} = \frac{-b \pm \sqrt{b^2 - 4ac}}{2a} \quad (9.159)$$

其中很明显,正数的平方根为正数。将 b 从平方根中分解出来整理得到

$$r_{1,2} = -\frac{b}{2a} \left(1 \pm \sqrt{1 - \frac{4ac}{b^2}} \right) \quad (9.160a)$$

$$= -\frac{b}{2a} (1 \pm \sqrt{D}) \quad (9.160b)$$

式(9.160a)中的平方根项由式(9.160b)中的 D 代替,其中

$$D = 1 - \frac{4ac}{b^2} \quad (9.161)$$

现在考虑系数 a 、 b 和 c 具有相同符号时根的位置。在这种条件下,由接下来的讨论可以知道,根都在左半平面中(LHP)。首先注意到系数具有相同符号则有

$$\frac{b}{2a} > 0 \quad (9.162)$$

和

$$\frac{4ac}{b^2} > 0 \quad (9.163)$$

把式(9.163)分为两部分讨论。首先如果

$$0 < \frac{4ac}{b^2} \leq 1 \quad (9.164)$$

则 D 为正,并小于 1。因而, $\sqrt{D} < 1$, 就有 $1 + \sqrt{D}$ 和 $1 - \sqrt{D}$ 都为正数。结果,因 $-b/2a < 0$, 得出根都为负实数。

再考虑式(9.163)的另一个部分,即

$$\frac{4ac}{b^2} > 1 \quad (9.165)$$

在这种条件下, $D < 0$, \sqrt{D} 为虚数。根为复共轭根, 其实部等于 $-b/2a$, 为负。因而, 系数 a 、 b 和 c 具有相同符号时, 根都在左半平面中。

接下来分析系数 a 、 b 具有相同符号而 c 异号时根的位置。在这种条件下, 一个根在右半平面中, 另一个根在左半平面中。为证明此结论, 首先注意到因 $4ac/b^2 < 0$, 故由式 (9.161) 可知 $D > 1$ 。因此, 两根都是实数, 且 $\sqrt{D} > 1$, 故有

$$1 + \sqrt{D} > 0 \quad (9.166a)$$

$$1 - \sqrt{D} < 0 \quad (9.166b)$$

代入式 (9.160) 得, 一根为正, 一根为负 (此时 $-b/2a$ 为负)。

最后, 研究何种条件下在左半平面中的根是实数且相距较远。由式 (9.160) 知, 条件如下:

$$-\frac{b}{2a}(1 + \sqrt{D}) \ll -\frac{b}{2a}(1 - \sqrt{D}) \quad (9.167)$$

或

$$1 + \sqrt{D} \gg 1 - \sqrt{D} \quad (9.168)$$

将式 (9.161) 中 D 的表达式代入式 (9.168), 简化得到相距较远的等价条件

$$\frac{4ac}{b^2} \ll 1 \quad (9.169)$$

在此条件下, 一个根是

$$r_2 = -\frac{b}{2a}(1 + \sqrt{D}) \approx -\frac{b}{2a}(1 + 1) = -\frac{b}{a} \quad (9.170a)$$

另一个根是

$$\begin{aligned} r_1 &= -\frac{b}{2a}(1 - \sqrt{D}) \\ &= -\frac{b}{2a} \left(1 - \sqrt{1 - \frac{4ac}{b^2}} \right) \\ &= -\frac{b}{2a} \left[1 - \left(1 - \frac{4ac}{2b^2} \right) \right] \\ &= -\frac{c}{b} \end{aligned} \quad (9.170b)$$

其中应用近似

$$\sqrt{1-x} \approx 1 - \frac{x}{2}, \text{ 因为 } |x| \ll 1 \quad (9.171)$$

这里因为 $|r_1| \approx c/b \ll b/a \approx |r_2|$ (由 $4ac/b^2 \ll 1$ 得), 可得 $|r_1| \ll |r_2|$ 。如果这些根是极点, 则 r_1 对应主极点, r_2 对应非主极点。由式 (9.33) 知, 式 (9.170a) 和式 (9.170b), 与式 (9.30) 是相符合的。

表 9.1 总结了以上本附录所讨论的式 (9.158) 的根的位置。如果满足式 (9.158), 当根都在左半平面, 则根都是实数。如果满足式 (9.169), 根相距较远。

表 9.1

系数的符号			根
a	b	c	
+	+	+	都在左半平面
-	-	-	都在左半平面
+	+	-	一个在左半平面, 一个在右半平面
-	-	+	一个在左半平面, 一个在右半平面

习题

9.1 运算放大器低频正向增益 200, 传递函数有三个负实极点, 幅值分别为 1 MHz、2 MHz 和 4 MHz。如果把它放在 $f = 0.05$ 的负反馈环中, 计算并画出运算放大器的奈奎斯特图。判断运算放大器稳定与否, 并解释。

9.2 对 9.1 中的运算放大器, 计算并画出没有反馈条件下增益图(分贝形式)和频率相位图(对数形式)。并计算恰好引起不稳定的 f 值及相位裕度 $= 60^\circ$ 时的 f 值。

9.3 如果运算放大器相位裕度 $= 20^\circ$, 在环路增益为单位增益下, 闭环增益峰值(低频值)是多少?

9.4 如果运算放大器低频正向增益为 40 000, 传递函数有三个负实极点, 幅值分别为 2 MHz、200 kHz 和 4 MHz。

(a) 如果把它放在 f 为常量的反馈环中, 低频增益 $A_0 = 400$, 判断它的相位裕度。

(b) 如果 $A_0 = 200$ 和 100, 重复(a)中的问题。

9.5 运算放大器低频正向增益 5 000, 传递函数有三个负实极点, 幅值分别为 300 kHz、2 MHz 和 25 MHz。

(a) 如果运算放大器原极点不变, 为使运算放大器在单位增益补偿下达到相位裕度 $= 45^\circ$, 计算出补偿主极点幅值。并回答补偿后电路带宽是多少?

(b) 如果反馈环正向增益 20 dB, 相位裕量 $= 45^\circ$, 重复(a)中的问题。

9.6 如果 9.5 中的运算放大器是通过减小最大主极点达到补偿的。

(a) 如果运算放大器原极点不变, 为使运算放大器在单位增益补偿下达到相位裕度 $= 45^\circ$, 计算出补偿主极点幅值以及相应的反馈电路的带宽。

(b) 如果反馈环前向增益 20 dB, 相位裕量 $= 45^\circ$, 重复(a)中的问题。

9.7 对 9.4 中的运算放大器, 重复 9.6 中的问题。

9.8 运算放大器低频电压增益为 100 000, 频率响应为单极点, 极点为幅值等于 5 Hz 的负实极点。运算放大器连于 $f = 0.01$ 串联-并联反馈环, 低频闭环电压增益 A_0 约为 100。如果没有反馈则输出阻抗为 $100\ \Omega$ 。计算图 9.58 所示反馈电路图的输出阻抗, 并计算元件值。画出 1 Hz ~ 100 kHz 的对数形式的反馈电路输出阻抗图。

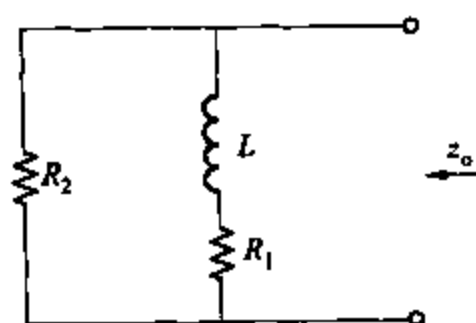


图 9.58 串联-并联反馈电路的输出阻抗描述

9.9 运算放大器由 741 电路构成, 但处理不同; 补偿前, 运算放大器的传递函数有三个负实极点, 幅值分别为 30 kHz、500 kHz 和 10 MHz。补偿同 741 一样, 极点分离使得第二主极点可忽略。要求单位增益反馈连接时相位裕度 $= 60^\circ$, 计算补偿电容; 并计算此条件下使得开环增益为零的频率。741 数据在第七章给出, 并假定幅值为 10 MHz, 极点不受补

偿的影响。741 低频增益为 108 dB。

9.10 如果电路通过在 Q_{1c} 基极并联接地电容来补偿,重复习题 9.9 中的提问。假定只有主极点受到影响。

9.11 运算放大器低频增益 $a_0 = 200$, 传递函数有三个负实极点, 幅值分别为 1 MHz、3 MHz 和 4 MHz。计算并画出反馈 f 从 0 到 1 变化时的根轨迹图。估计引起不稳定的 f 值。

9.12 计算并画出习题 9.4 中运算放大器反馈 f 从 0 到 1 变化时的根轨迹图。估计引起不稳定的 f 值并使用奈奎斯特判据检验。

9.13 图 9.41 所示电路, 参数值为 $R_F = 5 \text{ k}\Omega$, $R_E = 50 \text{ }\Omega$, $C_F = 1.5 \text{ pF}$ 。电路基本放大器如图 9.42, 有两个负实极点, 幅值分别为 3 MHz 和 6 MHz, 基本放大器的低频电流增益为 4 000。假定在不改变基本放大器的参数的条件下, 可以改变图 9.41 所示电路的环路增益。画出在有、无 C_F 的情况下, f 从 0 到 1 变化时的根轨迹图。反馈放大器如图 9.41 所示(参数 R_F 、 R_E 已定), 在有、无 C_F 的情况下, 估计电流增益传递函数的极点位置。画出每种条件下对数形式的增益幅度-频率图(f 从 10 kHz 到 100 MHz)。

9.14 运算放大器有两个负实开环极点, 幅值分别为 100 Hz 和 120 kHz, 和一个负实零点, 幅值为 100 kHz, 低频开环电压增益为 10 dB。若将此运算放大器放在一个负反馈电路中, 画出 f 从 0 到 1 变化时的根轨迹图。并计算 $f = 0.001$ 和 $f = 1$ 时的反馈放大器的零、极点。

9.15 如果电路有两个负实开环极点, 幅值分别为 100 Hz 和 100 kHz, 和一个负实零点, 幅值为 100 kHz, 重复 9.14 中的问题。

9.16 运算放大器输入级如图 9.59 所示。

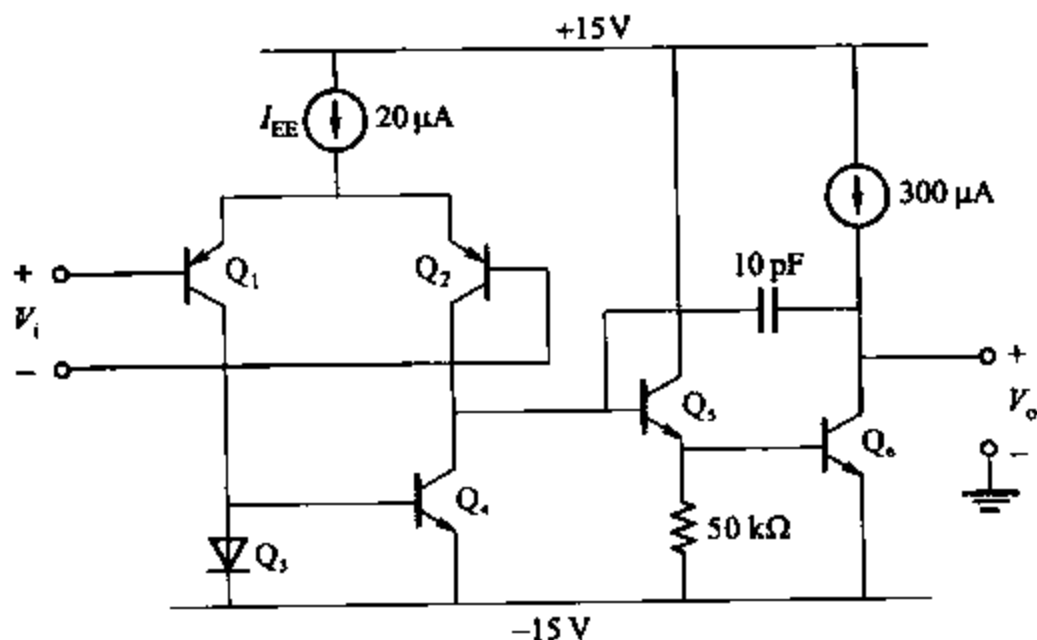


图 9.59 运算放大器输入级

(a) 假定频率响应为近似单极点频率响应, 计算小信号电压增益 $|v_o(j\omega)/v_i(j\omega)|$ 为单位电压增益时的频率点及放大器的输出摆率。

(b) 画出 V_i 从 $-5 \sim +5 \text{ V}$ 的阶跃输入下, 时间为 $0 \sim 20 \text{ }\mu\text{s}$ 的 $V_o(t)$ 响应。假定电路在一个同向单位反馈回路中。

(c) 令所有元件参数为 $\beta = 100$, $V_A = 130 \text{ V}$, $I_S = 10^{-15} \text{ A}$, 将计算所得结果与 SPICE 仿真结果比较。

9.17 如果图 9.59 通过在 Q_3 基极与接地之间接入 0.05 pF 的电容来补偿, 重复 9.16 中的问题。假定从 Q_3 基极到 V_o 电压增益为 -500 。

9.18 在 Q_1 和 Q_2 射极增加 $10 \text{ k}\Omega$ 电阻可以提高图 9.59 的摆率。如要达到相同的单位增益频率, 计算新的所需补偿电容值和摆率的提高值。并通过 SPICE 仿真检验。

9.19 如果 PMOS 代替 Q_1 和 Q_2 (无反馈电阻), 重复 9.18 中的问题。假定每个 PMOS 偏置电流为 $300 \mu\text{A}$ ($I_{EE} = 600 \mu\text{A}$), 在此偏置下 MOS 管的 $g_m = 300 \mu\text{S}$ 。

9.20 (a) 计算图 9.59 的最大功率带宽。

(b) 若将此电路与一个同向单位增益反馈环路相连, 当输入 V_i 的幅值等于 10 V , 频率等于 45 kHz 的正弦波时, 画出输出的波形。

9.21 对图 9.60 所示 CMOS 运算放大器, 计算开环电压增益、单位增益带宽和摆率。并将计算结果同 SPICE 仿真比较。假定

- (1) 参数如表 2.1, $X_d = 1 \mu\text{m}$ 。
- (2) M_9 的栅极连接于正电压源。
- (3) 通过选择合适的 M_9 的 W/L , 消除了右半平面的零点。

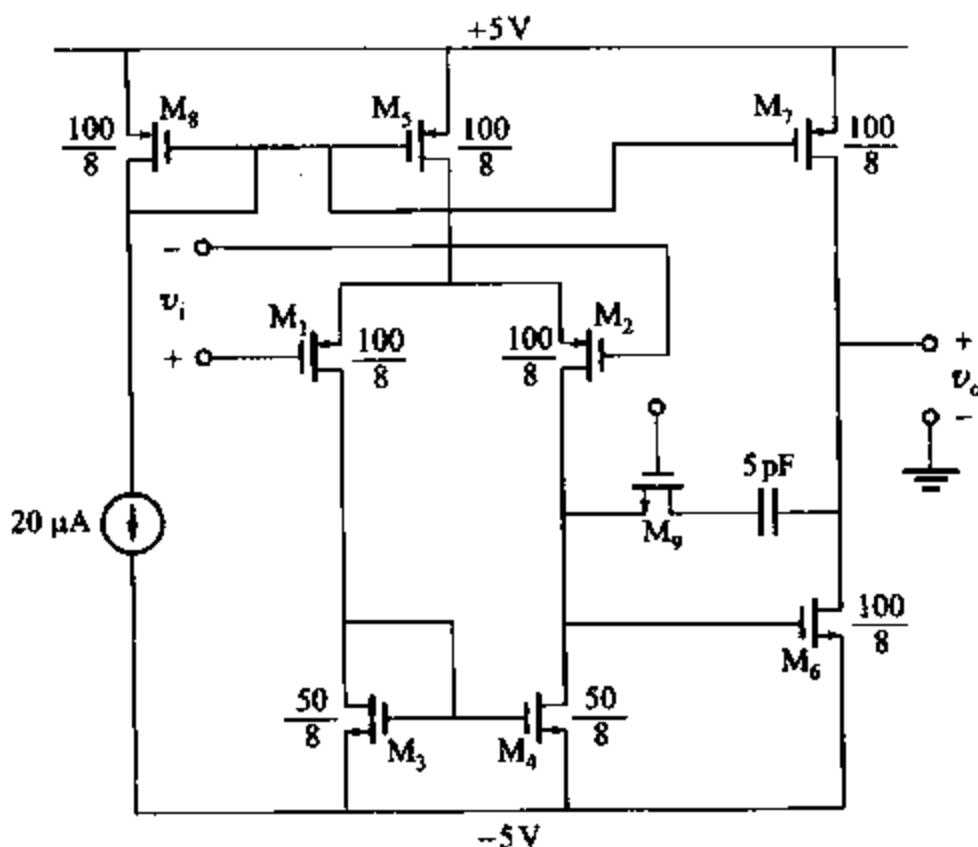


图 9.60 习题 9.21 电路图

9.22 使用图 9.59 中的宽长比、电源电压和偏置电流, 替代图 9.60 中的参数, 重复 9.16 中的问题。假定所有工作在放大区晶体管的 $X_d = 0.1 \mu\text{m}$ 。其他参数参见表 2.4。

9.23 如果图 9.61 所示电路用于向图 9.60 中的 M_9 的栅极提供电压, 计算令零点由右半平面移到无穷远所需 M_9 的 W/L 值。参数见表 2.4, $X_d = 1 \mu\text{m}$ 。并对比 SPICE 仿真检验结果。

9.24 在运算放大器图 9.59 中应用 M_9 , 令 $V_{DD} = V_{SS} = 1.5 \text{ V}$, $I_S = 200 \mu\text{A}$ 。所有晶体管 $L = 1 \mu\text{m}$, $W_{11} = W_{12} = 100 \mu\text{m}$ 。重复 9.23 中的问题, 无需 SPICE 仿真。假定所有工作在放大区晶体管的 $X_d = 0.1 \mu\text{m}$ 。其他参数见表 2.4。

9.25 假定零点已移到无穷远, 判断直接连于如图 9.60 所示电路输出的最大负载电容。要求相位裕度维持在 45° 。除因负载电容引出的外, 忽视所有的高阶极点。使用习题 9.23 中 M_9 的 W/L 值。 M_9 的偏置电路见图 9.61。

9.26 对运算放大器, 使用图 9.59 中的宽长比、电源电压和偏置电流, 而非图 9.60 中的。对偏置电路使用习题 9.23 中的宽长比、电源电压和偏置电流。重复 9.25 中的问题。忽视所有晶体管结电容, 并假定

(b) 在图 9.28a 中消除右平面的零点的 R_1 值为多大?

9.32 对图 9.25a 所示的共栅补偿方案,重复 9.31 的问题。

9.33 图 9.25b 所示的共栅 M_{11} 简化模型输入阻抗为 0。证明如果 M_1 共栅极简化模型输入阻抗非 0, 则图 9.25a 所示的补偿方案会给运算放大器增益引入零点 ($-g_{m11}/C$)。为简化分析,假定 $r_{o11} = \infty$, $\gamma = 0$, 并忽略所有元件的电容。

9.34 画出当 C 从 0 到 ∞ 变化时式(9.127)的根轨迹图。 $R_1 = 200 \text{ k}\Omega$, $g_m = 2 \text{ mS}$, $R_2 = 200 \text{ k}\Omega$, $C_1 = 0.1 \text{ pF}$, $C_2 = 8 \text{ pF}$ 。

9.35 应用嵌套式密勒补偿的三级运算放大器,如图 9.32c 所示,在给定相位裕度 $= 45^\circ$ 下计算它的补偿电容值。此时运算放大器置于单位反馈环中,即 $f = 1$ 。假定消除了因正向反馈而引入的零点。为使极点相距较远,进行设计。取 $R_0 = R_1 = R_2 = 5 \text{ k}\Omega$, $C_0 = C_1 = 0.5 \text{ pF}$, $C_2 = 6 \text{ pF}$ 。使用 $g_{m0} = g_{m1}$, $g_{m2} = 6g_{m1}$ 。

9.36 应用嵌套式密勒补偿的三级运算放大器,如图 9.32c 所示,在给定相位裕度 $= 60^\circ$ 下计算它的补偿电容值。此时运算放大器置于单位反馈环中,即 $f = 1$ 。假设因正向反馈引入的零点不存在,设计复极点 p_1 和 p_2 。取 $R_0 = R_1 = R_2 = 5 \text{ k}\Omega$, $C_0 = C_1 = 0.5 \text{ pF}$, $C_2 = 6 \text{ pF}$ 。使用 $g_{m0} = g_{m1}$, $g_{m2} = 6g_{m1}$ 。

9.37 单级运算放大器,如图 9.54 所示,相位裕度 $= 45^\circ$,此时运算放大器置于单位反馈环中,即 $f = 1$,输出负载电容 $C_L = 2 \text{ pF}$ 。输出负载电容 C_L 为多大时,相位裕度 $= 60^\circ$ 。假定输出电容 C_L 占主要部分,运放增益 $a_v(s)$ 模型化后有两个极点。

9.38 单级运算放大器,如图 9.54 所示,其非主极点 $|p_2| = 200 \text{ Mrad/s}$ 。运算放大器置于单位反馈环中,即 $f = 1$ 。

(a) 如果 $g_{m1} = 0.3 \text{ mS}$, C_L 为多大时,相位裕度 $= 45^\circ$ 。(假定输出电容 C_L 占主要部分,运放增益 $a_v(s)$ 模型化后有两个极点。)

(b) 如果 $I_{\text{TAIL}} = 0.5 \text{ mA}$,在此 C_L 下输出摆率为多大?

9.39 如图 9.55 所示,反馈电路在一个时钟周期内为开关电容电路。假定运算放大器是如图 9.54 所示的套叠式级联运算放大器。取 $C_L = 1.5 \text{ pF}$, $C_1 = 1.5 \text{ pF}$, $C_S = 1.5 \text{ pF}$, $C_\mu = 1.5 \text{ pF}$ 。

(a) 如果 $I_{\text{TAIL}} = 0.2 \text{ mA}$,输出摆率为多大?

(b) 假定 $g_{m1} = 0.1 \text{ mS}$,环路传输(环路增益 $T(s)$ 或反馈比 $\mathcal{R}(s)$) 模型化后有两个极点,且非主极点 $|p_2| = 200 \text{ Mrad/s}$ 。此反馈电路的相位裕度是多大?

9.40 计算图 9.62 中反馈电路的反馈比。假定放大器的电压增益为一个大于 0 的常量即 $a_v > 0$,证明,如果每一个阻抗或为电阻或为电容,则电路总是稳定的。

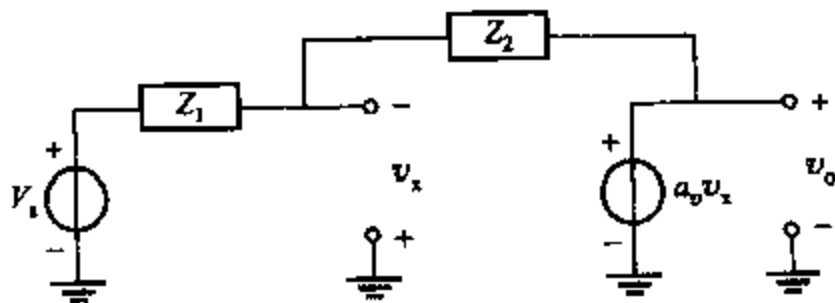


图 9.62 习题 9.40 的反馈电路图

9.41 计算图 9.63 中积分器的反馈比。证明,如果 $a_v(s)$ 的两个极点在左半平面且 $a_v(s=0) > 0$,则电路总是稳定的。

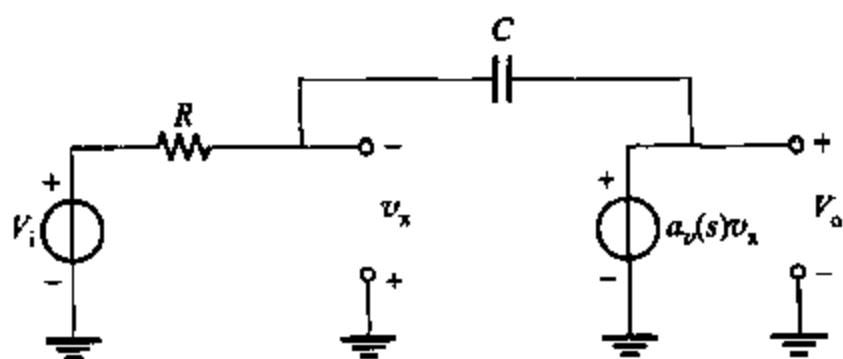


图 9.63 习题 9.41 的电路图

9.42 计算图 9.64 中反向放大器的反馈比。这里,受控源和 C_{in} 组成了一个简单的运算放大器模型。假定 $a_v(s) = 1/[(1 + s/100)(1 + s/10^6)]$ 。

- (a) 假定运算放大器的输入电容 $C_{in} = 0$ 。 $| \mathcal{R}(j\omega) | = 0$ 时的频率为多大? 并同 $| a_v(j\omega) | = 1$ 时的频率比较。
 (b) 分别计算 $C_{in} = 0, C_{in} = 4 \text{ pF}, C_{in} = 20 \text{ pF}$ 时的相位裕度。

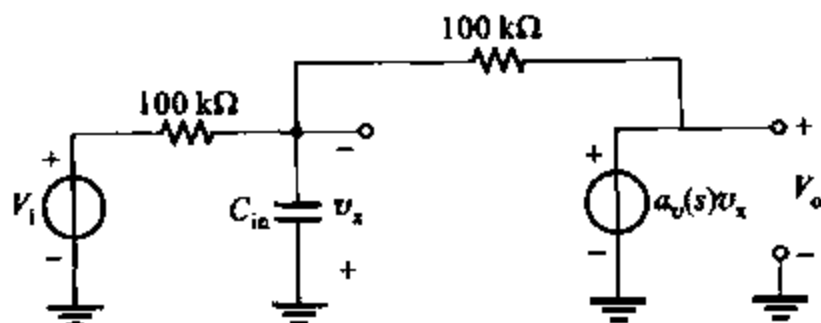


图 9.64 习题 9.42 的电路图

9.43 在图 8.60 和习题 8.33 中介绍了一个技术,它容许在不破坏直流工作点的条件下对反馈比进行 SPICE 仿真。

(a) 使用此技术,在 $f = 1 \text{ kHz}, 100 \text{ kHz}, 10 \text{ MHz}, 1 \text{ GHz}$ 的条件下,对习题 9.21 中运算放大器的反馈比仿真,运算放大器连接为同向单位增益组态。

(b) 使用此技术画出反馈比的幅度和相位图。计算单位增益频率和相位和增益的裕度。[注意,在计算中,需要结合复数值 $R_i(j\omega)$ 和 $R_o(j\omega)$ 以找出复值 $\mathcal{R}(j\omega)$]

9.44 在 $C_{in} = 4 \text{ pF}$ 的条件下,对图 9.62 中电路,重复习题 9.43 中的问题。在反馈电阻的左面注入测试源。使用题 9.42 中的 $a_v(s)$ 。比较习题 9.42 的计算结果和仿真结果。

9.45 对图 9.65 中的局部反馈电路,重复习题 9.43 中的问题。晶体管 $W = 50 \text{ }\mu\text{m}, L_{eff} = 0.6 \text{ }\mu\text{m}$ 。元件参数见表 2.4。忽略漏极结电容(假定它比 2 pF 的负载电容要小)。

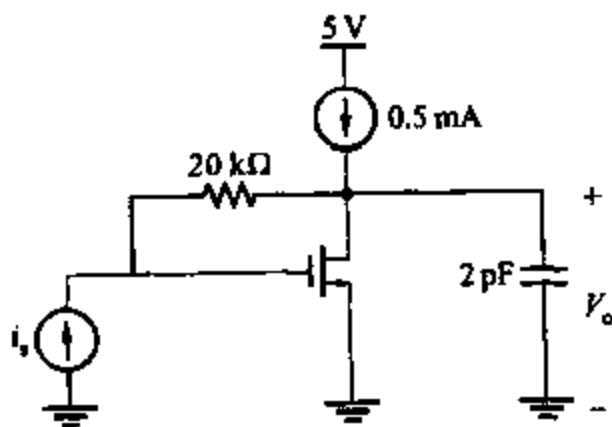


图 9.65 习题 9.45 的电路图

参考文献

1. K. Ogata. *Modern Control Engineering*, 2nd Edition. Prentice-Hall, Englewood Cliffs, NJ, 1990.
2. P. W. Tuinenga. *SPICE: A Guide to Circuit Simulation and Analysis using PSpice*, 3rd Edition. Prentice-Hall, Englewood Cliffs, NJ, 1995.
3. G. W. Roberts and A. S. Sedra. *SPICE*, 2nd Edition. Oxford Press, New York, 1997.
4. P. J. Hurst. "Exact Simulation of Feedback Circuit Parameters," *IEEE Trans. on Circuits and Systems*, Vol. CAS-38, No. 11, pp. 1382 ~ 1389, November 1991.
5. P. J. Hurst and S. H. Lewis. "Determination of Stability Using Return Ratios in Balanced Fully Differential Feedback Circuits," *IEEE Trans. on Circuits and Systems II*, pp. 805 ~ 817, December 1995.
6. S. Rosenstark. *Feedback Amplifier Principles*, MacMillan, New York, 1986.
7. R. D. Middlebrook. "Measurement of Loop Gain in Feedback Systems," *Int. J. Electronics*, Vol. 38, No. 4, pp. 485 ~ 512, 1975.
8. J. E. Solomon. "The Monolithic Op Amp: A Tutorial Study," *IEEE J. Solid-State Circuits*, Vol. SC-9, pp. 314 ~ 332, December 1974.
9. Y. P. Tsividis and P. R. Gray. "An Integrated NMOS Operational Amplifier with Internal Compensation," *IEEE J. Solid-State Circuits*, Vol. SC-11, pp. 748 ~ 753, December 1976.
10. B. K. Ahuja. "An Improved Frequency Compensation Technique for CMOS Operational Amplifiers," *IEEE J. Solid-State Circuits*, Vol. SC-18, pp. 629 ~ 633, December 1983.
11. D. B. Ribner and M. A. Copeland. "Design Techniques for Cascoded CMOS Op Amps with Improved PSRR and Common-Mode Input Range," *IEEE J. Solid-State Circuits*, pp. 919 ~ 925, December 1984.
12. D. Senderowicz, D. A. Hodges, and P. R. Gray. "A High-Performance NMOS Operational Amplifier," *IEEE J. Solid-State Circuits*, Vol. SC-13, pp. 760 ~ 768, December 1978.
13. W. C. Black, D. J. Allstot, and R. A. Reed. "A High Performance Low Power CMOS Channel Filter," *IEEE J. Solid-State Circuits*, Vol. SC-15, pp. 929 ~ 938, December 1980.
14. E. M. Cherry. "A New Result in Negative Feedback Theory and Its Application to Audio Power Amplifiers," *Int. J. Circuit Theory*, Vol. 6, pp. 265 ~ 288, July 1978.
15. J. H. Huijsing and D. Linebarger. "Low-Voltage Operational Amplifier with Rail-to-Rail Input and Output Ranges," *IEEE J. Solid-State Circuits*, Vol. 20, pp. 1144 ~ 1150, December 1985.
16. R. G. H. Eschauzier and J. H. Huijsing. *Frequency Compensation Techniques for Low Power Operational Amplifiers*. Kluwer, Dordrecht, The Netherlands, 1995.
17. F. You, H. K. Embabi, and E. Sanchez-Sinencio. "A Multistage Amplifier Topology with Nested Gm-C Compensation," *IEEE J. Solid-State Circuits*, Vol. 32, pp. 2000 ~ 2011, Dec. 1997.
18. P. E. Gray and C. L. Searle. *Electronic Principles; Physics, Models, and Circuits*. Wiley, New York, 1969.
19. J. D'Azzo and C. Houpis. *Linear Control System Analysis and Design: Conventional and Modern*. McGraw-Hill, New York, 1975.
20. W. E. Hearn. "Fast Slewing Monolithic Operational Amplifier," *IEEE J. Solid-State Circuits*, Vol. SC-6, pp. 20 ~ 24, February 1971.
21. P. W. Li, M. J. Chin, P. R. Gray, and R. Castello. "A Ratio-Independent Algorithmic Analog-to-Digital Conversion Technique," *IEEE J. Solid-State Circuits*, Vol. SC-19, pp. 828 ~ 836, December 1984.

22. E. Seevinck and R. Wassenaar. "A Versatile CMOS Linear Transconductor/Square-Law Function Circuit," *IEEE J. Solid-State Circuits*, Vol. SC-22, pp. 366~377, June 1987.

23. F. N. L. O. Eynde, P. F. M. Ampe, L. Verdeyen, and W. M. C. Sansen. "A CMOS Large-Swing Low-Distortion Three-Stage Class AB Power Amplifier," *IEEE J. Solid-State Circuits*,

Vol. SC-25, pp. 265~273, February 1990.

24. H. W. Bode. *Network Analysis and Feedback Amplifier Design*. Van Nostrand, New York, 1945.

25. P. J. Hurst. "A Comparison of Two Approaches to Feedback Circuit Analysis," *IEEE Trans. on Education*, Vol. 35, No. 3, pp. 253~261, August 1992.

第十章 非线性模拟电路

10.1 引言

第一章至第九章已经解决了主要对信号进行线性放大的模拟电路。尽管讨论到的一部分电路(如 AB 类输出级)的作用实际上是非线性的,但是它们对通过放大器的信号所起的作用却是十分接近线性。

在仪器、通信和控制系统的设计中,经常要求对连续模拟信号进行非线性操作。这些操作包括整流、调制、解调、变频、乘法和除法。在本章中,将分析如何在单片集成电路中实现这些最常用的技术。首先讨论如何使用双极型晶体管和有源元件来实现精密整流,然后使用晶体管综合非线性模拟电路并分析作为这些电路的基础即吉尔伯特放大器单元。接着,考虑使用这种模块来构造一个调制器、解调器、相位比较器和大信号的四相位乘法器。

在讨论完乘法器后,介绍了一种实现调频和调幅信号的解调,同时又实现带通滤波的十分有用的技术。这种电路,即锁相环电路(PLL),十分适合用于单片结构的电路。首先介绍了相关的基本概念,然后分析了锁相环在相位锁定条件下的行为。考虑瞬态响应,分析了一个实际的锁相环集成电路。最后考虑了几种使用双极型晶体管实现任意非线性转换函数的方法。

10.2 精密整流

也许作用在时变信号上最基本的非线性操作就是整流了,理想的半波整流器是指可以让一种极性的信号电流或者电压通过,同时阻止另一种极性的电流或电压。图 10.1 给出了一种理想半波整流器的传输特性。同时图 10.1 给出了另外一种有用的整流器—全波整流器的传输特性。实用的整流器可以分成两种类型。第一类称为功率整流器,用于把交流功率转换为直流形式,这些电路几乎都是用硅二极管来实现整流,而这种实现的目的是高效率 and 低成本。由于大部分这一类型的大功率电路的实现都采用了离散元件,所以这里没有专门介绍这一类型的整流器。

就其工作对象而言,第二类整流器不是为了转换功率,而是从信号中提取信息。这一类型使用了全波整流器,例如,在决定一个信号的均方值时,在某些解调器中和必须判断信号的正负极性的仪器系统中,称这一类型的整流器为精密整流器。精密整流的功能常常包含在集成的模拟子系统中,这一节讨论实现这种电路的方法。

图 10.2 给出了二极管半波整流器的最简单形式。当输入电压是正极性时,二极管是反偏压的,输出信号等于输入信号,如图 10.2b 等效电路图所示。当输入电压从零下拉到负极

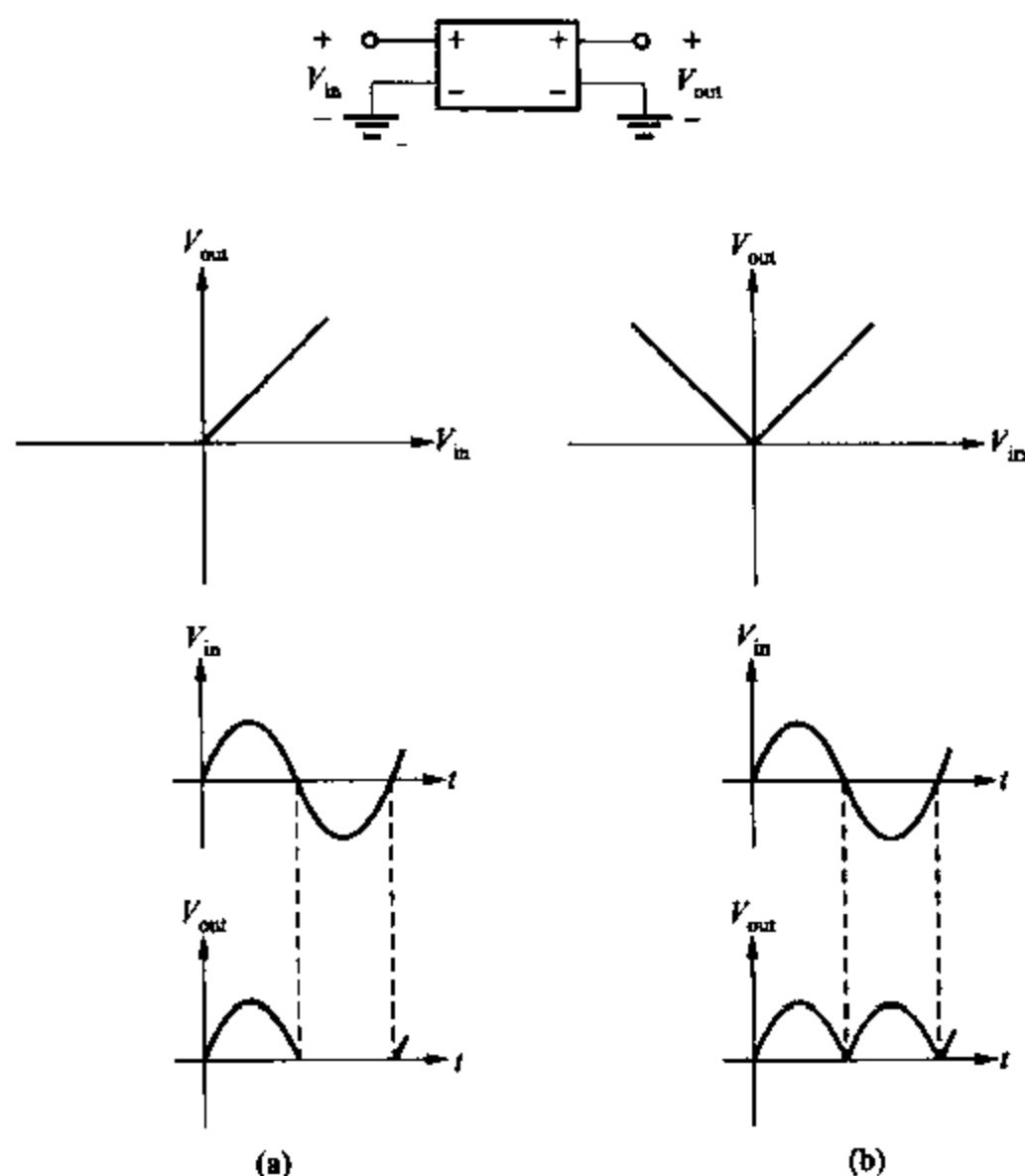


图 10.1 整流器传输特性和直流波形输入的响应
(a) 半波整流; (b) 全波整流

性时,在二极管导通之前,输出电压保持与输入电压相等。这发生在输入电压大致等于 -0.6 V 时,随着输入电压的幅度超过这个值,二极管的输出电压固定在 -0.6 V ,如图 10.2c 所示的等效电路图。直流传输的净结果的传输特性标如图 10.2d 所示。如果把正弦信号作为输入,那么输出将是输入的整流过的半波形式,如图 10.2e 所示。

这种整流电路的一个重要的缺点是它的整流不精确;二极管的前向压降使这种电路能够通过介于 0 和 -0.6 V 之间的信号。如果信号的幅度只有 $2\sim 3\text{ V}$,那么输出波形将不是图 10.1 所示的输入波形的整流形式的精确复制。在许多信号处理的应用中,这种误差太大,是不能接受的。

这种整流器的性能可以通过增加有源器件得到大大的提高。考虑图 10.3 所示的有源整流器。二极管被一个由一个二极管和一个增益为 a 的运算放大器组成的子电路所代替。首先,考虑二极管-功放组合的电流-电压特性。假设该运算放大器是理想的,那么输入其输入端的电流为零,电流全部通过二极管流到运算放大器的输出端。

二极管的正向压降等于功率放大器(功放)的输入电压 V_i 和输出电压 V_o 的差值,所以二极管的电流 I 为

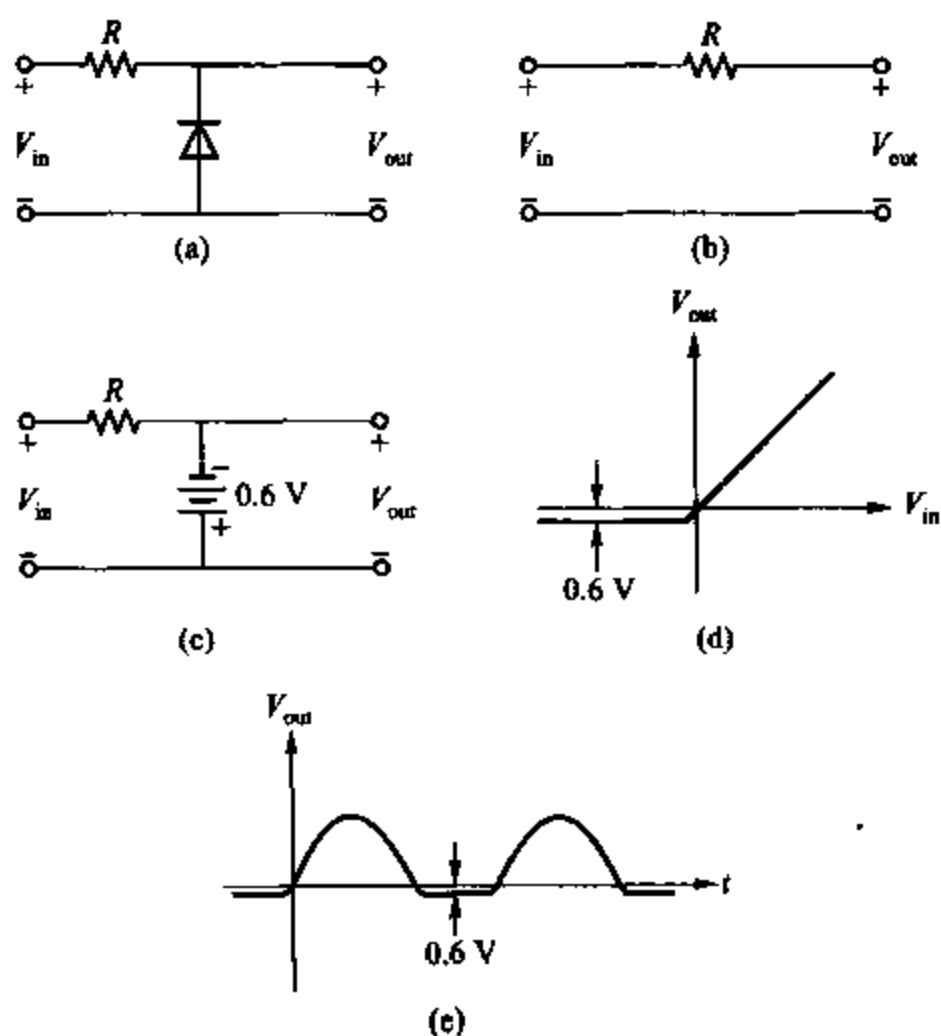


图 10.2 简单的二极管半波整流器

(a) 整流电路; (b) $V_{in} > 0.6 \text{ V}$ 时的等效电路;(c) $V_{in} < 0.6 \text{ V}$ 时的等效电路; (d) 直流传输特性; (e) 正弦输入响应

$$I = -I_s \left[\exp\left(\frac{V_o - V_i}{V_T}\right) - 1 \right] \quad (10.1)$$

运算放大器的增益为 a , 因而

$$V_o = -aV_i \quad (10.2)$$

注意电路的输出电压 V_{out} 不是运算放大器的输出电压 V_o 。运算放大器的输出只是用来驱动二极管。电路的输出电压等于运算放大器的输入电压。在二极管是正向偏置的情况下, 这个电压值可以通过式(10.1)和式(10.2)导出:

$$V_i = -\frac{V_T}{a+1} \ln\left(\frac{-I}{I_s} + 1\right) = V_{out} \quad (10.3)$$

注意相对于单独使用的二极管, 这里的正向电压降减少到 $(a+1)$ 倍。由于运算放大器能够很容易地获得上千倍的电压增益, 决定正向压降的因素是运算放大器的偏置电压。

当输入电压是正值时, 运算放大器驱动二极管进入反偏值状态, 此时式(10.3)已经不能很好地描述本电路的行为了。由于二极管的存在, 没有比二极管的反向泄漏电流大的电流能够流进复合设备。因此, 当图 10.3 所示的电压变成正极性时, 将没有电流流过电阻, 运算放大器的输入电压 V_i 等于 V_{in} 。这将驱动运算放大器的输出电压向相反的方向变化, 直到

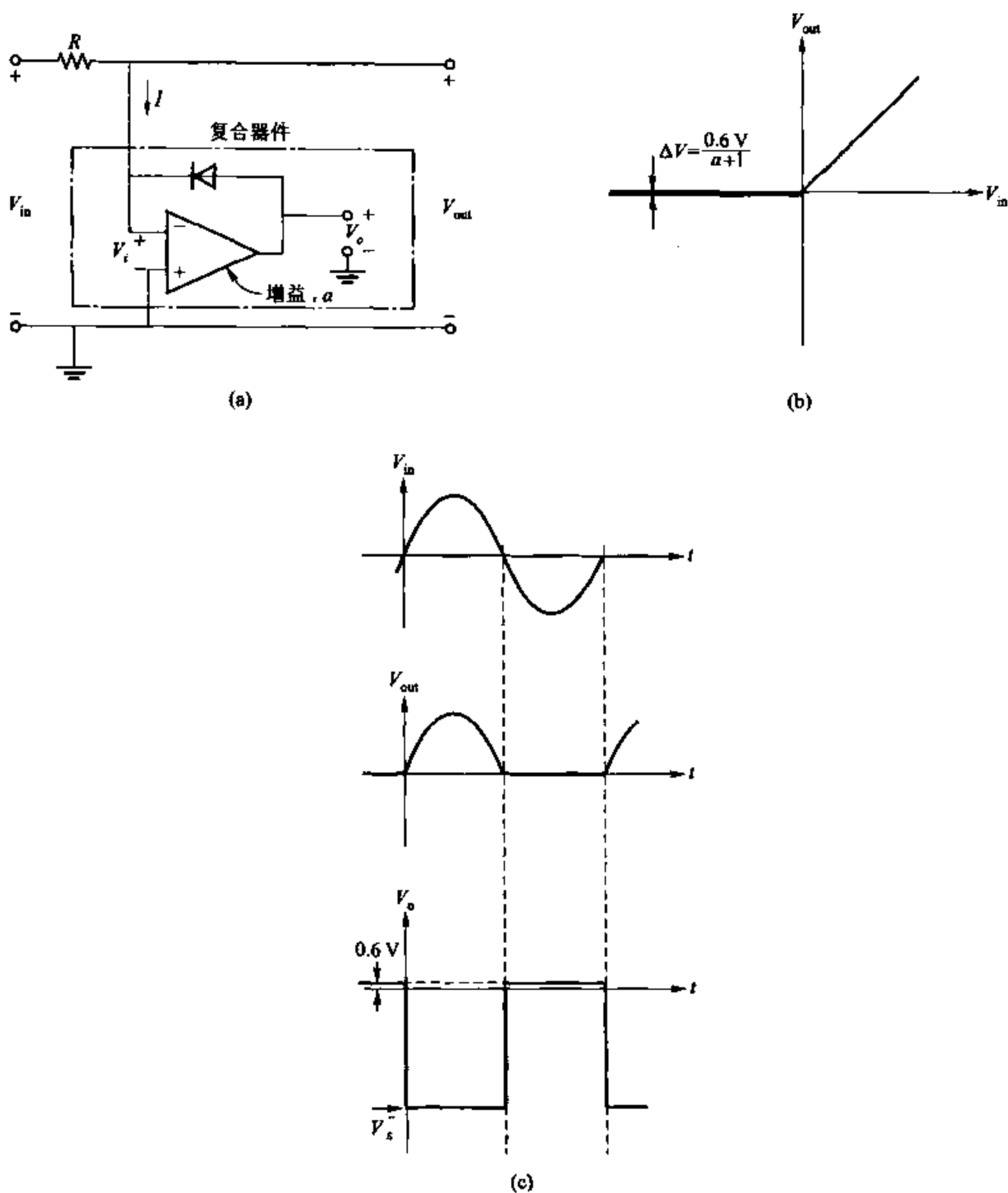


图 10.3 有源精密半波整流器

(a) 整流电路; (b) 直流传输特性。运算放大器不加偏置电压时对于 $V_{in} < 0$ 的微伏范围内的输出电压; (c) 精密半波整流的输入和输出波形。 V_o 是运算放大器的输出电压。

在输入发生正漂移过程中, V_o 达到运算放大器的输出饱和电压 V_s ;

输出电压饱和。另外, 对于正极性输入电压, 输入电压 V_{in} 直接加到运算放大器的输入端, 放大器达到饱和状态。

图 10.3a 的整流器的直流传输特性如图 10.3b 所示,注意曲线接近于理想的整流器。

改进的精密半波整流器 图 10.3 所示的整流电路有着对正输入运算放大器在负方向达到饱和性质。如图 10.3 所示,当输入电压经过零点时,要求运算放大器的输出电压立刻从饱和电压(V_s)到 $+0.6\text{ V}$ 。由于实际的运算放大器的回转速度有限(参见第九章),这种现象不可能发生,随着输入正弦信号的频率增加,输出波形将不是输入波形的精确整流形式。图 10.4 所示为能够很大程度减轻这种现象的另一种电路。除了增加一个二极管 D_2 和一个电阻外,这种电路近似于原电路。

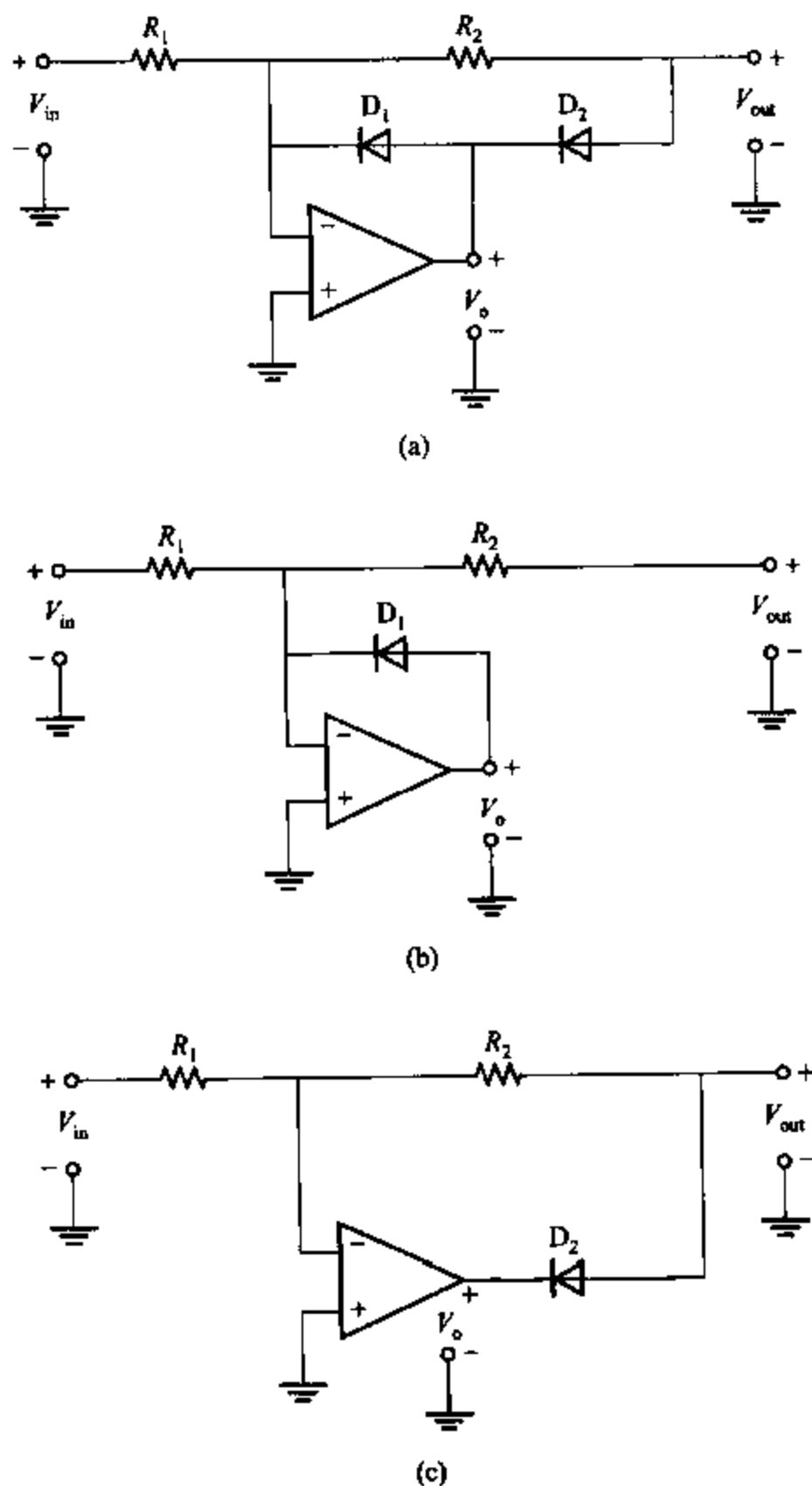


图 10.4 改进的精密整流器

(a) 整流电路;(b) 对应 $V_{in} < 0$ 的等效电路;(c) 对应 $V_{in} > 0$ 的等效电路

对于小于零的输入电压,这个电路的功能和图 10.3 所示的电路完全一样。这种条件下的等效电路如图 10.4b 所示,二极管 D_1 处于正偏置状态,运算放大器处于放大区。运算放大器的反向输入端通过 D_1 的反馈钳制在地电平,同时,因为没有电流流经 R_2 ,输出电压也是地电平。当输入电压是正极性时,没有电流能够反向流经 D_1 ,所以运算放大器的输出电压 V_o 是负的。 D_1 反向偏置而 D_2 正向偏置。等效电路如图 10.4c 所示。简单地说,这是一个具有与运算放大器输出端串联地正偏置二极管的反向放大器。由于运算放大器的大增益,只要二极管是正偏置,它就不起任何作用,所以电路作为反向放大器输出电压为

$$V_{out} = -\frac{R_2}{R_1} V_{in} \quad (10.4)$$

如图 10.5 所示,当该运算放大器的输入信号从正极性变成负极性时,输出电压的数值只需要改变大约两个二极管的压降。实际上,这只是有源整流电路的一种,有的整流电路可以用于更高速的运算。¹

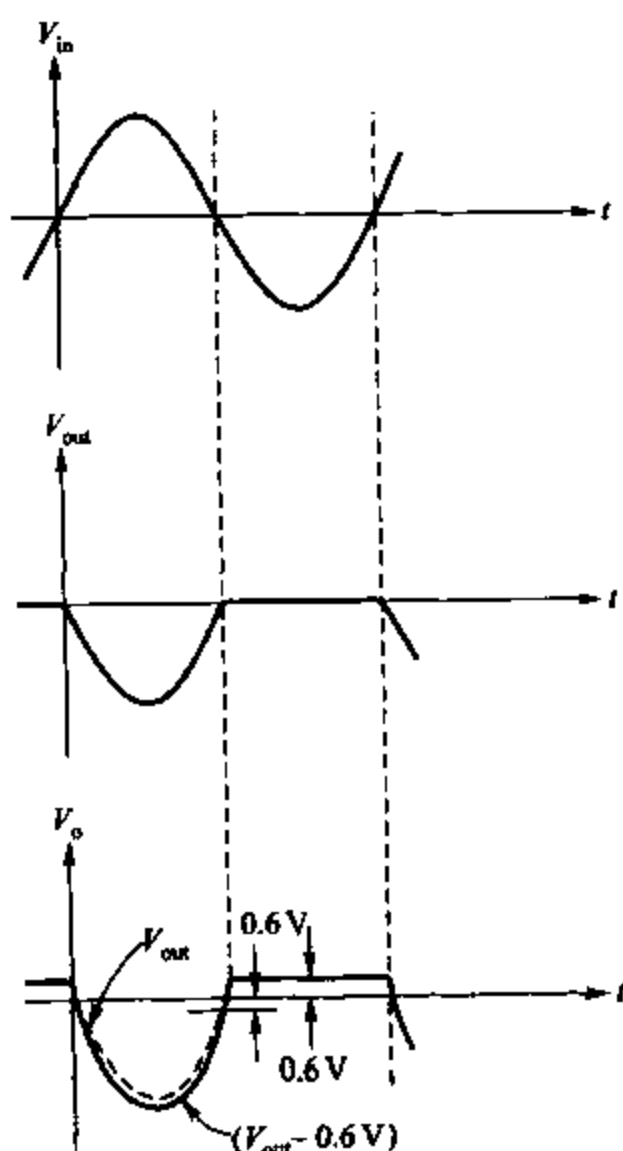


图 10.5 改进的精密整流器输入
正弦波时内部的波形

10.3 使用双极型晶体管的模拟乘法器

在模拟信号处理中,常常需要一个输入两个模拟量并产生一个与它们的乘积成正比的输出的电路,这种电路称为模拟乘法器。下面的若干小节将研究几种依靠指数传输函数的场效应管的模拟乘法器。

10.3.1 共射极对管构成简单的乘法器

共射极对管,如图 10.6 所示,如第三章所述产生跟输入电压的差分有关的输出电流

$$I_{c1} = \frac{I_{EE}}{1 + \exp\left(-\frac{V_{id}}{V_T}\right)} \quad (10.5)$$

$$I_{c2} = \frac{I_{EE}}{1 + \exp\left(\frac{V_{id}}{V_T}\right)} \quad (10.6)$$

这里忽略了基极电流。式(10.5)和式(10.6)可以合并起来给出两个输出电流的差值:

$$\Delta I_c = I_{c1} - I_{c2} = I_{EE} \tanh\left(\frac{V_{id}}{2V_T}\right) \quad (10.7)$$

这个关系画在图 10.7 中,它显示了耦合射极对可以作为一个粗略的乘法器。首先假设差分输入电压值 V_{id} 远远小于 V_T 。如果这个假设成立,就可以使用下面的近似

$$\tanh \frac{V_{id}}{2V_T} \approx \frac{V_{id}}{2V_T} \quad \frac{V_{id}}{2V_T} \ll 1 \quad (10.8)$$

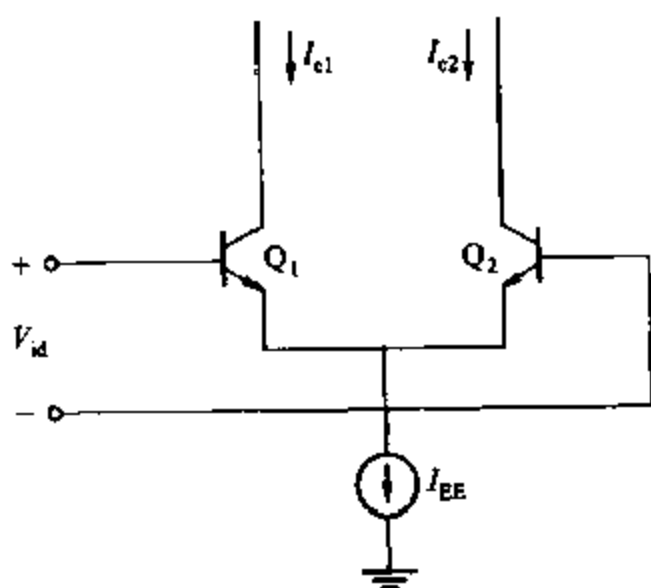


图 10.6 共射极对管

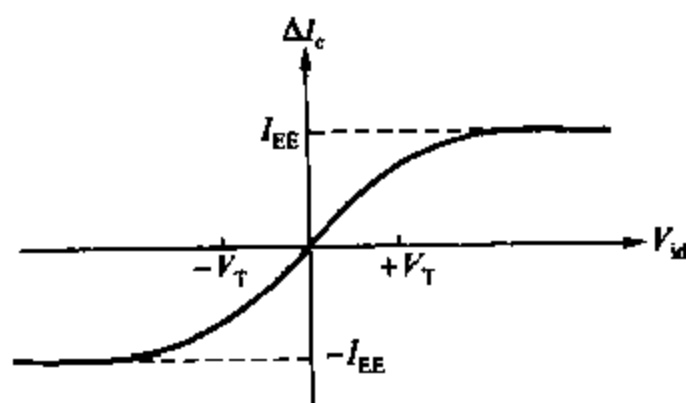


图 10.7 共射极对管的直流转移特性

而式(10.7)变成

$$\Delta I_c \approx I_{EE} \left(\frac{V_{id}}{2V_T} \right) \quad (10.9)$$

电流 I_{EE} 实际上是共射极对管的偏置电流。增加这些电路,可以使 I_{EE} 与另一个输入信号

V_{i2} 成比例,如图 10.8 所示。所以,有

$$I_{EE} \approx K_o (V_{i2} - V_{BE(on)}) \quad (10.10)$$

把式(10.10)代入式(10.9)可以计算共射极对管的差分输出电流

$$\Delta I_c = \frac{K_o V_{id} (V_{i2} - V_{BE(on)})}{2V_T} \quad (10.11)$$

所以,在 V_{id} 很小而 V_{i2} 大于 $V_{BE(on)}$ 的假设下可看作乘法器的电路。后一个限制条件意味着这个乘法器在 $V_{id} - V_{i2}$ 平面中只有两个象限起作用,所以这种乘法器被称为二象限乘法器。只能在两个象限起作用对许多通信应用是很苛刻的限制,许多的乘法器允许四象限工作。如图 10.9 所示的吉尔伯特乘法单元是射极耦合单元的改进,²它就允许四象限乘法运算。它是许多集成电路平衡乘法器系统的基础。一对共射极对管和两个交叉耦合对串联起来,共射极对管有非常有用的传输特性,如下一节所示。

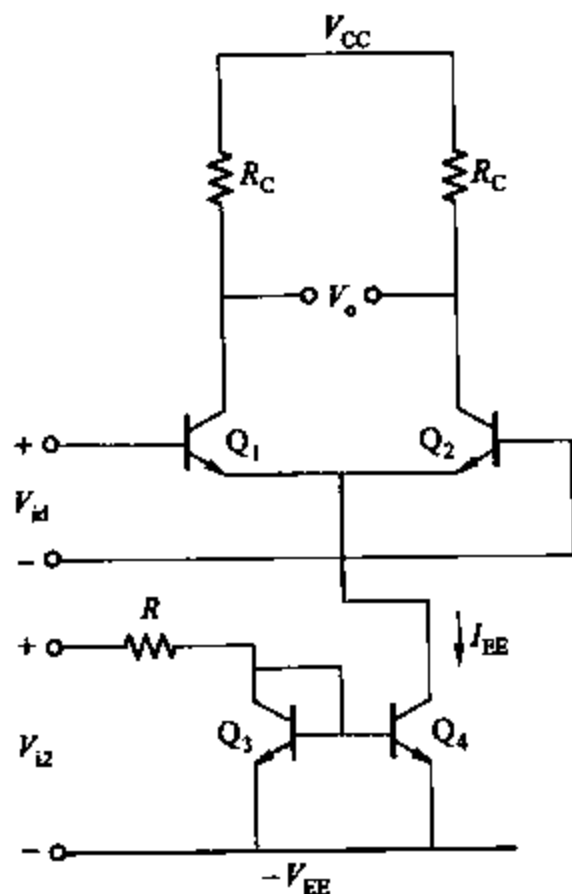


图 10.8 二象限模拟乘法器

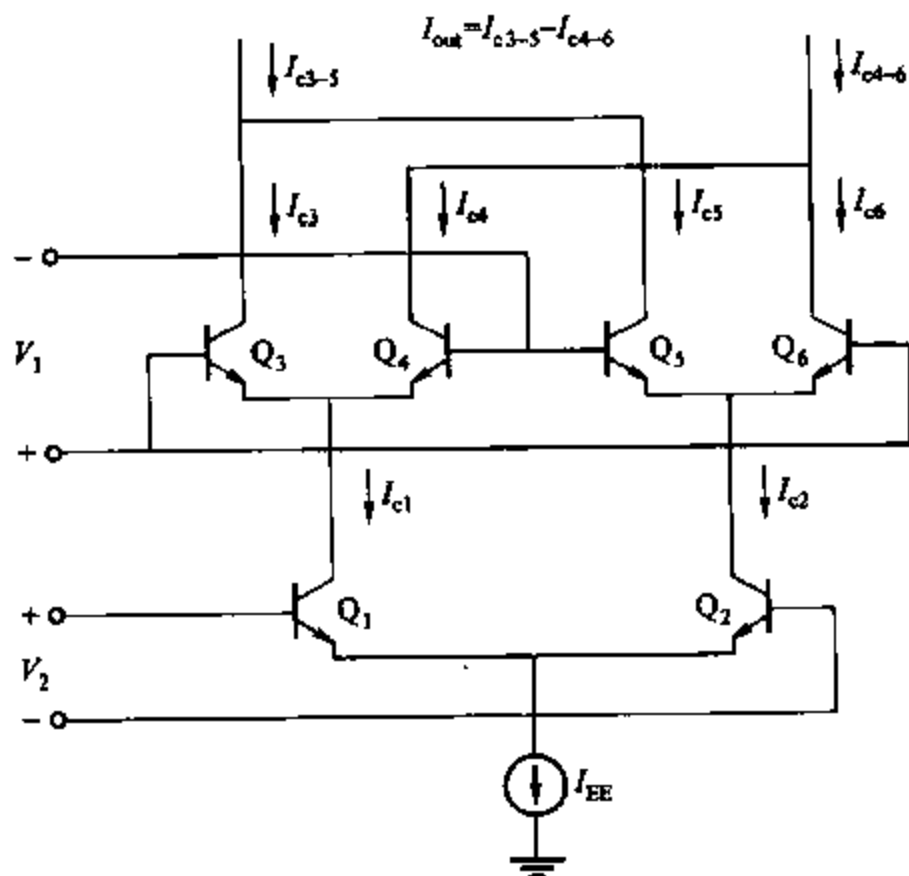


图 10.9 吉尔伯特乘法器电路

10.3.2 吉尔伯特单元的直流分析

下面的分析,假设晶体管都是完全一样的,晶体管的输出电阻和偏置电流源可以忽略,并且基极电流也可忽略不计。对图 10.9 所示的吉尔伯特单元,应用式(10.5)和式(10.6), Q_3 和 Q_4 的集电极电流是

$$I_{c3} = \frac{I_{c1}}{1 + \exp\left(-\frac{V_1}{V_T}\right)} \quad (10.12)$$

$$I_{c1} = \frac{I_{c1}}{1 + \exp\left(\frac{V_1}{V_T}\right)} \quad (10.13)$$

与此类似, Q_5 和 Q_6 的集电极电流如下:

$$I_{c5} = \frac{I_{c2}}{1 + \exp\left(\frac{V_1}{V_T}\right)} \quad (10.14)$$

$$I_{c6} = \frac{I_{c2}}{1 + \exp\left(-\frac{V_1}{V_T}\right)} \quad (10.15)$$

两个电流 I_{c1} 和 I_{c2} 跟 V_2 是有联系的, 可以再次使用式(10.5)和式(10.6)

$$I_{c1} = \frac{I_{EE}}{1 + \exp\left(-\frac{V_2}{V_T}\right)} \quad (10.16)$$

$$I_{c2} = \frac{I_{EE}}{1 + \exp\left(\frac{V_2}{V_T}\right)} \quad (10.17)$$

综合式(10.12)~式(10.17), 通过输入电压 V_1 和 V_2 可以得到集电极电流 I_{c3} , I_{c4} , I_{c5} 和 I_{c6} 。

$$I_{c3} = \frac{I_{EE}}{\left[1 + \exp\left(-\frac{V_1}{V_T}\right)\right] \left[1 + \exp\left(-\frac{V_2}{V_T}\right)\right]} \quad (10.18)$$

$$I_{c4} = \frac{I_{EE}}{\left[1 + \exp\left(-\frac{V_2}{V_T}\right)\right] \left[1 + \exp\left(\frac{V_1}{V_T}\right)\right]} \quad (10.19)$$

$$I_{c5} = \frac{I_{EE}}{\left[1 + \exp\left(\frac{V_1}{V_T}\right)\right] \left[1 + \exp\left(\frac{V_2}{V_T}\right)\right]} \quad (10.20)$$

$$I_{c6} = \frac{I_{EE}}{\left[1 + \exp\left(\frac{V_2}{V_T}\right)\right] \left[1 + \exp\left(-\frac{V_1}{V_T}\right)\right]} \quad (10.21)$$

下面给出差分输出电流的计算公式:

$$\Delta I = I_{c3-5} - I_{c4-6} = I_{c3} + I_{c5} - (I_{c4} + I_{c6}) \quad (10.22)$$

$$\begin{aligned} &= (I_{c3} - I_{c6}) - (I_{c4} - I_{c5}) \\ &= I_{EE} \left[\tanh\left(\frac{V_1}{2V_T}\right) \right] \left[\tanh\left(\frac{V_2}{2V_T}\right) \right] \end{aligned} \quad (10.23)$$

于是, 直流传输特性就是两个输入电压的双曲正切函数的乘积。

实际应用中的乘法器单元可以根据使用的信号 V_1 和 V_2 跟 V_T 的幅度关系分成三类。

如果 V_1 和 V_2 的幅度保持相对于 V_T 很小,则双曲线正切函数可以近似为线性,此电路起到乘法的作用,产生 V_1 和 V_2 的乘积。不过,如果为每个双曲正切函数的输入提供非线性补偿,那么保持线性的输入电压范围可以得到很大的扩展。这一技术在所谓的四象限模拟乘法器中得到使用。

第二类用法的区别在于它的一个输入信号相对于 V_T 是大信号,以致晶体管的行为类似于开关而不是近似线性器件。它有效地把小信号和方波信号相乘,这种电路的操作模式类似于调制器。

第三类用法中,两个输入端的输入信号相对于 V_T 都是大信号,而 6 个晶体管作为非饱和和开关使用。此模式在比如锁相环路中必须鉴别两个限幅信号的相位差时是很有用的,有时候它也被称为鉴相模式。

首先考虑把这种电路作为两个连续信号的模拟乘法器的情况。

10.3.3 使用吉尔伯特单元的模拟乘法器

如前所述,双曲正切函数可以用一个无穷序列来表示:

$$\tanh x = x - \frac{x^3}{3} \quad (10.24)$$

假设 x 远远小于 1,那么该双曲正切函数可以近似为

$$\tanh x \approx x \quad (10.25)$$

把这一关系代入式(10.23),则有

$$\Delta I \approx I_{EF} \left(\frac{V_1}{2V_T} \right) \left(\frac{V_2}{2V_T} \right) \quad V_1, V_2 \ll V_T \quad (10.26)$$

所以,对于幅度小的信号,此电路起到模拟乘法器的作用。然而,通常情况下输入信号的幅度是远大于 V_T 的,但是可以通过许多方法使大信号仍可应用于此电路中。对只有一个输入信号相对于 V_T 是大信号的情况,射极反馈可以用于共射极对管中,以增大 V_2 的线性输入范围,如图 10.10 所示。然而,这一方法不能用于交叉对管 $Q_3 \sim Q_6$,因为这些设备中的反馈电阻破坏了 I_c 和 V_{be} 间必要的非线性关系。

这里还介绍了另一种方法,使用非线性特性预先补偿输入信号以补偿基本单元的双曲正切特性。所需的非线性特性是反双曲正切特性。图 10.11 给出了此类系统的一个假设的例子。幸运的是,这一非线性特性可以直接产生。

参照图 10.12,假设框格里面电路产生跟输入电压 V_1 成线性关系的差分输出电流。所以,有

$$I_1 = I_{ol} + K_1 V_1 \quad (10.27)$$

$$I_2 = I_{ol} - K_1 V_1 \quad (10.28)$$

这里,如果 V_1 等于零,则 I_{ol} 是流到各个输出端的直流电流, K_1 是此电压-电流转换器的跨导。经过二极管连接形式的晶体管的差分电压为

$$\Delta V = V_T \ln \left(\frac{I_{ol} + K_1 V_1}{I_s} \right) - V_T \ln \left(\frac{I_{ol} - K_1 V_1}{I_s} \right)$$

$$= V_T \ln \left(\frac{I_{ol} + K_1 V}{I_{ol} - K_1 V_1} \right)$$

(10.29)

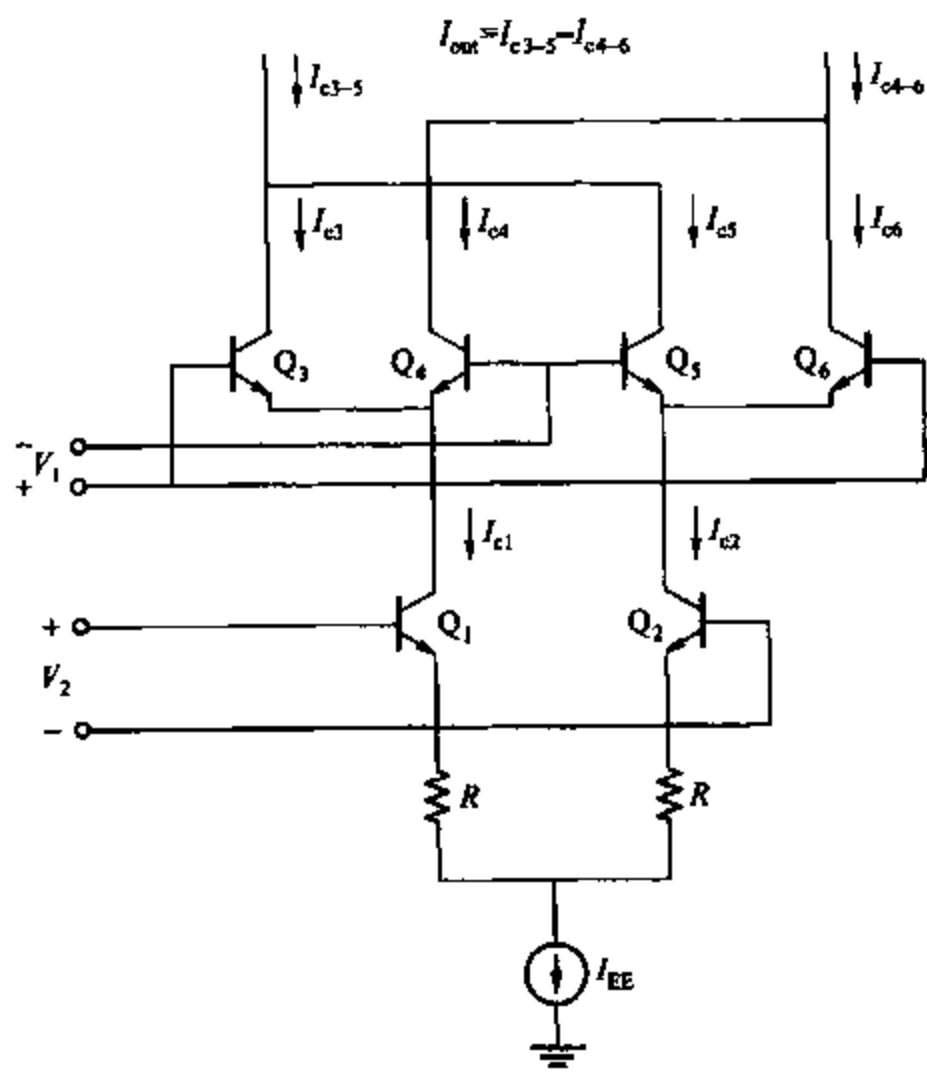


图 10.10 使用射极反馈改进 V_2 输入端的输入电压范围的吉尔伯特乘法器

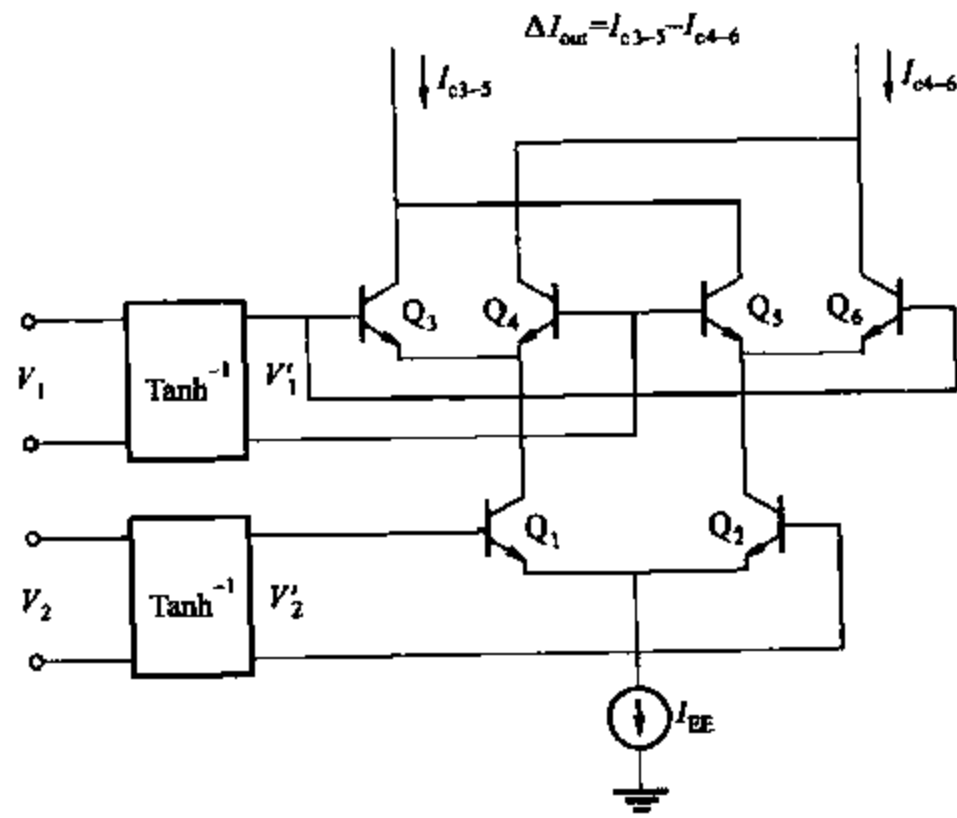


图 10.11 使用前置补偿电路的吉尔伯特乘法器

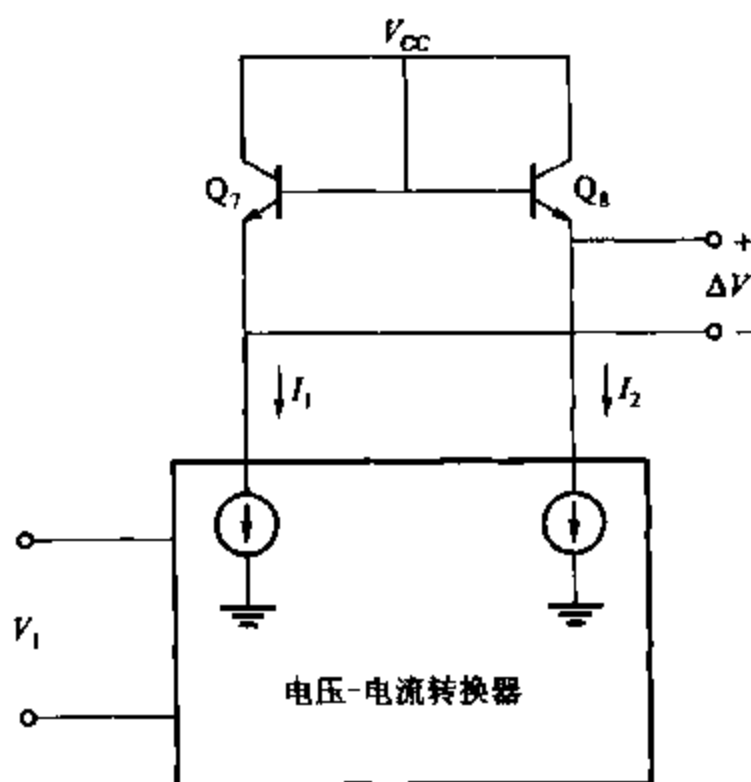


图 10.12 反双曲正切电路

使用恒等式

$$\tanh^{-1} x = \frac{1}{2} \ln \left(\frac{1+x}{1-x} \right) \quad (10.30)$$

该公式可以表示成所需的关系:

$$\Delta V = 2 V_T \tanh^{-1} \left(\frac{K_1 V_1}{I_{o1}} \right) \quad (10.31)$$

因此,如果使用这一功能模块跟图 10.11 的各输入端连接起来补偿非线性,由式(10.23),整个电路的传输特性变成

$$\Delta I = I_{EE} \left(\frac{K_1 V_1}{I_{o1}} \right) \left(\frac{K_2 V_2}{I_{o2}} \right) \quad (10.32)$$

其中 I_{o2} 和 K_2 是功能模块 V_2 的参数。

由式(10.32)可以看出差分输出电流与乘积 $V_1 V_2$ 成正比,而且理论上,这一关系对任意值的 V_1 和 V_2 都成立。为了使这一条件成立, I_1 和 I_2 必须保持为正值。由式(10.27)和式(10.28)有

$$-\frac{I_{o1}}{K_1} < V_1 < \frac{I_{o1}}{K_1} \quad (10.33)$$

$$-\frac{I_{o2}}{K_2} < V_2 < \frac{I_{o2}}{K_2} \quad (10.34)$$

注意由于包含在 V_2 输入端的补偿非线性,因而 Q_1 和 Q_2 的集电极电流与输入电压 V_2 成正比而不是双曲正切关系。所以 $Q_1 - Q_2$ 对的组合与在 V_2 输入端的补偿非线性是多余的,并且 V_2 输入端的电压-电流转换器的输出电流的可以直接流向 $Q_3 - Q_4$ 和 $Q_5 - Q_6$ 的发射极并提供完全一致的结果。这样乘法器可以看成如图 10.13 所示的形式。

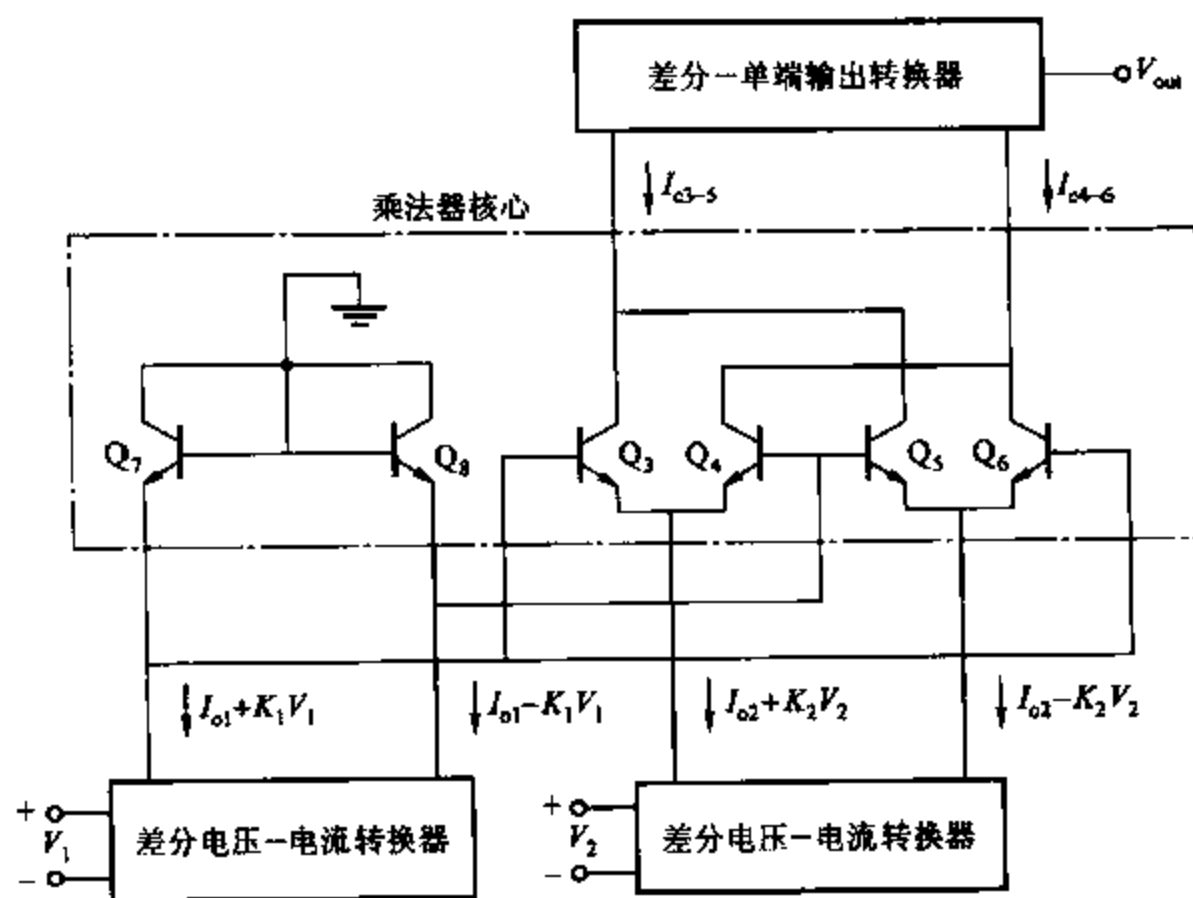


图 10.13 完整的四象限乘法器

10.3.4 完整的模拟乘法器³

为了能在很多电路中使用,乘法器电路必须产生一个相对于地电平可正可负的输出电压。图 10.13 中的晶体管 Q_3 、 Q_4 、 Q_5 、 Q_6 、 Q_7 和 Q_8 可看作这个乘法器的核心部分并且产生差分电流输出信号,这一信号将被放大,转换成单端信号,参考地电平。这就要求一个输出乘法器。完整的乘法器由两个电压-电流转换器、“核心”晶体管和一个输出电流-电压转换器组成。许多四象限跨导电路都使用图 10.13 所示的核心配置,但是电路的其他部分的实现却大相径庭。

图 10.10 所示的带射极反馈的共射极对管是电压-电流转换器的最常见配置。图 10.13 所示的差模-单端信号转换器经常被实现为如图 6.4 所示的带运算放大器的电路。若此电路有下式的跨阻:

$$\frac{V_{out}}{\Delta I} = K_3 \quad (10.35)$$

那么代入式(10.32)得到整个乘法器电路的特性函数

$$V_{out} = I_{EE} K_3 \frac{K_1}{I_{o1}} \frac{K_2}{I_{o2}} V_1 V_2 \quad (10.36)$$

于是输出电压在一个相当大的范围内和乘积 $V_1 V_2$ 成正比。式(10.26)中的常数经常是指定的,所以

$$V_{out} = 0.1 V_1 V_2 \quad (10.37)$$

所有的电压的范围都为 ± 10 V。

10.3.5 吉尔伯特乘法器单元构成平衡调制器和鉴相器

上面描述的四象限乘法器是正常操作情况下所有设备都处于放大区域的乘法器单元的一个例子。在这种用法中,电路能够对两个连续变化的信号进行精确的乘法操作。然而,在通信系统中,常常需要更多的能将连续变化信号和方波信号相乘的操作。可以通过在此乘法电路中直接向交叉对管输入足够大的信号(如和 $2V_T$ 一样大),使四个晶体管中两个交替关闭而另外两个让所有电流通过来实现这个操作。由于电路中晶体管没有达到饱和状态,所以这一过程可以实现高速操作。一个使用正弦信号作为小信号输入方波信号作为大信号输入形成典型输出波形如图 10.14 所示。注意由于输入的方波信号是用来控制乘法器开关部分的导通和闭合的,因此只要方波幅度大到足够让开关部分完全导通或闭合,则输出波形的幅度也就独立于方波信号的幅度。所以该电路处于此模式时,并不是实现两个波形的相乘,而是使电路的小信号输入的输出电压交替地跟 $+1$ 或 -1 相乘。

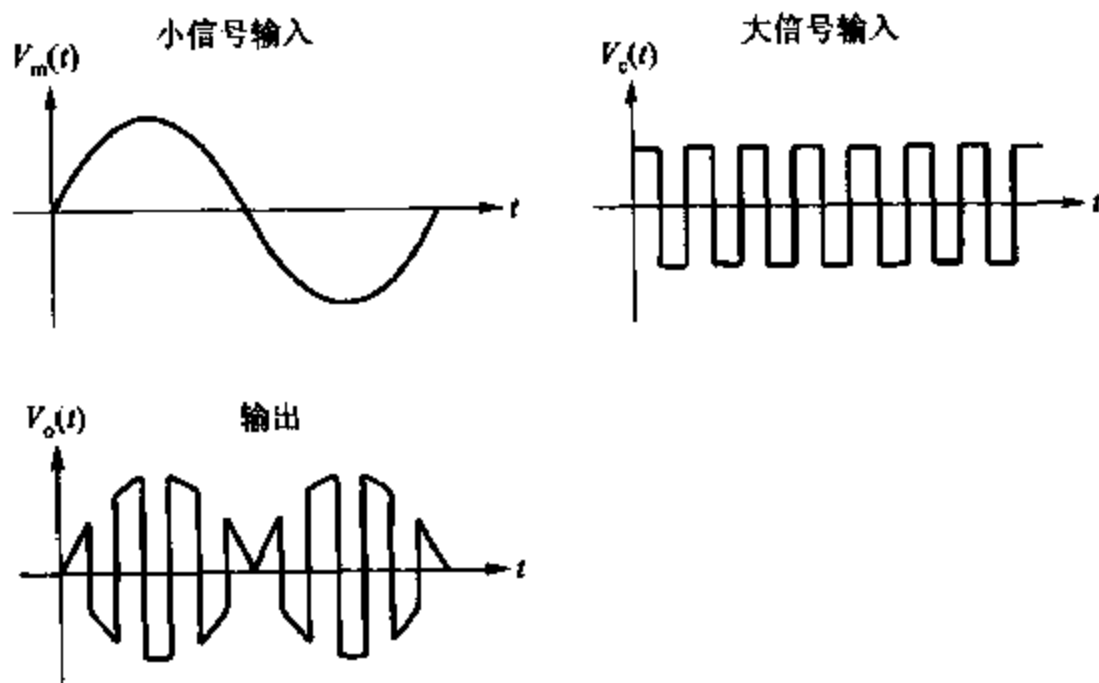


图 10.14 对大信号输入的鉴相器的输入和输出波形

输出的频谱可以直接从两个输入的傅立叶序列得到。对于低频调制的正弦输入,

$$V_m(t) = V_m \cos \omega_m t \quad (10.38)$$

和如前所述的假定幅度为 ± 1 的高频的方波输入,有

$$V_c(t) = \sum_{n=1}^{\infty} A_n \cos n\omega_c t, \quad A_n = \frac{\sin \frac{n\pi}{2}}{\frac{n\pi}{4}} \quad (10.39)$$

所以输出信号为

$$V_o(t) = K[V_c(t)V_m(t)] = K \sum_{n=1}^{\infty} A_n V_m \cos \omega_m t \cos n\omega_c t \quad (10.40)$$

$$= K \sum_{n=1}^{\infty} \frac{A_n V_m}{2} [\cos(n\omega_c + \omega_m)t + \cos(n\omega_c - \omega_m)t] \quad (10.41)$$

其中 K 是小信号从输入端到输出端经过乘法器时获得的增益。

频谱在 ω_c 的各阶谐波两旁的 ω_m 处都存在分量,但是在 ω_c 及其各阶谐波上没有分量。输入信号及其输出信号的频谱参见图 10.15。输出信号在载波处不出现分量是平衡调制器的一个很有用的特点。信号在调制后再进行滤波,以使 ω_c 附近的信号保留下来。

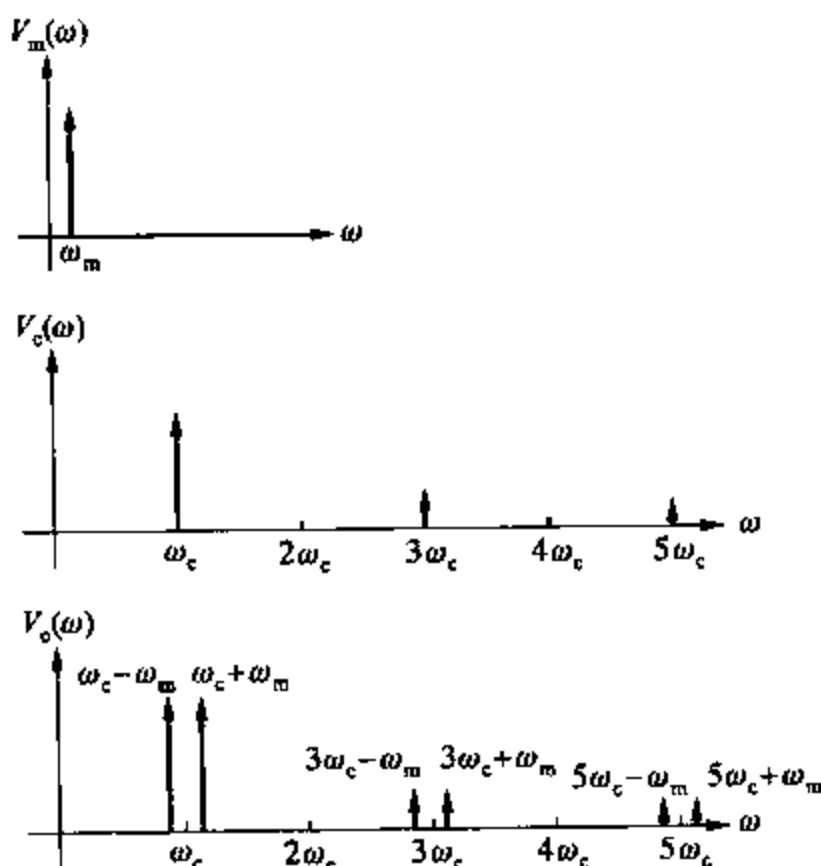


图 10.15 平衡调制器的输入和输出频谱

如果加到调制输入端的是直流分量,则输出得到的是载频及其谐波分量。如果调制信号为

$$V_m(t) = V_m(1 + M \cos \omega_m t) \quad (10.42)$$

其中 M 称为调制指数,则得到输出为

$$V_o(t) = K \sum_{n=1}^{\infty} A_n V_m \left[\cos(n\omega_c t) + \frac{M}{2} \cos(n\omega_c + \omega_m)t + \frac{M}{2} \cos(n\omega_c - \omega_m)t \right] \quad (10.43)$$

在普通幅度调制器中特意引入直流分量,以避免调制器内部的电压偏移,而在抑制载波调制器中这将导致不应该出现的载频通过。

注意平衡调制器实际上起到频率转移的作用。包含在调制信号 $V_m(t)$ 中的信息原来集中在调制频率 ω_m 上。由于调制器的转化作用,现在信息包含在位于常被称为载波信号的高频信号 $V_c(t)$ 的谐波分量附近。平衡调制器同样可以起到解调器的作用。解调器是从载波频率附近的频带提取信息并把信息重新转移到低频。

在频率转移时,两个不同频率的信号从两个输入端输入,其和频或差频信号从输出端输出。如果两个频率都为 ω_c 的未调制信号输入到两个输入端,那么电路起到鉴相器的作用,

得到含有与两路输入信号的相位差成正比的直流分量的输出。例如,考虑如图 10.16 中的两个输入波形,它们都被作为同一图中的吉尔伯特乘法器的输入。为了简化,先假设输入的幅度都足够大电路中的晶体管都可看作开关。结果的输出波形见图 10.16c,它由直流分量和输入频率的倍频分量组成。波形的直流分量由下式得出

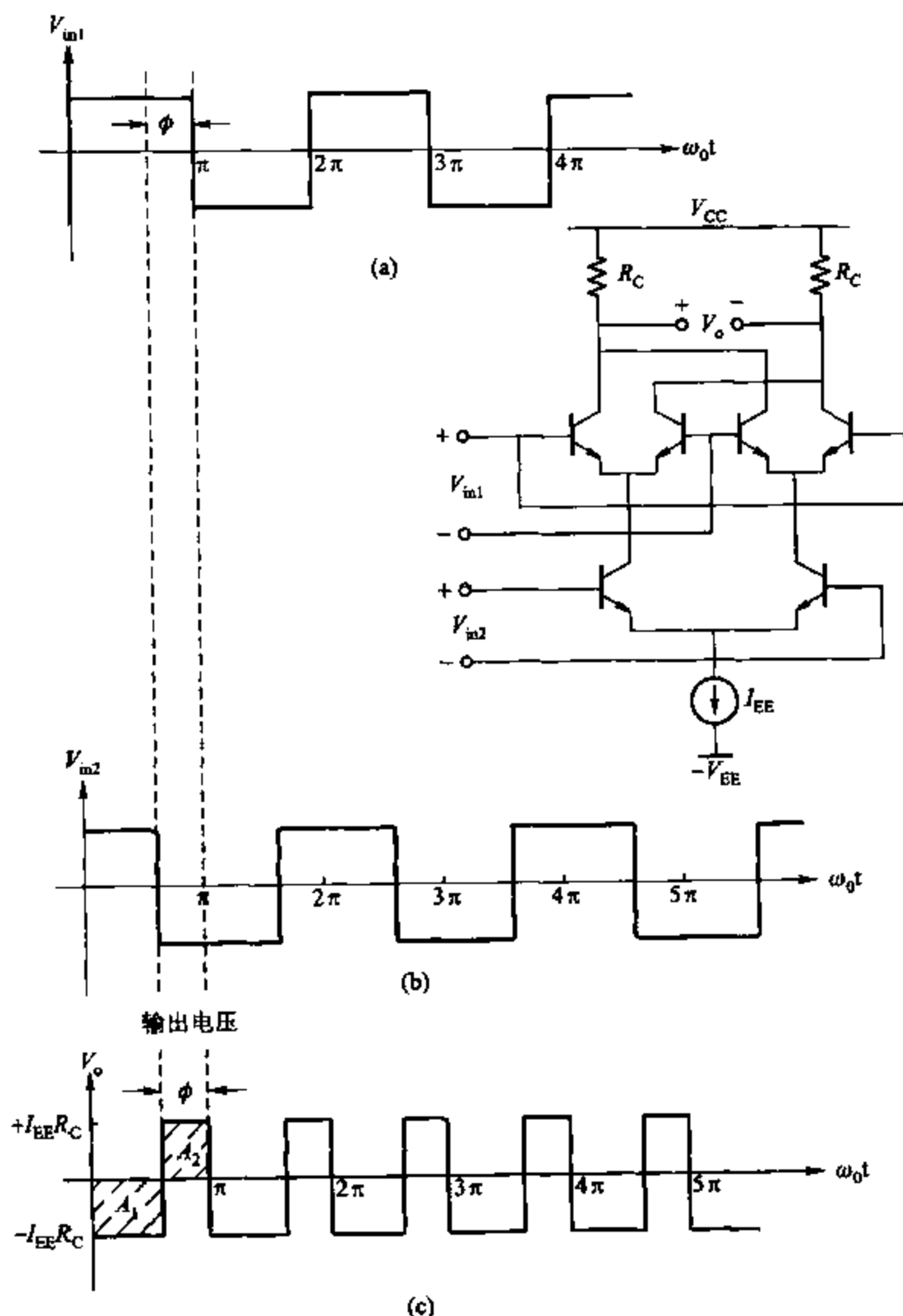


图 10.16 鉴相器的典型输入和输出波形

$$V_{\text{average}} = \frac{1}{2\pi} \int_0^{2\pi} V_o(t) d(\omega_0 t) \quad (10.44)$$

$$= -\frac{1}{\pi}(A_1 - A_2) \quad (10.45)$$

其中 A_1 和 A_2 见图 10.16c 的声明。所以

$$V_{\text{average}} = -\left[I_{EE} R_C \frac{(\pi - \phi)}{\pi} - \frac{I_{EE} R_C \phi}{\pi} \right] \quad (10.46)$$

$$= I_{EE} R_C \left(\frac{2\phi}{\pi} - 1 \right) \quad (10.47)$$

相位关系如图 10.17 所示。此相位解调技术在锁相环中得到广泛的使用。

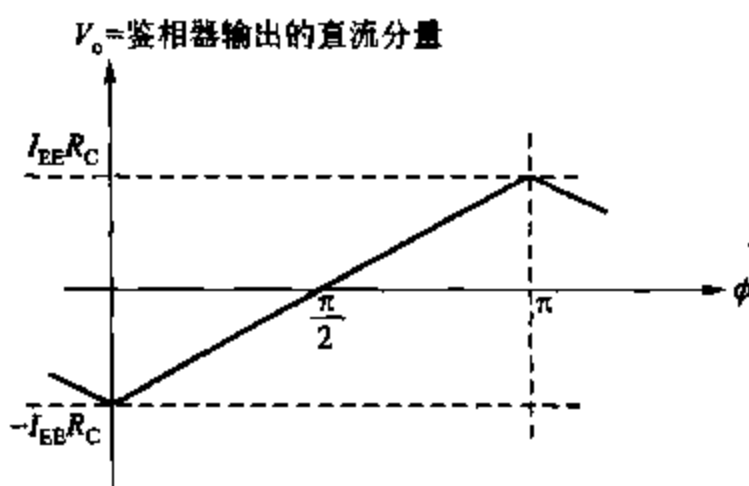


图 10.17 鉴相器输出相对相位差

上面是假设输入波形在幅度上足够大并且是方波。如果输入信号的幅度足够大,因为乘法器仅仅起到在波形穿过零点时从一个状态变换到另一个状态的开关作用,那么实际波形的形状就不重要了。对于一个或两个输入信号的幅度接近或者小于 V_T 的情况,该电路仍然能起到鉴相器的作用。然而,这时输出电压依赖于相位差和两个输入波形的幅度。这个模式中电路的作用将在 10.4.3 中作进一步的考虑。

10.4 锁相环路(PLL)

锁相环路概念的首次提出是在 20 世纪 30 年代。⁴ 它已经以很多形式在通信系统中得到应用,尤其是在卫星通信系统。然而对于大多数消费者和工业系统来说,今天的锁相系统仍然过于复杂和昂贵,这一工业系统的性能要求较低而且使用其他方法更加经济。不过 PLL 尤其适用于单片设备,而且集成的锁相环路现在的生产成本非常低。⁵ 它们的用途对诸如 FM 解调器、立体声解调器、声音检测器、频率分析仪和其他很多应用都有很大的吸引力。这一节首先探究 PLL 的基本操作,然后解析在锁定条件下环路的作用。然后讨论了一些应用,最后设计单片 PLLS。

10.4.1 锁相环路概念

基本的锁相环系统的方框图如图 10.18 所示。系统的基本元件是一个相位比较器、一

个环路滤波器、一个放大器和一个压控振荡器。压控振荡器或者 VCO 就是频率与外加的电压成正比的振荡器。鉴相器产生与输入信号和 VCO 输出信号相位差成正比的直流或低频信号,接着这个对相位敏感的信号通过环路滤波器和放大器,然后作为 VCO 的输入控制信号。例如,如果输入信号的频率逐渐改变,那么 VCO 信号和输入信号的相位差将随时间增大,这样将使 VCO 上的电压改变,以同样的方式使 VCO 的频率回到和输入信号相同。所以此回路能在输入信号频率改变时保持锁定,而 VCO 的输入电压与输入信号的频率成正比。这种行为使得 PLL 在 FM 信号的解调中尤其有用,因为输入信号频率随时间变化且包含了所需的信息。能使回路保持锁定的输入信号的频率范围称为锁定范围。

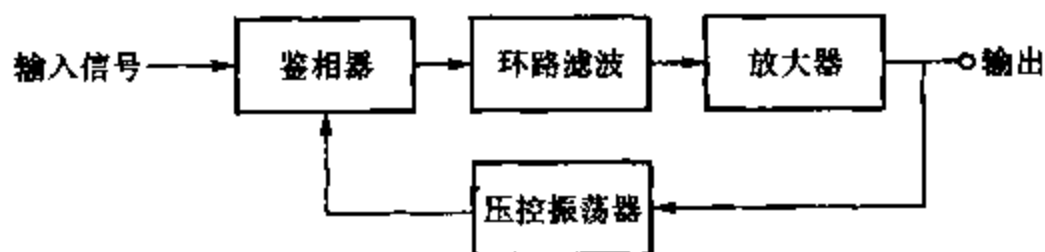


图 10.18 锁相环系统

PLL 功能的一个重要方面是捕捉过程,即从未锁定、任意状态到锁定信号的过程。在未锁定条件下,VCO 工作在对应与其输入端输入零电压时的频率上。此频率值称为中心频率或自由工作频率。当使用频率处于自由工作频率附近的周期信号时,环路是否处于锁定状态取决于许多因素。捕捉过程本质上具有非线性特性,所以这里定性地描述它的瞬时变化。

首先假设环路在环路滤波器和 VCO 控制输入之间是断开的,并且加到 PLL 电路的输入端信号的频率在自由工作频率附近,但不等于它。鉴相器经常采用上一节介绍的一种类型电路,但是为了定性讨论,这里假设鉴相器只是一个模拟乘法器,它对两个模拟正弦信号实施乘法操作。因此乘法—鉴相器的输出包含了“和频”和“差频”分量,并且假设“和频分量”的频率足够高而被低通滤波器滤除掉。低通滤波器的输出是一个频率等于 VCO 自由工作频率和输入信号频率的差频。

假设环路突然断开了,而这时差频正弦信号输入 VCO 的输入端。这将使 VCO 的频率变成时间的正弦函数。假设输入频率低于自由工作频率。由于 VCO 的频率是随时间变化的函数,所以它会趋近或远离输入信号频率。鉴相器的输出是一个频率为 VCO 的频率和输入频率的差值的近似正弦信号。当 VCO 的频率远离输入频率时,正弦信号移到较高的频率处。而 VCO 的频率靠近输入频率时,正弦信号移到较低的频率处。如果观察鉴相器的输出效果,则可看到当幅度负增长时正弦差分频率波形的频率减小,而正增长时频率增大。这使得在捕捉过程中鉴相器的输出为不对称的波形,如图 10.19 所示。波形中的这种不对称性在鉴相器的输出中引入了直流分量,它使 VCO 频率向输入信号频率移动,以致差频逐渐减少。一旦系统被锁定,差频变为零并且环路滤波器输出端只剩下直流电压。

环路的捕捉范围是在中心频率旁边环路从未锁定变成锁定的输入频率的范围。捕捉时间就是环路捕捉信号所需的时间。这两个参数依赖于环路本身总的增益和环路滤波器的带

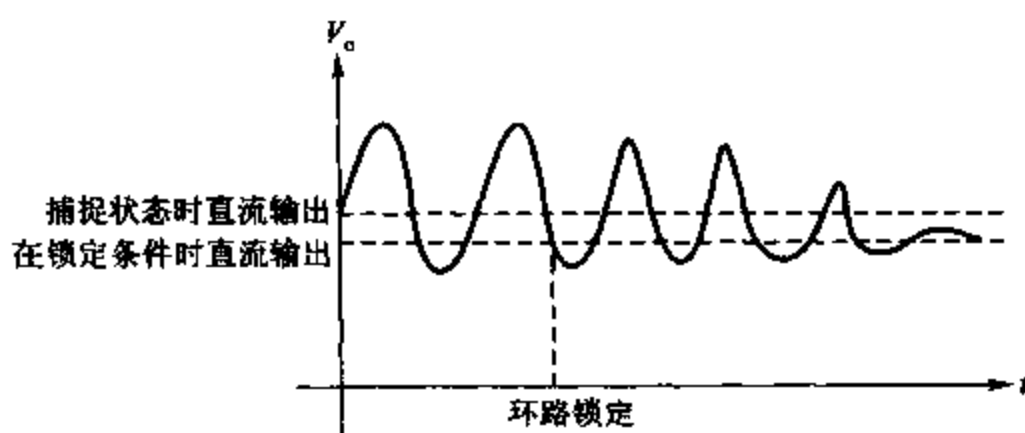


图 10.19 典型鉴相器捕捉瞬态的输出

宽。环路滤波器的目的是滤除远离中心频率的干扰信号引起的差频分量。它还为电路在瞬时干扰信号过大的情况下提供记忆而不丢失信息。减少环路滤波器的带宽以改进拒绝带宽外信号的能力,但是同时导致捕捉范围减小,捕捉时间变长和环路相位裕度变小。

10.4.2 锁定条件下的锁相环路

在锁定条件下,鉴相器的输出电压与 VCO 和输入信号的相位差间存在着线性关系。这一事实允许在锁定条件下使用标准线性反馈的概念来分析环路。图 10.20 是该模式下系统的方块图。相位比较器的增益是相位差的 K_D V/rad 倍,环路滤波器传递函数是 $F(s)$,而且前面回路的所有增益表示为 A 。VCO 的增益是 K_O rad/V-s。

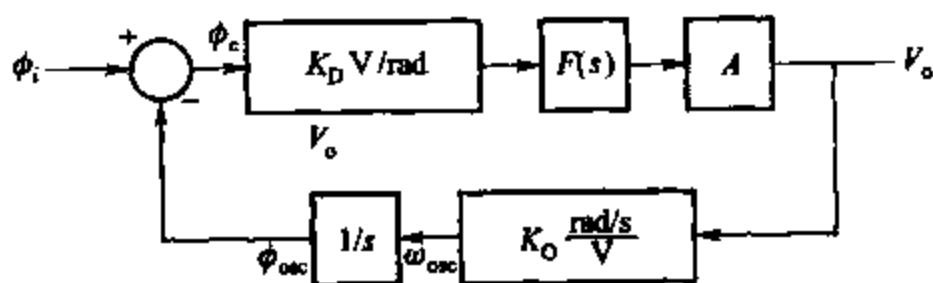


图 10.20 PLL 系统的方块图

如果 VCO 的控制输入端的输入电压为常数,则 VCO 的输出频率保持常数。然而相位比较器对 VCO 的相位和输入信号的相位的差相当敏感。VCO 输出相位实际上等于 VCO 输出频率的积分,因为

$$\omega_{osc}(t) = \frac{d\phi_{osc}(t)}{dt} \quad (10.48)$$

所以,有

$$\phi_{osc}(t) = \phi_{osc} \Big|_{t=0} + \int_0^t \omega_{osc}(t) dt \quad (10.49)$$

所以,锁相环路内部本来就有积分器。这个积分器在图 10.20 中用方框 $1/s$ 表示。

因为实用的原因,VCO 在实际设计时应使得当 VCO 输入电压(如 V_o)为零时,VCO 的

输出频率不为零。VCO 的输出频率 ω_{osc} 和 V_o 间的关系实际上为

$$\omega_{\text{osc}} = \omega_o + K_o V_o$$

其中 ω_o 是在 $V_o = 0$ 的条件下的自由工作频率。

从图 10.20 可以看出系统是一个典型的线性反馈控制系统。⁶ 闭环传递函数如下:

$$\frac{V_o}{\phi_i} = \frac{K_D F(s) A}{1 + K_D F(s) A \frac{K_o}{s}} \quad (10.50)$$

$$= \frac{s K_D F(s) A}{s + K_D K_o A F(s)} \quad (10.51)$$

通常人们感兴趣的是环路对输入端的频率变化的响应, 所以输入变量是频率而不是相位。因为

$$\omega_i = \frac{d\phi_i}{dt} \quad (10.52)$$

所以

$$\omega_i(s) = s\phi_i(s) \quad (10.53)$$

而且

$$\frac{V_o}{\omega_i} = \frac{1}{s} \frac{V_o}{\phi_i} = \frac{K_D F(s) A}{s + K_D K_o A F(s)} \quad (10.54)$$

先考虑去掉环路滤波器的情况, 且 $F(s)$ 是单位 1, 这被称为一阶环路, 有

$$\frac{V_o}{\omega_i} = \left(\frac{K_v}{s + K_v} \right) \left(\frac{1}{K_o} \right) \quad (10.55)$$

其中

$$K_v = K_o K_D A \quad (10.56)$$

所以环路具有一阶低通传递特性。必须记住输入变量被视为输入信号频率 ω_i 。上面计算的响应实际上是输入载波经调频至环路输出电压的响应。

上面的常量 (K_v) 称为环路带宽。如果锁定为载波信号, 且载波频率随时间作频率为 ω_m 的正弦变化, 则环路输出端将检测到一个频率为 ω_m 的正弦信号。当 ω_m 增大到比 K_v 大时, 输出端的正弦幅度将变小。环路带宽 K_v 是 PLL 正在解调的调制信号的有效带宽。用环路参数的术语来说, K_v 是鉴相器增益、VCO 增益和本环路中其他所有电气增益的乘积。这个关于环路增益 K_v 的函数的单极点根轨迹如图 10.21a 所示。其频率响应也同样画在这张图上。随输入频率变化的环路响应在图 10.21b 中和下例中说明。

示例

一个 PLL 的 K_o 为 $2\pi(1 \text{ kHz/V})$, K_v 为 500 s^{-1} , 自由工作频率为 500 Hz 。

(a) 对于常量输入信号频率为 250 Hz 和 1 kHz , 求

$$V_o = \frac{\omega_i - \omega_o}{K_o}$$

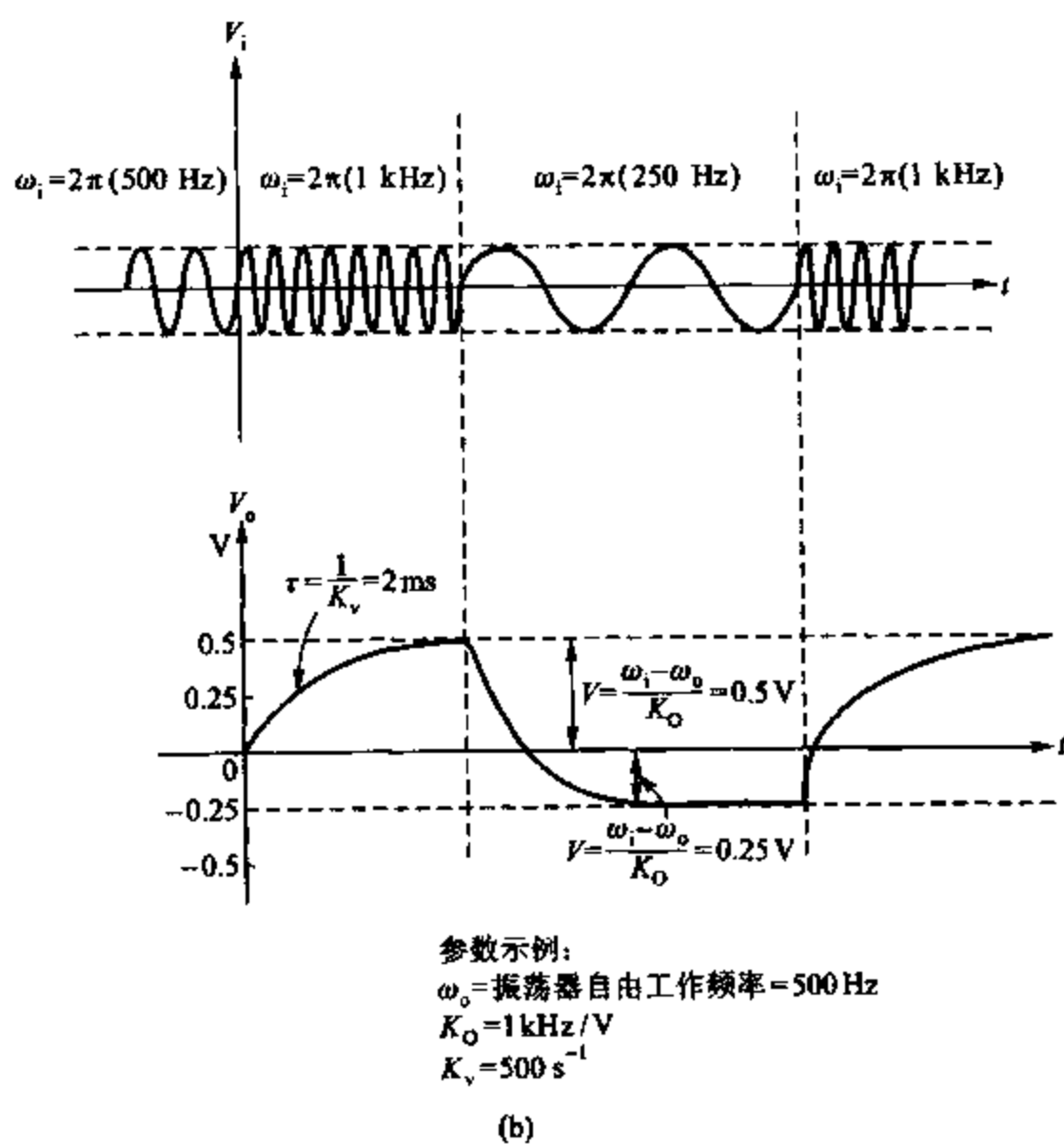
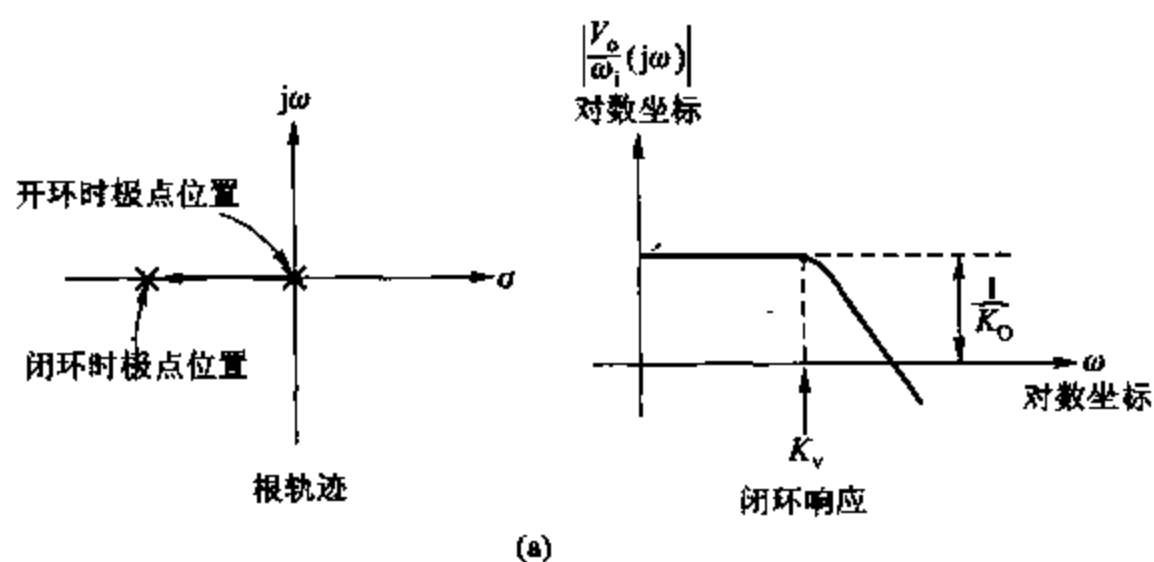


图 10.21 (a) 一个一阶锁相环路的根轨迹和频率响应;
 (b) 以一阶环路为例,对逐步改变输入频率的回路输出电压的响应

式中

$\omega_o = \text{振荡自由工作频率}$

在 250 Hz 处,

$$V_o = \frac{2\pi(250 \text{ Hz}) - 2\pi(500 \text{ Hz})}{2\pi(1 \text{ kHz/V})} = -0.25 \text{ V}$$

在 1 kHz 处,

$$V_o = \frac{2\pi(1 \text{ kHz}) - 2\pi(500 \text{ Hz})}{2\pi(1 \text{ kHz/V})} = +0.5 \text{ V}$$

(b) 输入信号现在为调制过的频率, 则

$$\omega_i(t) = 2\pi(500 \text{ Hz})[1 + 0.1\sin(2\pi \times 10^2)t]$$

求输出信号 $V_o(t)$ 。由式(10.55)有

$$\begin{aligned} \frac{V_o(j\omega)}{\omega_i(j\omega)} &= \frac{1}{K_o} \left(\frac{K_v}{K_v + j\omega} \right) = \frac{1}{K_o} \left[\frac{K_v}{K_v + j(2\pi \times 10^2)} \right] \\ &= \frac{1}{2\pi \times (1 \text{ kHz/V})} \times \left(\frac{500}{500 + j628} \right) \\ &= \frac{1}{2\pi \times (1 \text{ kHz/V})} \times (0.39 - j0.48) \end{aligned}$$

$\omega_i(j\omega)$ 的幅度是

$$|\omega_i(j\omega)| = (0.1) \times (500) \times (2\pi) = (50) \times (2\pi)$$

所以

$$V_o(j\omega) = \frac{50 \text{ Hz}}{1 \text{ kHz}} (0.39 - j0.48) = \frac{50}{1000} (0.62 \angle -51^\circ)$$

且

$$V_o(t) = 0.031 \sin[(2\pi \times 10^2 t) - 51^\circ]$$

如果没有环路滤波器则使用这个环路将有几个实际的缺点。因为鉴相器实际上是一个乘法器, 不但产生“和频”分量而且还输出“差频”分量。如果没有环路滤波器, 这个分量在载波的两倍处就会直接输出到输出端。同样, 输入端的所有通带外的干扰信号将使频率偏移出现在输出端。所以当干扰信号存在时环路滤波器在应用中是十分必要的。

集成电路 PLL 最常见的配置是二阶环路。这里, 环路滤波器 $F(s)$ 是由一个电阻和电容实现的单极点的低通滤波器。所以

$$F(s) = \left(\frac{1}{1 + \frac{s}{\omega_1}} \right) \quad (10.57)$$

代入式(10.54), 传递函数变成了

$$\frac{V_o(s)}{\omega_i(s)} = \frac{1}{K_o} \left(\frac{1}{1 + \frac{s}{K_v} + \frac{s^2}{\omega_1 K_v}} \right) \quad (10.58)$$

这个反馈系统随 K_v 变化的根轨迹和频率响应图如图 10.22 所示。传递函数的根为

$$s = -\frac{\omega_1}{2} \left[1 \pm \sqrt{1 - \frac{4K_v}{\omega_1}} \right] \quad (10.59)$$

式(10.58)可以表示成

$$\frac{V_o}{\omega_i} = \frac{1}{K_o} \left(\frac{1}{\frac{s^2}{\omega_n^2} + \frac{2\zeta}{\omega_n}s + 1} \right) \quad (10.60)$$

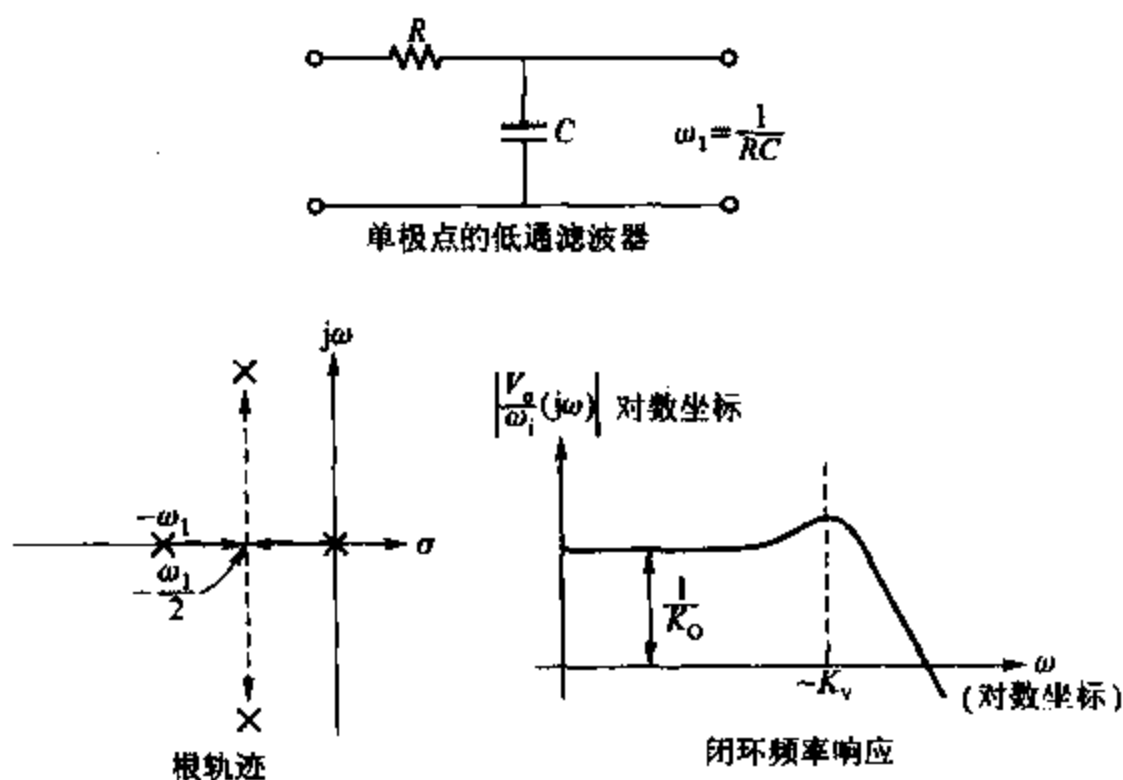


图 10.22 二阶锁相环的根轨迹和频率响应

其中

$$\omega_n = \sqrt{K_v \omega_1} \quad (10.61)$$

$$\zeta = \frac{1}{2} \sqrt{\frac{\omega_1}{K_v}} \quad (10.62)$$

与一阶情况一样,决定环路的带宽的因素也是 K_v 。增加的极点 ω_1 的幅度取尽量小的值以免在频率响应中引起不可接受的尖峰。之所以关心这个尖峰是因为它会歪曲解调的 FM 输出,而且它会造成环路振荡,或是在环路有瞬间干扰时,严重抑制振荡的响应。一个好的折衷方案是使用最大平坦低通极点配置,把极点放置在与负实轴成 45° 角的位置上。对这个响应,阻尼因子 ζ 应该等于 $\frac{1}{\sqrt{2}}$ 。所以

$$\frac{1}{\sqrt{2}} = \frac{1}{2} \sqrt{\frac{\omega_1}{K_v}} \quad (10.63)$$

且

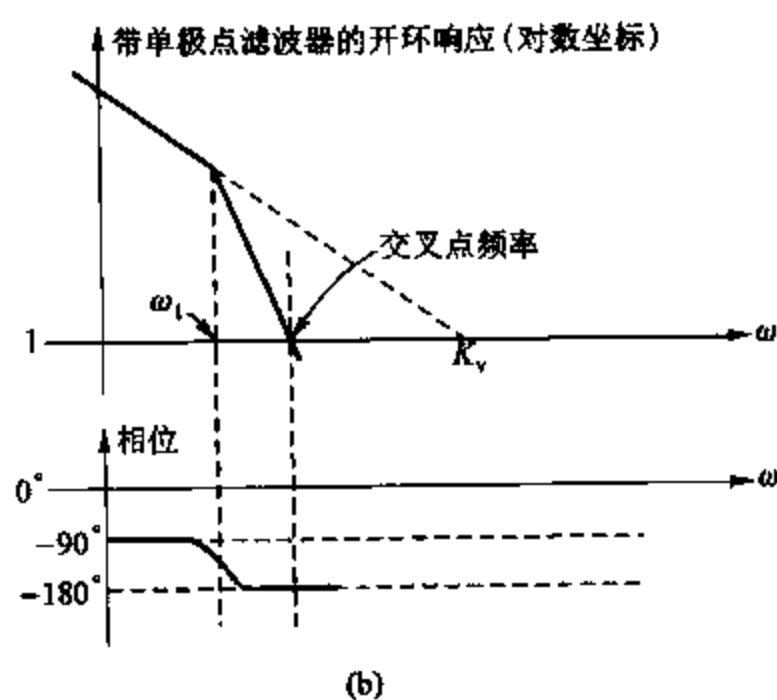
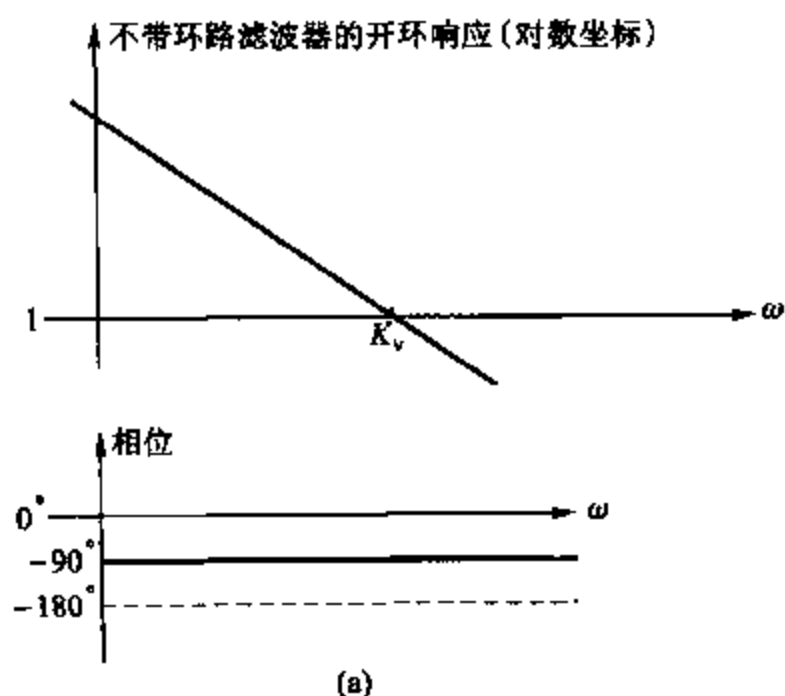
$$\omega_1 = 2K_v \quad (10.64)$$

这样传递函数 $(V_o/\omega_1)(j\omega)$ 的 -3 dB 截止频率为

$$\omega_{-3\text{dB}} = \omega_n = \sqrt{K_v \omega_1} = \sqrt{2} K_v \quad (10.65)$$

如图(10.65)所示,这里讨论的这个二阶环路的一个缺点是它的 -3 dB 带宽主要由环路增益 K_v 决定。下面将会发现环路增益也决定环路锁定范围,以致使用上面的简单滤波器。这两个参数被限制在相近的范围。在锁相环通信中,追踪大信号频率变化较大的锁定范围,而滤除通带外信号使用小的锁定范围的情况确实会发生。通过为环路滤波器添加一个零点,可以在保持较好的环路衰减的同时让环路滤波器的极点变小。

添加零点对环路响应的影响通过观察电路的开环响应来获得。如图 10.23a 所示的是不带滤波器的开环响应。由于集成在这个环路中, 响应有一个 -20 dB/十倍频程 的斜率贯穿整个频率范围与单位增益 K_v 相交。在图 10.23b 中添加了一个在 ω_1 处远小于 K_v 的环路滤波器, 在交叉频率处的环路相移十分接近 180° 。因此在闭环频率响应的交叉频率处出现了一个尖峰。环路滤波器增加一个 ω_2 的零点, 如图 10.23c 所示, 可以大大增加相位裕度。注意这只是在交叉频率的环路带宽非常小的情况下有效。能够使环路带宽跟 K_v 互相独立是这种环路滤波器的优点。一个能够提供环路滤波器需要的零点和极点的 $R-C$ 电路如图 10.23d 所示。环路滤波器的根轨迹图和引起的闭环响应同样画在图中。



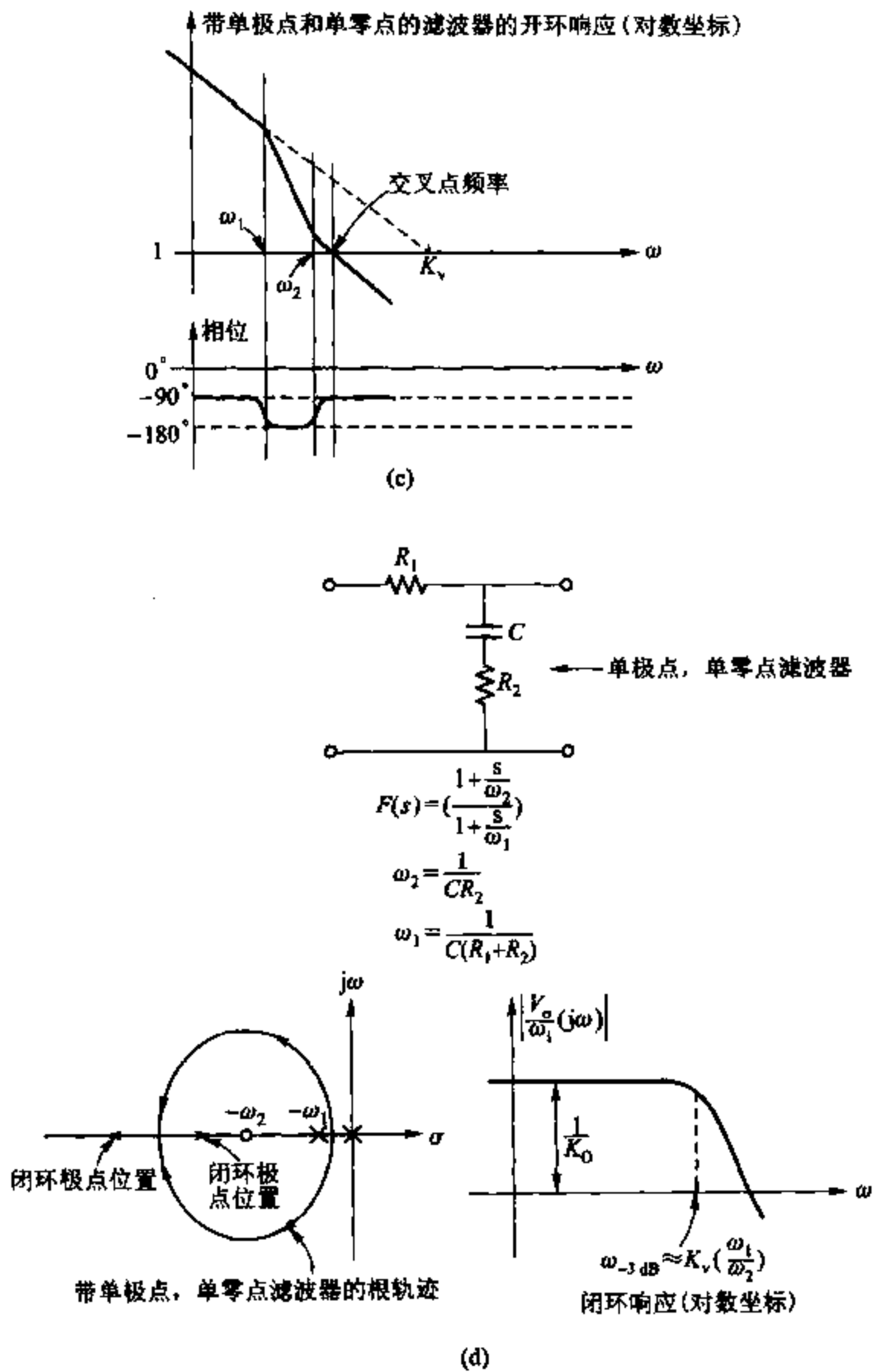


图 10.23 (a) PLL 不带环路滤波器的开环响应;(b) 带单极点滤波器 $\omega_1 \ll K_v$ 的 PLL 开环响应;

(c) 在环路滤波器 $s = -\omega_2$ 处添加一个零点的 PLL 开环响应;

(d) 带一个零点的二阶 PLL 的根轨迹和开环响应。

所示频率响应是对有如根轨迹图中的极点的较大的环路增益

环路锁定范围 环路锁定范围是指离开中心频率环路保持锁定状态的输入频率的范围。在多数情况下,由于相位比较器的比较范围有限,这个频率范围也是有限的。一旦输出频率和 VCO 输出的相位差达到某些临界值,相位比较器将不是线性的。典型模拟相位比

较器的传输函数画在图 10.17 中。从图中可以清楚地看出,为了保持锁定,VCO 输出和输入信号的相位差必须保持在零和 π 之间。如果相位差恰好等于零和 π ,那么相位比较器输出端的直流电压的幅度是

$$V_{d(max)} = \pm K_D \left(\frac{\pi}{2} \right) \quad (10.66)$$

直流电压被放大为 A 倍, A 为电路增益,把结果输入到 VCO 的输入端,产生偏离自由工作中心频率的频率偏移,即

$$\Delta\omega_{osc} = K_D A K_O \left(\frac{\pi}{2} \right) = \left(\frac{K_v \pi}{2} \right) \quad (10.67)$$

如果输入频率偏离自由工作频率,那么将有更多的电压加到 VCO 的输入端使得 VCO 频率也跟着偏移。然而,鉴相器不能产生更多的直流输出电压来使 VCO 的电压做更多的偏移,所以环路将失锁。这样锁定范围 ω_L 为

$$\omega_L = K_v \frac{\pi}{2} \quad (10.68)$$

这就是环路能够跟踪输入频率变化的在自由工作频率两边的频率范围。它是一个只依赖于环路直流增益而与环路滤波器性质无关的参数。其他类型的鉴相器⁷ 可以给出更大的相位比较的线性范围。

捕捉范围是开始时未锁定的环路锁定输入信号的输入频率的范围。捕捉范围总是比锁定范围小。当输入频率扫过中心频率附近的范围,作为输入频率的函数的输出电压显示了滞后作用,如图 10.24 所示。如前所述,捕捉范围很难用解析式预测。用粗略的经验方法,

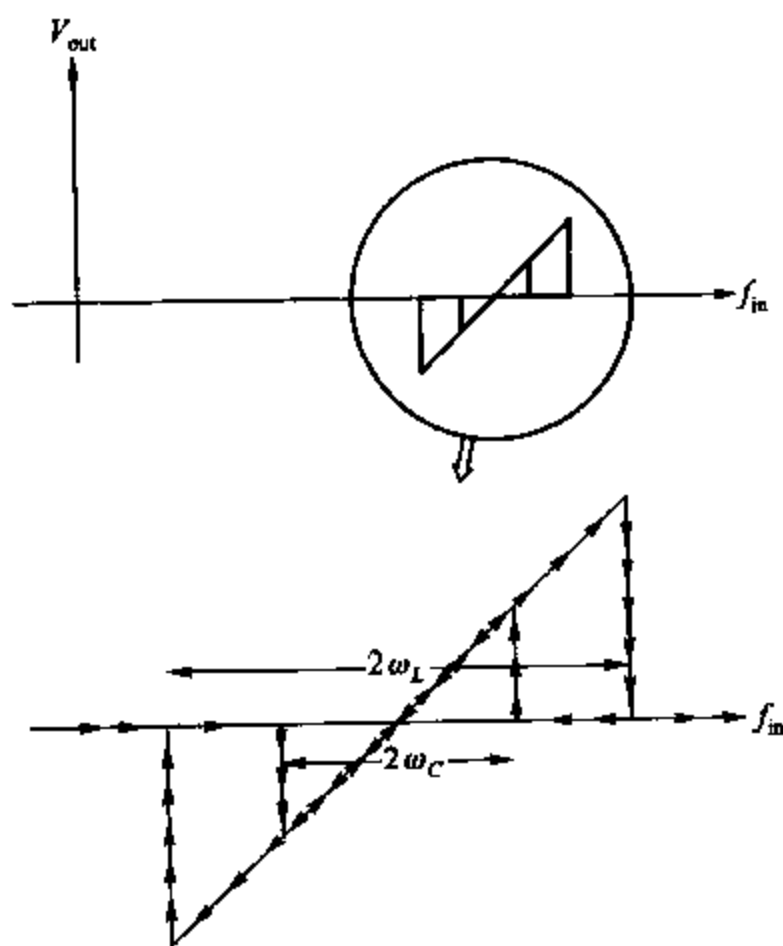


图 10.24 与输入频率相对应的 PLL 输出

可以估算出捕捉范围的近似范围。采用下面的步骤:根据图 10.18 并假设环路在环路放大器输出端断开,而且频率不等于 VCO 的自由工作频率的信号加到 PLL 的输入端。出现在鉴相器输出端的正弦差频分量的值为

$$V_p(t) = \frac{\pi}{2} K_D \cos(\omega_i - \omega_{osc})t \quad (10.69)$$

其中 ω_i 是输入信号频率, ω_{osc} 是 VCO 的自由工作频率。这一分量经过环路滤波器,它经过环路放大器产生的输出为

$$V_o(t) = \frac{\pi}{2} K_D A |F[j(\omega_i - \omega_{osc})]| \cos[(\omega_i - \omega_{osc})t + \phi] \quad (10.70)$$

其中

$$\phi = \angle F[j(\omega_i - \omega_{osc})]$$

环路放大器的输出由幅度在环路滤波器被减小的正弦差频组成。为了使捕捉能够发生,用于 VCO 输入的电压的幅度必须为

$$|V_{osc}| = \frac{\omega_i - \omega_{osc}}{K_O} \quad (10.71)$$

捕捉过程本身是非常复杂的,但是捕捉范围可以通过求得式(10.70)和式(10.71)的幅度来获得。结果是如果能够满足下面的不等式则捕捉过程可能发生。

$$|(\omega_i - \omega_{osc})| < \frac{\pi}{2} K_D K_O A |F[j(\omega_i - \omega_{osc})]| \quad (10.72)$$

这个方程隐含了捕捉范围的估计值。对于一阶环路 $F(s)$ 是单位 1,可预知锁定范围和捕捉范围近似相等,而对于二阶环路,由于 $|F[j(\omega_i - \omega_{osc})]|$ 远小于单位 1,捕捉过程明显地比锁定范围小。

10.4.3 集成锁相环路

PLL 之所以作为一种系统元件得到广泛使用的主要原因是锁相环路元件特别适合于单片结构,而且可以在一片芯片上制作完整的 PLL 系统。现在考虑设计单独的 PLL 元件。

鉴相器 用于单位 PLL 的鉴相器通常使用图 10.9 所示的吉尔伯特乘法器配置。如图 10.16 说明的,如果为两个输入端提供两个幅度足够大的信号,它们能够限制组成电路的共射对管,则输出中将含有如下直流分量

$$V_{average} = -I_{EE} R_C \left(1 - \frac{2\phi}{\pi}\right) \quad (10.73)$$

其中, ϕ 是输入信号的相位差。这个鉴相器性能的一个重要方面是如果提供的 V_{in2} 信号的幅度相对于热电压 V_T 小,则电路起到平衡调制器的作用,输出的直流间隔依赖于低电平的输入幅度。输出波形是一个正弦波乘以一个同步方波,如图 10.25 所示。在小信号相对于 V_T 很小的限制条件下,根据图 10.25,输出中的直流分量变成

$$V_{average} = \frac{1}{\pi} g_m R_C V_i \left[\int_0^{\pi} (\sin \omega t) d(\omega t) - \int_{-\pi}^0 (\sin \omega t) d(\omega t) \right] \quad (10.74)$$

$$= -\frac{2g_m R_C V_i \cos \phi}{\pi} \quad (10.75)$$

其中 R_C 是吉尔伯特乘法器集电极电阻, g_m 是晶体管的跨导。如果信号幅度发生变化, 鉴相器的输出电压变成与输入信号的幅度 V_i 成正比, 则锁相环路的环路增益也发生变化。所以当信号幅度发生变化, 常常需要在鉴相器之前预置一个放大器/减幅器来防止这个问题。例如, 在 FM 解调器中, 对输入未解调的调频信号进行的任何幅度调制都将产生错误的输出。

在 PLL 应用中, 鉴相器的频率响应一般不是环路本身有用工作频率范围的限制因素。在高频, 器件的寄生电容引起穿过载波频率, 导致输出端在中频出现错误分量。不过, 这一分量被环路滤波器滤除掉, 不会对环路性能造成太大的影响。VCO 常常是工作频率范围的影响因素。

电压控制振荡器 工作频率范围、FM 失真、中心频率漂移以及中心频率、工作电压敏感度决定 VCO 的性能。集成电路 VCOs 通常是电容中充电电流随控制输入改变的 $R-C$ 多频振荡器。首先考虑图 10.26a 所示的射极对多频振荡器, 它为这种应用的一种类型。先假设 Q_1 闭合、 Q_2 导通,

计算这个周期。电路参看图 10.26b。假设电流 I 足够大, 电压降 IR 足够使二极管 Q_4 导通, 所以 Q_4 的基极比 V_{CC} 下降了一个二极管压降, 射极比 V_{CC} 下降了两个二极管压降, Q_1 的基极比 V_{CC} 下降了两个二极管压降。如果 Q_3 的基极电流可以忽略, 则它的基极电压为 V_{CC} , 射极电压比 V_{CC} 下降了一个二极管压降。所以 Q_2 射极比 V_{CC} 小两个二极管压降。由于 Q_1 闭合, 电流 I_1 为电容充电, Q_1 的射极电压变得更负, 当 Q_1 射极电压等于比 V_{CC} 小三个二极管压降时, Q_1 导通。晶体管 Q_1 导通, 集电极电流使 Q_3 导通。结果 Q_3 的基极向相反的方向变化一个二极管压降, 使得 Q_2 的基极也向相反的方向变化一个二极管压降。最后 Q_2 闭合, 使得 Q_1 的基极向相同的方向变化一个二极管压降, 因为 Q_4 也闭合。结果是, 由于 C 上的电压不能立即发生变化, Q_2 的发射结反偏, 偏压为一个二极管压降。电流 I_1 现在必须在电路转回之前向电容反向充电, 充电电压总量为两个二极管压降。因为电路是对称的, 所以半周期可以由为电容充电的时间求得

$$\frac{T}{2} = \frac{Q}{I_1} \quad (10.76)$$

其中 $Q = C\Delta V = 2CV_{BE(on)}$, 为电容器的电量。晶振的频率是

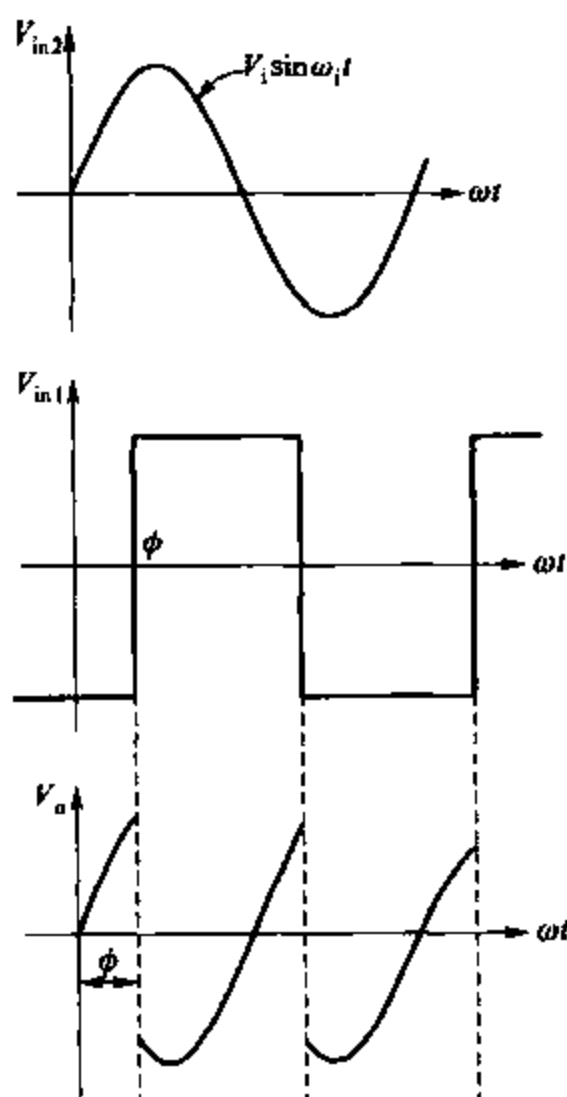


图 10.25 正弦信号乘上一个同步方波信号

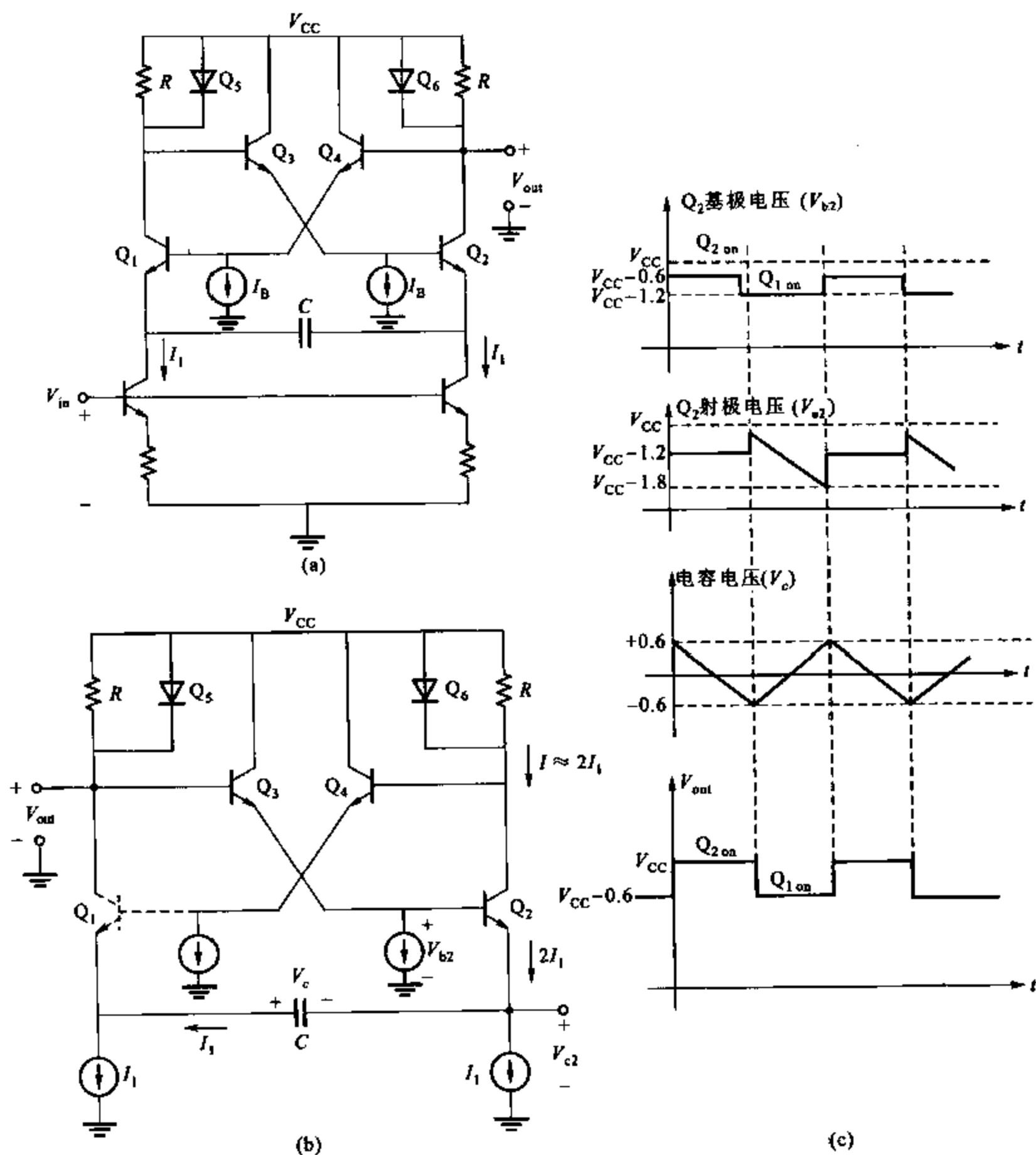


图 10.26 (a) 电压控制的射耦多频振荡器; (b) 半环路的等效电路;
(c) 射耦多频振荡器波形

$$f = \frac{1}{T} = \frac{I_1}{4CV_{BE(on)}} \quad (10.77)$$

电路的变化波形画在 10.26c 中。射极对管配置是不饱和的且只含 npn 晶体管。此外电路中电压摆动范围很小。结果,对于典型的集成电路晶体管,电路可以工作在高达接近

1 GHz 的频率下。然而,因为在较高频率处中心频率偏移随着温度增大,使得可使用的频率范围限制在比这个数值小的数值上。频率漂移发生是因为开关瞬态本身占据振荡周期的大部分时间,而且开关瞬态的持续时间依赖于电路寄生情况、电路电阻、晶体管跨导和晶体管输入电阻,这些都是对温度敏感的。

虽然射极对配置可以适合高的操作速度,但是即使在低频段仍然显示出中心频率对温度相当大的敏感程度,因为周期依赖于 $V_{BE(on)}$ 。使用式(10.77)可以计算出周期的温度系数为

$$\frac{1}{\omega_{osc}} \frac{d\omega_{osc}}{dT} = - \frac{1}{V_{BE(on)}} \frac{dV_{BE(on)}}{dT} = \frac{+2 \text{ mV/}^\circ\text{C}}{600 \text{ mV}} = +3 \text{ 300 ppm/}^\circ\text{C} \quad (10.78)$$

温度的中心频率的温度敏感度可以通过使电流 I_1 对温度敏感来获得补偿,这样效果相等且跟 $V_{BE(on)}$ 变化的效果相反。

10.4.4 560B 的单片锁相环路的分析

第一种实用的单片 PLL 是 560/561/562 系列电路。这些电路包含一个吉尔伯特类型的鉴相器、一个共射极对管,具有温度补偿的 VCO 和外接的完成环路滤波功能的 $R-C$ 电路。560B 的电路图如图 10.27a 所示。晶体管 $Q_1 \sim Q_{14}$ 形成偏置参考电路,为鉴相器和 VCO 提供一个 13 V 的独立供应、参考齐纳电压,它同时可能为差分输入通过 R_3 和 R_4 提供一个直流参考,使得输入为交流耦合。晶体管 Q_{13} 和 Q_{14} 为 VCO 的电流源提供一个参考电压,而晶体管 Q_{11} 为鉴相器提供一个偏置电流。

VCO 由晶体管 Q_{23} 和 Q_{24} 与射极跟随器 Q_{27} 与 Q_{28} 组成。鉴相器由晶体管 $Q_{15} \sim Q_{20}$ 组成,而鉴相器的差分输出通过射极跟随器 Q_{21} 与 Q_{22} 和射极对管 $Q_{35} \sim Q_{38}$ 流入 VCO。

现在通过分析电路来求解环路 K_n 和 K_o 参数。分析由单独画在图 10.27b 中的偏置参考电路开始。偏置电路为 VCO 和相位比较器产生准确的 13V 的子电源,使电源电压在许可的 16~26 V 范围内变化,电路的偏置电压能够保持不变;假设电源电压为 16 V,电路中唯一受供应电压影响的电流是从 R_{18} 开始通过 Q_3 到 Q_6 的通路。齐纳二极管 Q_3 和 Q_6 的发射结是反向偏置,电压约等于 6.2 V,所以

$$I_1 = \frac{V_{CC} - V_{Z3} - V_{BE4} - V_{Z5} - V_{BE6}}{R_{18}} \quad (10.79)$$

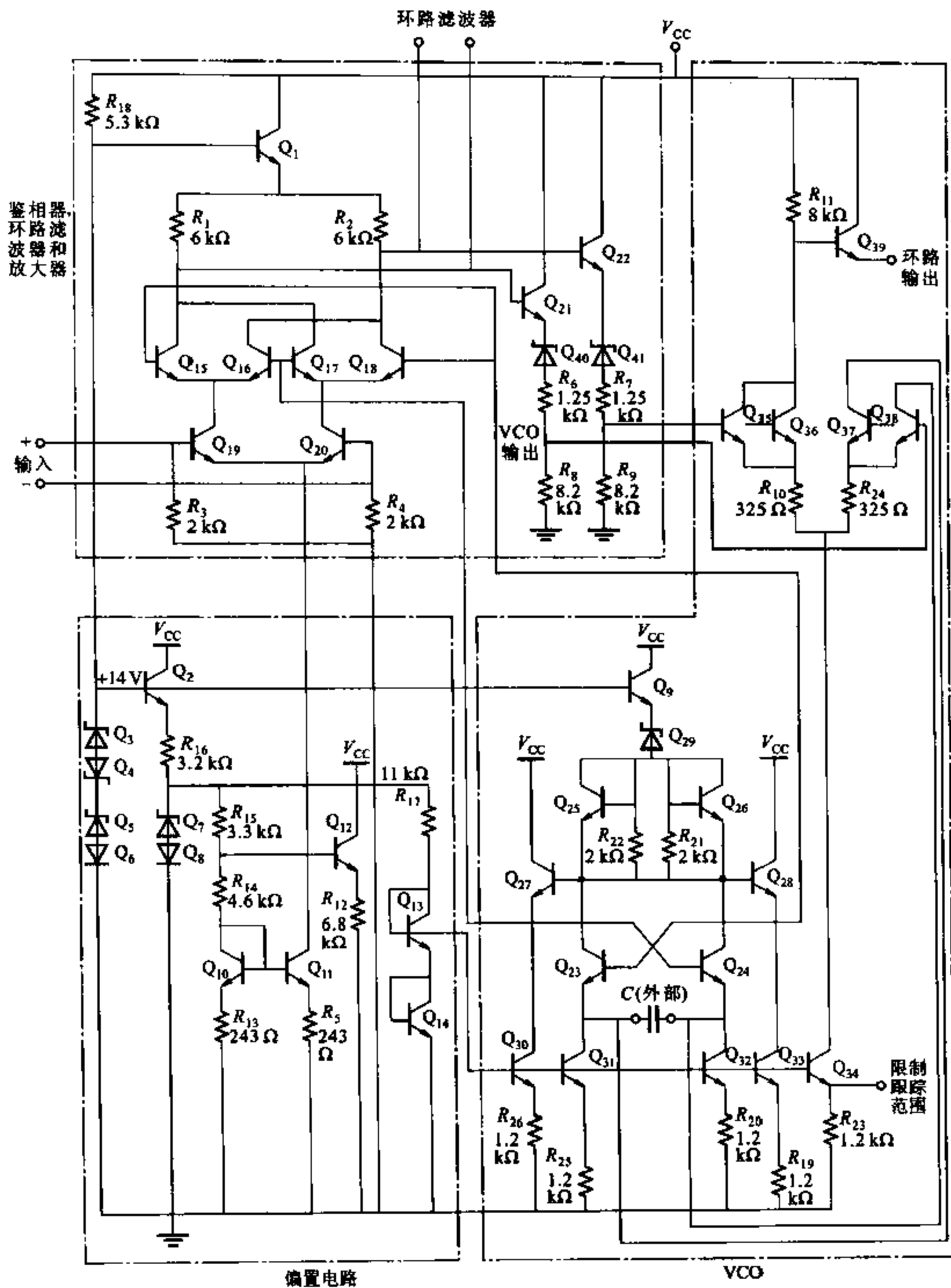
$$I_1 = \frac{(V_{CC} - 6.2 - 0.6 - 6.2 - 0.6) \text{ V}}{5.3 \text{ k}\Omega} = \frac{16 - 13.6}{5.3 \text{ k}\Omega} = 0.45 \text{ mA} \quad (10.80)$$

所以 Q_1 、 Q_2 和 Q_9 的射极电压是 13.0 V。假设 Q_7 导通,可以看出 Q_7 的最大电压是 6.8 V。所以 R_{17} 的电流是

$$I_{R17} = \frac{V_{Z7} + V_{BE8} - V_{BE13} - V_{BE14}}{R_{17}} \quad (10.81)$$

$$I_{R17} = \frac{6.2 + 0.6 - 0.6 - 0.6}{11 \text{ k}\Omega} = 0.51 \text{ mA} \quad (10.82)$$

Q_{11} 的电流,即相位比较器的偏置电流,等于 Q_{10} 的电流



(a)

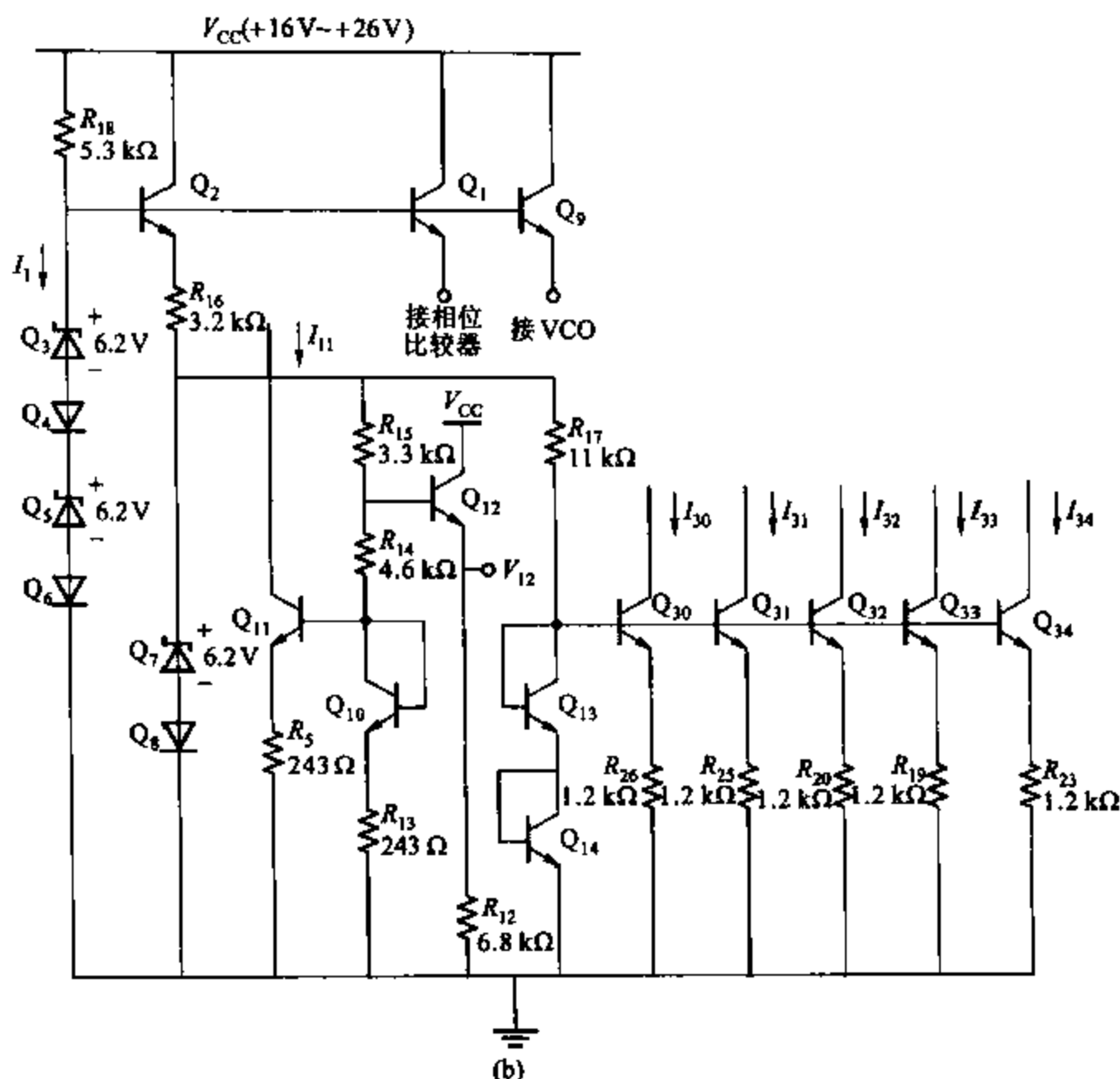


图 10.27 (a) 560B 锁相环电路原理图 (b) 560B 锁相环路的偏置电路

$$I_{C10} = I_{C11} = \frac{V_{Z7} + V_{BE8} - V_{BE10}}{R_{13} + R_{14} + R_{15}} \quad (10.83)$$

$$= \frac{6.8 \text{ V} - 0.6 \text{ V}}{8.14 \text{ k}\Omega} = 0.77 \text{ mA} \quad (10.84)$$

那么,为输入终端提供电流参考的 V_{12} 的偏置电压为

$$V_{12} = V_{BE10} + (V_{BE8} + V_{Z7} - V_{BE10}) \left(\frac{R_{14} + R_{13}}{R_{13} + R_{14} + R_{15}} \right) - V_{BE12} \quad (10.85)$$

所以

$$V_{12} = 0.6 \text{ V} + (6.8 - 0.6) \times \left(\frac{4.84}{3.3 + 4.84} \right) \text{ V} - 0.6 \text{ V} = 3.69 \text{ V} \quad (10.86)$$

提供给电流源晶体管 $Q_{30} \sim Q_{34}$ 基极的电压比地电平高两个二极管压降。通过从 R_{26} 到 R_{25} 、 R_{20} 、 R_{19} 和 R_{23} 的 $1.2 \text{ k}\Omega$ 电阻的电压为一个二极管压降,电流约为 0.5 mA 。注意这些电流都有一个负的温度因数,这是很重要的,有

$$\frac{dI}{dT} = \frac{d}{dT} \left[\frac{V_{BE(on)}}{R} \right] = \frac{V_{BE(on)}}{R} \left[\frac{1}{V_{BE(on)}} \frac{dV_{BE(on)}}{dT} - \frac{1}{R} \frac{dR}{dT} \right] \quad (10.87)$$

$$= \frac{V_{BE(on)}}{R} \left(\frac{-2 \text{ mV/}^\circ\text{C}}{600 \text{ mV}} - 1.500 \times 10^{-6} \right) \quad (10.88)$$

所以

$$\frac{1}{I} \frac{dI}{dT} = -4800 \text{ ppm/}^\circ\text{C} \quad (10.89)$$

这个温度灵敏度补偿了由 VCO 内部 $V_{BE(on)}$ 随温度变化引起的 VCO 的中心频率漂移的一部分。

现在分析如图 10.28 所示的鉴相器。如果 Q_{21} 和 Q_{22} 的基极电流可以忽略不计, 一个大的有限幅度信号加到输入端, Q_{21} 和 Q_{22} 的基极电压取下列两个值之一

$$V_{bi} = 13 \text{ V} \quad (10.90)$$

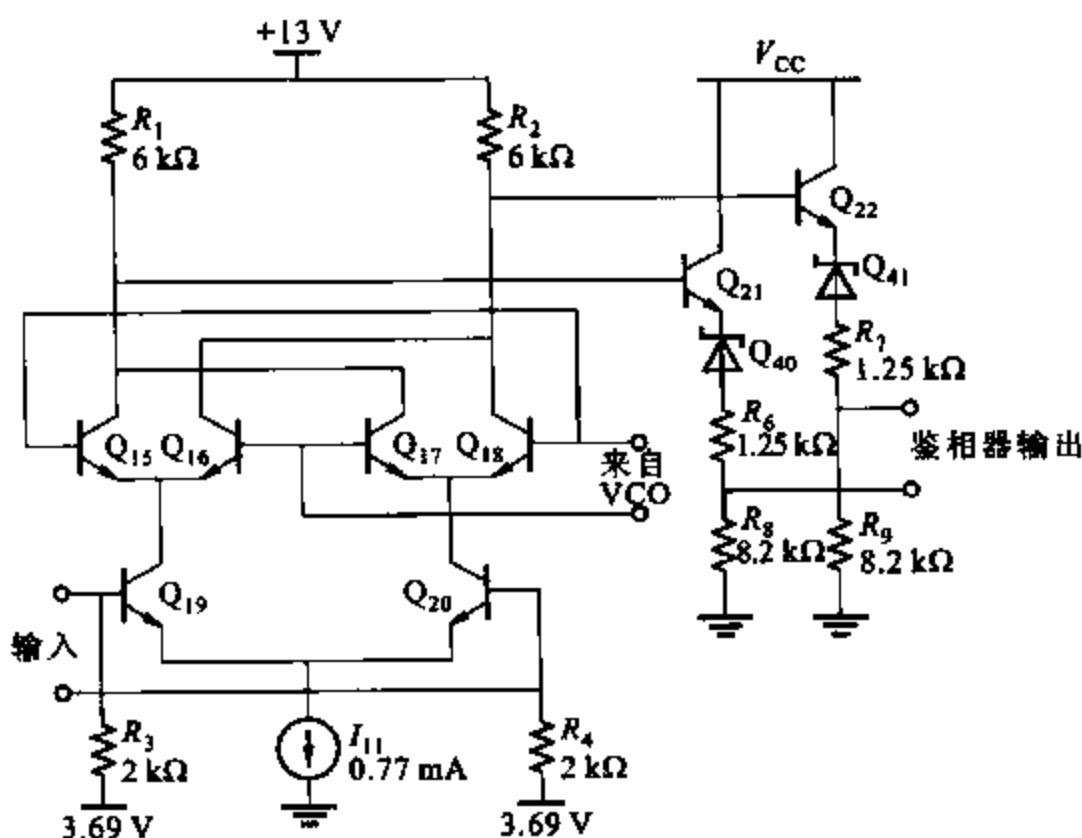


图 10.28 560B 锁相环路的相位比较器

$$V_{bi} = 13 \text{ V} - (I_{C11})(6 \text{ k}\Omega) = 8.38 \text{ V} \quad (10.91)$$

差分方波信号输出的幅度是 4.62 V。因为 I_{C11} 有一个近似于扩散电阻 ($R_{13} + R_{14} + R_{15}$) 的相反数的温度系数, 输出电压摆动是 R_1 和 R_2 电流的乘积, 输出幅度的净温度系数非常小。 $Q_{21} - Q_{40} - R_6 - R_8$ 和 $Q_{22} - Q_{41} - R_7 - R_9$ 偏置环的目的是为了在输入 VCO 之前先进行电平移动。 Q_{35} 和 Q_{38} 的基极电压取以下两个值

$$V_{bi} = (13 \text{ V} - V_{BE21} - V_{Z40}) \left(\frac{R_8}{R_6 + R_8} \right) \quad (10.92)$$

$$= (13 \text{ V} - 0.6 \text{ V} - 6.2 \text{ V}) \left(\frac{8.2}{8.2 + 1.25} \right) = 5.38 \text{ V} \quad (10.93)$$

$$V_{bi} = (8.38 \text{ V} - V_{BE21} - V_{Z40}) \left(\frac{R_8}{R_6 + R_8} \right) = 1.37 \text{ V} \quad (10.94)$$

式(10.77)给出,得

$$f_o = \frac{I}{4CV_{BE(on)}} \quad (10.102)$$

假设 $V_{BE(on)}$ 为 0.6 V, VCO 的中心频率为

$$f_o = \frac{625 \times 10^{-6}}{4C \times 0.6} = \frac{0.26 \times 10^{-3}}{C} \quad (10.103)$$

为了获得 f_o , C 必须为

$$C = \frac{260}{f_o} \mu F \quad (10.104)$$

其中 f_o 的单位是 Hz 而 C 的单位为 μF 。PLL 性能的一个重要的方面是中心频率对温度的灵敏度。再次使用式(10.77),得

$$\frac{1}{f_o} \frac{df_o}{dT} = \frac{1}{I} \frac{dI}{dT} - \frac{1}{V_{BE}} \frac{dV_{BE}}{dT} - \frac{1}{C} \frac{dC}{dT} \quad (10.105)$$

前面已经分析了产生 I_{31} 、 I_{32} 和 I_{34} 的偏置电路,为

$$\frac{1}{I} \frac{dI}{dT} = \frac{1}{V_{BE}} \frac{dV_{BE}}{dT} - \frac{1}{R} \frac{dR}{dT} \quad (10.106)$$

结果,对于这个电路,把式(10.106)带入式(10.105)得出

$$\frac{1}{f_o} \frac{df_o}{dT} = -\frac{1}{R} \frac{dR}{dT} - \frac{1}{C} \frac{dC}{dT} \quad (10.107)$$

假设使用温度系数较小的外接电容,中心频率的变化与组成电路分散的晶体管的温度变化也有关系。温度系数一般在 1 000 ~ 1 500 ppm/°C 之间。这么大的漂移可以通过重新设计偏置电路补偿电阻的变化来减少。

因为 Q_{37} 和 Q_{38} 的集电极电流可以在 0 ~ 250 μA 之间发生变化,为电容充电的总电流可能在 500 ~ 750 μA 之间变化,而 VCO 的频率可在中心频率周围 $\pm 20\%$ 的范围内发生变化。把 Q_{37} 和 Q_{38} 一起看成一个器件,可以计算出共射对管的小信号输入电压和流过 $Q_{37} - Q_{38}$ 的总的小信号输出电流的比率。

$$\frac{i_o}{v_{in}} = \frac{1}{2} \left(\frac{g_{m37-38}}{1 + g_{m37-38}} \right) = \frac{1}{2} \times \left[\frac{\frac{1}{104 \Omega}}{1 + \left(\frac{325}{104} \right)} \right] = \frac{1}{2} \left(\frac{1}{430 \Omega} \right) \quad (10.108)$$

$Q_{37} - Q_{38}$ 输出电流的一半随时都在为电容充电,所以

$$\frac{dI}{dV_{in}} = \frac{1}{2} \frac{i_o}{v_{in}} = \frac{1}{2} \frac{1}{860 \Omega} \quad (10.109)$$

其中 V_{in} 是对管 $Q_{35} - Q_{38}$ 的输入, I 是决定 VCO 频率的电流。由式(10.77)得

$$\frac{df}{dI} = \frac{1}{4CV_{BE(on)}} \quad (10.110)$$

式(10.109)和式(10.111)可以联合起来得到

$$K_o = \frac{d\omega}{dV_{in}} = 2\pi \frac{df}{dI} \frac{dI}{dV_{in}} = \frac{1}{8} \frac{2\pi}{860CV_{BE(on)}} \quad (10.111)$$

把式(10.77)代入式(10.111)得到

$$K_O = \frac{2\pi f_o}{1.720I_o} \quad (10.112)$$

此处 $I_o = 625 \mu\text{A}$ 是当 $V_{in} = 0$ 时 I 的值。 f_o 是 VCO 频率对应的值, 被称为 VCO 的自由工作频率。所以

$$K_O = \frac{2\pi f_o}{1.08} \frac{\text{rad}}{\text{V}\cdot\text{s}} = 0.93 \omega_o \frac{\text{rad}}{\text{V}\cdot\text{s}} \quad (10.113)$$

其中 $f_o = \omega_o/2\pi$, K_o 的值通过式(10.111)中的 C 由 VCO 自由工作频率决定。

现在对 560B 的分析已经全部完成。把计算出来的 K_O 和 K_D 值结合起来, 可以得出对大信号输入环路本身的带宽 K_v 为

$$K_v = K_D K_O = 2.55 \times 0.93 \omega_o \text{ s}^{-1} = 2.36 \omega_o \text{ s}^{-1} \quad (10.114)$$

注意在这种情况下, 由于 K_D 和 K_O 已经包含了所有的环路增益, 所以 $A = 1$ 。由式(10.114)和式(10.68)可知如果没有限制因素的存在, 那么环路就能够跟踪最大偏离中心频率 3.7 倍 VCO 的自由工作频率的载波信号。但是实际上, 环路范围远比这个值小, 因为当相位比较器为 90° 相差产生一个约等于 4 V 的最大输出电压时, 控制 VCO 的电压-电流转换器对输入的有效线性范围值大约 250 mV。结果, 锁定范围被 VCO 的控制范围限制在 VCO 自由工作频率的大约 $\pm 25\%$ 处。然而对于较大的 K_v 值, 一个重要的结果是当电路作为一个不带衰减器的一阶环路时, 用作 FM 解调器的环路带宽是相当宽的。这个带宽可以通过在具有稳定性的环路滤波器中, 使用带一个零点的二阶环路缩小到需要的数值。

在 560B 电路中, 用户可以设定 VCO 的控制范围, 以此来控制 PLL 的锁定范围。这可以通过控制共射对管 $Q_{35} \sim Q_{38}$ 的偏置电流来实现, 这个电流引起了 VCO 频率的变化。在带外置元件来控制锁定范围的实际电路中, 这个电流可以由用户增大或者减小。这种限制锁定范围方法的优点是它可以独立于环路带宽 K_v 实现可控性。

实际环路带宽 K_v 可以由 PLL 用户通过几种方法来控制。首先, 可以如图 10.28 所示通过与 R_1 和 R_2 并联的外置电阻来减小它们的有效值。这样可以直接减小 K_D 和 K_v 。其次, 可以使用一个带一个零点的环路滤波器, 这使得环路滤波器的极点放置在远小于环路带宽 K_v 处, 而不为环路响应引入新的峰值。

10.5 非线性函数综合

电子系统常常需要更多的任意的非线性传输函数的电路。例如, 一个通用的需求是平方律和平方根传输特性来产生真正的均方根值。一种独特的精确双极型晶体管指数传输特性可以用来产生这些和其他许多非线性函数。^{8,9}

考虑图 10.30a 所示电路。有

$$V_{BE1} + V_{BE2} - V_{BE3} - V_{BE4} = 0$$

忽略基极电流并假设所有器件工作在正向放大区, 有

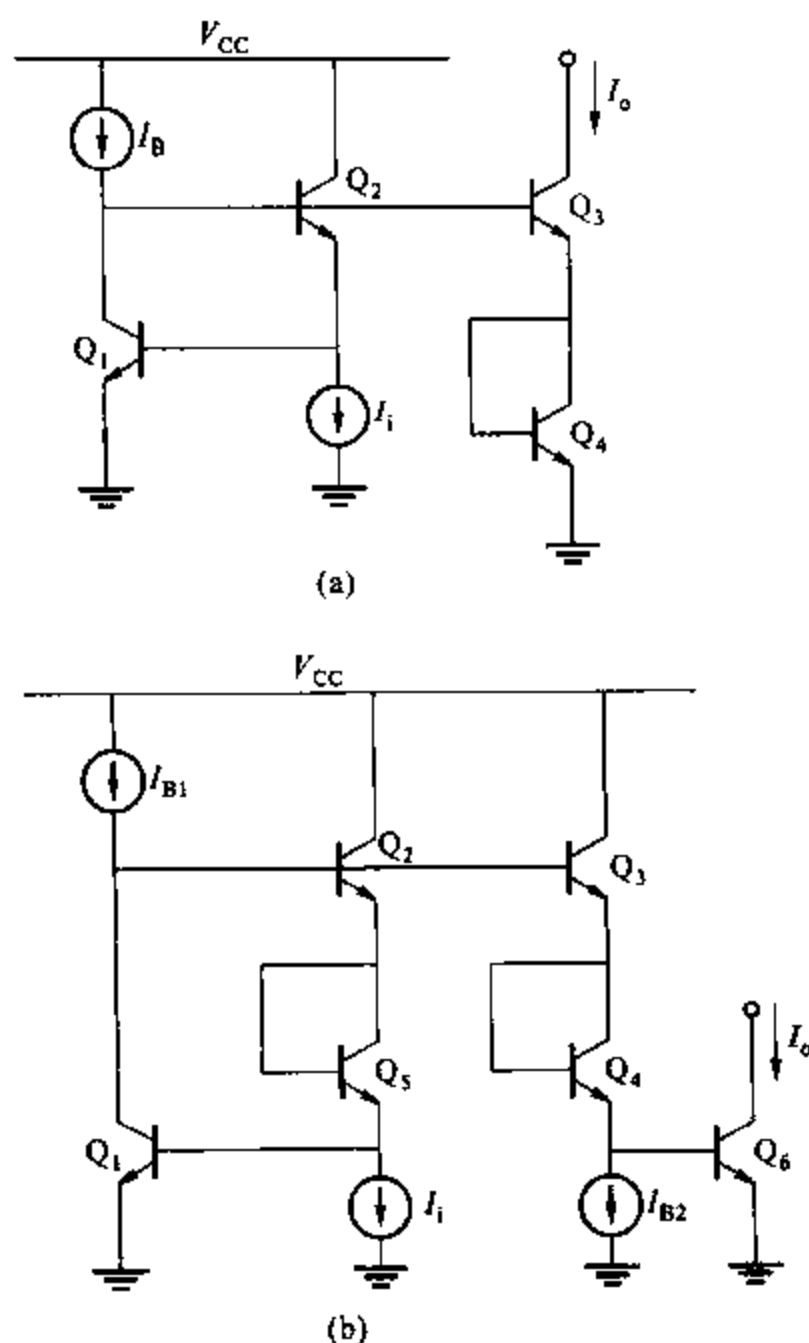


图 10.30 双极点的非线性函数电路
(a) 平方根;(b) 平方律

$$V_T \ln \frac{I_B}{I_{S1}} + V_T \ln \frac{I_i}{I_{S2}} - V_T \ln \frac{I_o}{I_{S3}} - V_T \ln \frac{I_o}{I_{S4}} = 0 \quad (10.115)$$

所以

$$I_o = \sqrt{I_i} \sqrt{I_B} \sqrt{\frac{I_{S3} I_{S4}}{I_{S1} I_{S2}}} \quad (10.116)$$

该电路实现了一个带有一阶尺度因子的平方根传输函数, (一阶) 不依赖于供应电压或者温度。注意输入电流源 I_i 必须能够给 Q_1 注入设定的一个 V_{BE} 的直流偏置电压。因为 Q_1 和 Q_2 的反馈作用, 电路的小信号输入阻抗非常小。由于电路中的所有结点都是低阻抗的, 寄生电容的影响很小, 且电路的带宽与器件 f_T 相似。

对图 10.30b 的电路有

$$V_{BE1} + V_{BE3} + V_{BE2} = V_{BE3} + V_{BE4} + V_{BE6} \quad (10.117)$$

从中得到

$$I_o = I_1^2 \frac{I_{B1}}{I_{B2}^2} \frac{I_{S3} I_{S4} I_{S6}}{I_{S1} I_{S5} I_{S2}} \quad (10.118)$$

可见,电路在宽带和对温度与电源电压不敏感的条件下,实现了平方律传输函数。如果把电流源 I_{B1} 当作一个输入信号,则可得到更简单的电路形式。然而,这需要通过有源的 pnp 电流源(或者 BiCMOS 中的 PMOS 电流源)实现 I_{B1} ,但是这样电路带宽将会受限制。

习题

10.1 求出图 10.31 中电路的直流传输特性。齐纳二极管的反向击穿电压为 6.2 V,击穿区电阻为零增长的。正向导通电压 $V_{BE(on)} = 0.6 \text{ V}$ 。

10.2 求解并画出图 10.32 所示电路的直流传输特性。假设 $V_{BE(on)} = 0.6 \text{ V}$ 。使用 SPICE 验证计算结果,假设晶体管的 $I_S = 10^{-16} \text{ A}$ 。把电压控制电流源近似看成增益为 10 000 的运算放大器。

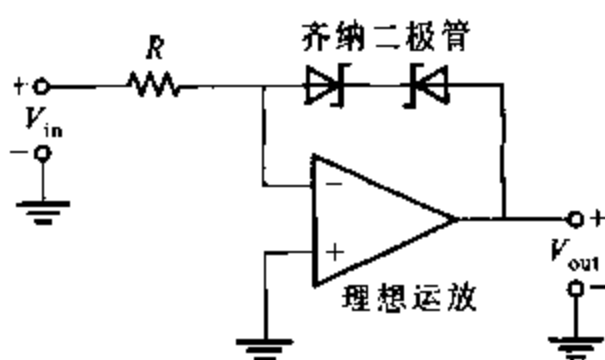


图 10.31 习题 10.1 对应的图

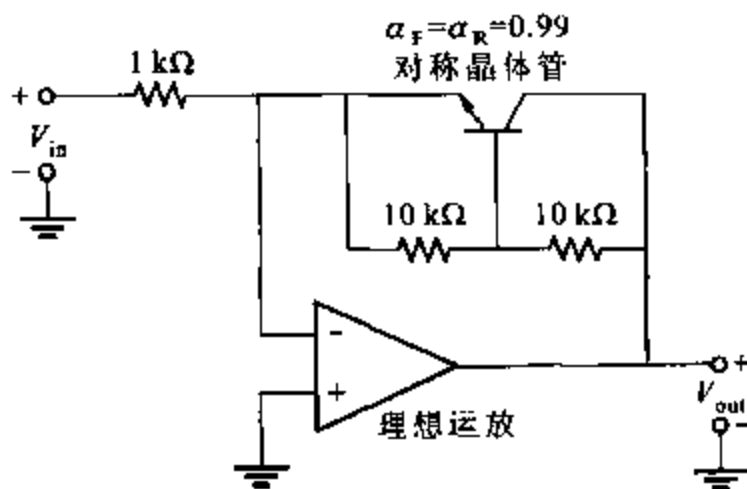


图 10.32 习题 10.2 对应的图

10.3 求解并画出图 10.33 所示电路的直流传输特性。

10.4 画出图 10.9 吉尔伯特乘法器当 V_1 分别等于 $0.1 V_T$ 、 $0.5 V_T$ 和 V_T 时与 V_2 对应的 I_{out} 的传输曲线。

10.5 对于图 10.6 的共射对管,求出使传输曲线发生比初值倾斜 1% 的直流差分输入电压的幅度。

10.6 假设把正弦电压信号输入到图 10.6 中的共射对管。求使得输出中三次谐波的幅度小于基波的 1% 的最大允许输入幅度。为了求解这个问题,把对管的传输函数的泰勒级数的前两项近似看成双曲正切函数。然后假设输出中其他各次谐波都忽略不计,所以输出近似为

$$I_{out}(t) = I_o(\sin \omega_o t + \delta \sin 3\omega_o t)$$

其中 δ 是三次谐波失真系数。使用 SPICE 验证结果。使用相同的输入电压幅度,使用 SPICE 求出如果射极电阻 R_E 加到每个器件使得 $I_{E1} R = I_{E2} R = 100 \text{ mV}$ 时,输出端的三次谐波失真。

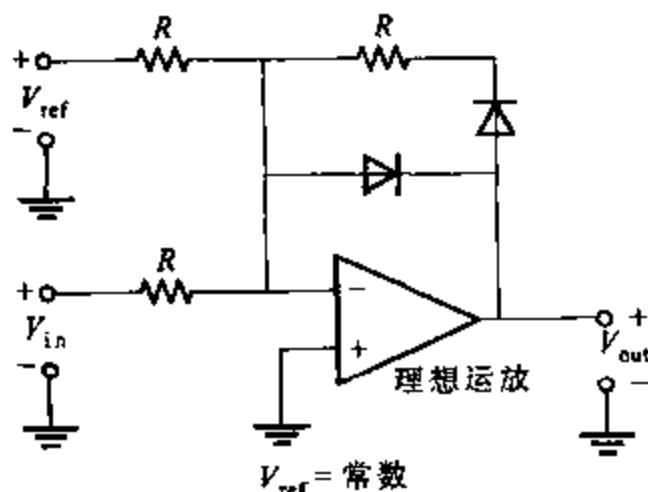


图 10.33 习题 10.3 对应的图

输特性。确定使这个假设成立的 V_i 的范围(使用 9.6.4 节介绍的偏置分析)。所有的 PMOS 器件有 $W/L = 60$ 且所有 NMOS 器件有 $W/L = 20$ 。器件参数为: $\mu_n C_{ox} = 60 \mu\text{A}/\text{V}^2$, $\mu_p C_{ox} = 20 \mu\text{A}/\text{V}^2$, $V_{in} = 0.7 \text{ V}$, $V_{ip} = -0.7 \text{ V}$, $\gamma = 0$, $\lambda = 0$ 。

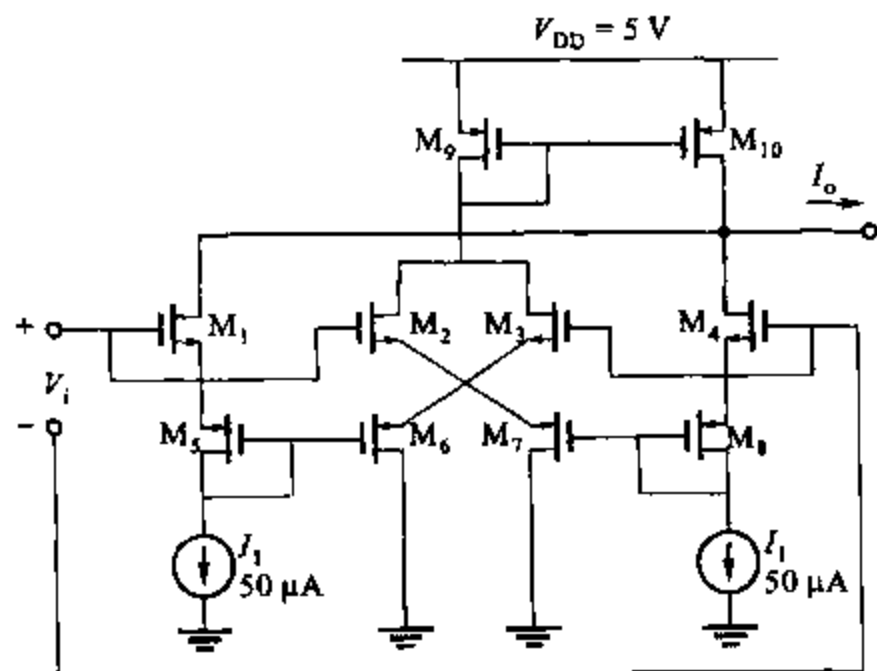


图 10.36 CMOS 平方律电路

使用 SPICE 画出图形来验证结果,估算直流传输特性。然后使用正弦波电压在平方律范围内驱动 V_i ,检查 I_o 的一次和二次谐波并对结果给出评论。

参考文献

1. G. E. Tobey, J. G. Graeme, and L. P. Huelsman. *Operational Amplifiers*. McGraw-Hill, New York, 1971.
2. B. Gilbert. "A Precise Four-Quadrant Multiplier with Subnanosecond Response," *IEEE J. Solid-State Circuits*, Vol. SC-3, pp. 365 ~ 373, December 1968.
3. B. Gilbert. "A New High-Performance Monolithic Multiplier Using Active Feedback," *IEEE J. Solid-State Circuits*, Vol. SC-9, pp. 364 ~ 373, December 1974.
4. F. M. Gardner. *Phase-Lock Techniques*. Wiley, New York, 1966.
5. A. B. Grebene and H. R. Camenzind. "Frequency Selective Integrated Circuits Using Phase-Locked Techniques," *IEEE J. Solid-State Circuits*, Vol. SC-4, pp. 216 ~ 225, August 1969.
6. *Applications of Phase-Locked Loops*, Signetics Corporation, 1974.
7. M. Soyuer and R. G. Meyer. "Frequency Limitations of a Conventional Phase-Frequency Detector," *IEEE J. Solid-State Circuits*, Vol. 25, pp. 1019 ~ 1022, August 1990.
8. B. Gilbert. "General Technique for N-Dimensional Vector Summation of Bipolar Signals," *Electronics Letters*, Vol. 12, pp. 504 ~ 505, September 16, 1976.
9. E. Seevinck. *Analysis and Synthesis of Translinear Integrated Circuits*. Elsevier, Amsterdam, 1988.

第十一章 集成电路的噪声

11.1 引言

这一章将解决集成电路中的电气噪声的影响问题。这里考虑的噪声现象由器件本身产生的小电流和电压波动引起的,尤其排除了人为信号的影响,这种信号在高增益电路中也是一个问题。噪声的存在主要是因为电气充电不是连续的,但是这离散的数量等于电子电荷,所以在集成电路器件中噪声是与基本过程有联系的。

对噪声的研究是非常重要的,因为它代表了电气信号大小的低限,使其能被电路放大而信号质量没有明显恶化。噪声还决定了放大器的有用增益的上限,因为如果将增益无限制地增大,电路的输出级最终开始限制(即晶体管将离开放大区)从输入级引起的放大的噪声。

这一章中,将考虑电子噪声的变化源,还描述了包括噪声发生器的普通设备的等效电路。说明了把噪声发生器作为输入的电路分析方法,分析了类似运算放大器这样的复杂电路的噪声。验证了噪声的计算机分析方法,最后描述了说明电路噪声性能的一些常用方法。

11.2 噪声源

11.2.1 冲击噪声^{1,2,3,4}

冲击噪声总是跟直流流动相联系的,它出现在二极管、MOS 晶体管和双极型晶体管中。冲击噪声的起源可看成是图 11.1a 中二极管,器件中正偏压区中载流子浓度画在图 11.1b 中。如第一章所述,耗尽区存在一个电场,p 型和 n 型区之间存在一个 $(\phi_0 - V)$ 的电压差,此处 ϕ_0 为内建电压,是二极管的正偏置电压。二极管正向电流 I 由 p 区的空穴和 n 区的电子组成,它有足够的能量克服 pn 结的势垒,一旦载流子穿过结点,它们就作为少数载流子扩散。

每个通过结点的载流子都可视为随机事件,它们的通道依赖载流子是否具有足够的能量和通过结点的速度。所以,可看成稳定电流的外部电流 I 。事实上,是由大量的随机独立的电流脉冲组成的。如果在高灵敏度的示波器上观察这个电流,轨迹画在图 11.2 中, I_D 为平均电流。

I 的波动称为冲击噪声,通常用其均方差来衡量。写成 $\overline{i^2}$, 这里

$$\begin{aligned}\overline{i^2} &= \overline{(I - I_D)^2} \\ &= \lim_{T \rightarrow \infty} \frac{1}{T} \int_0^T (I - I_D)^2 dt\end{aligned}\quad (11.1)$$

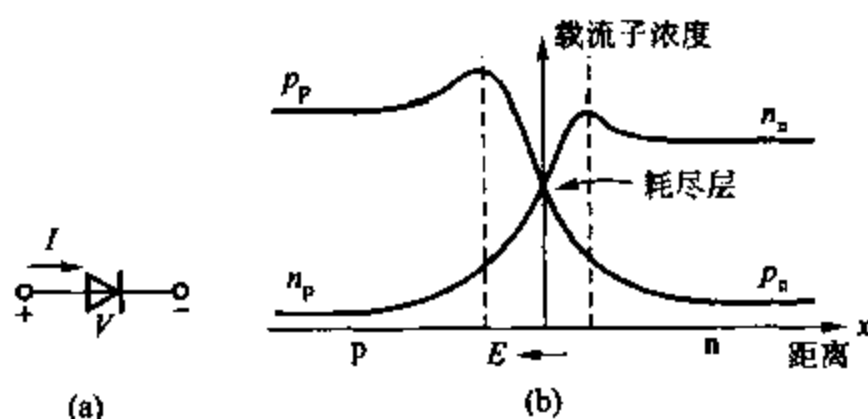


图 11.1 (a) pn 结正向偏置的二极管;
(b) 二极管中的载流子浓度(不带刻度)

可以看出如果电流 I 由一系列平均值为 I_D 的随机独立脉冲组成,则产生的噪声电流的均方差值为

$$\overline{i^2} = 2qI_D\Delta f \quad (11.2)$$

其中, q 是电子电荷($1.6 \times 10^{-19} \text{C}$),而 Δf 为带宽,单位是 Hz。这个等式显示噪声电流的均方差直接跟测量的带宽(单位 Hz)直接成正比。所以噪声电流功率谱密度 $i^2/\Delta f$ (单位平方安培每赫兹)可以定义为频率的常数方程。这样频谱的噪声常常称为白噪声。因为噪声是纯的随机信号,波形任意时刻的瞬时值是不可预知的。电路计算中唯一有用的信息是式(11.2)给出的信号的均方值。式(11.2)中的带宽 Δf 由产生噪声的电路决定。

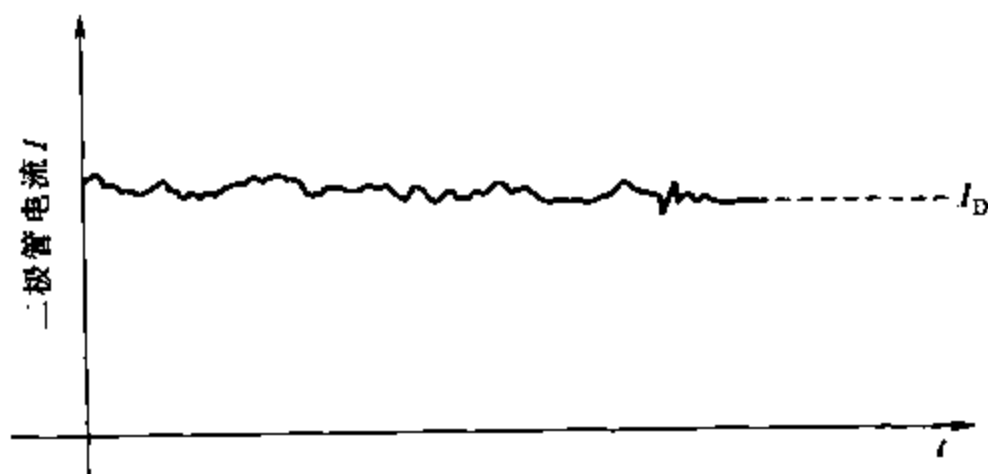
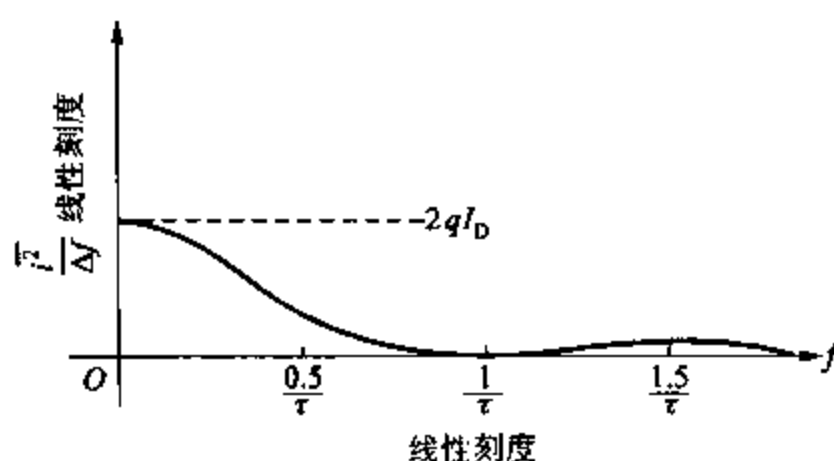


图 11.2 随时间变化的二极管电流 I (不带刻度)

当频率与 $1/\tau$ 可比时,式(11.2)不成立,这里 τ 是载流子通过耗尽区的时间。对大多数实际的电子器件, τ 是极小的,所以式(11.2)可以精确到千兆区。随频率变化的二极管噪声电流功率密度图如图 11.3 所示,这里假设每个电荷载流子通过耗尽区时产生一个宽度为 τ 的方波脉冲。

示例

计算二极管电流为 1 mA,带宽为 1 MHz 的冲击噪声。应用式(11.2)有

图 11.3 通过时间 τ 的冲击噪声的功率谱密度(不带刻度)

$$\overline{i^2} = 2 \times 1.6 \times 10^{-19} \times 10^{-3} \times 10^6 \text{ A}^2 = 3.2 \times 10^{-16} \text{ A}^2$$

所以

$$i = 1.8 \times 10^{-8} \text{ A rms}$$

其中 i 代表噪声电流的根方差值。

冲击噪声的影响可以在二极管的低频、小信号等效电路中表现出来,它包括与二极管并联的电流发生器,如图 11.4 所示。因为这个噪声信号有随机的相位,且由均方值唯一确定,所以它没有极性。所以图 11.2 中电流源中的箭头没有意义,只是用来表示作为电流源的发生器。这一章中当处理有随机相位的噪声发生器时都采用这个习惯。

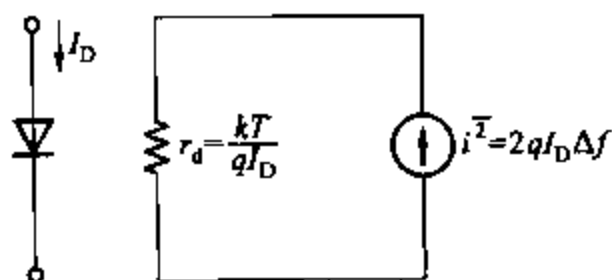


图 11.4 二极管的带噪声的小信号等效电路

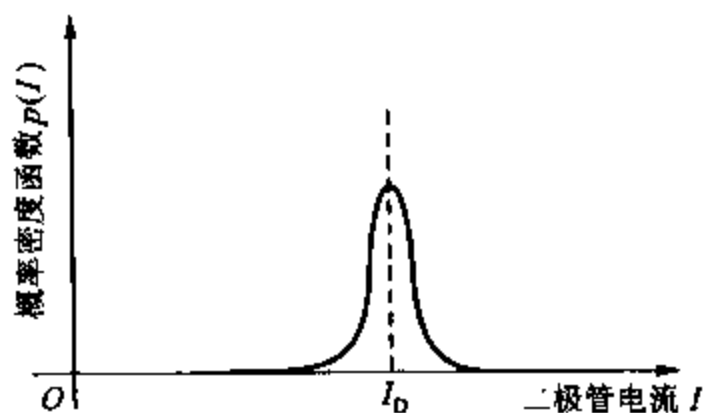


图 11.5 二极管电流的概率密度方程(不带刻度)

冲击噪声机制产生的噪声电流信号的幅度随时间随机变化,只能用概率密度方程来衡量。可以看出冲击噪声的幅度分布是高斯分布,随电流变化的二极管的概率密度方程 $p(I)$ 如图 11.5 所示(不带刻度)。二极管电流在任意时刻 I 和 $(I + dI)$ 间的概率为 $p(I)dI$ 。若 σ 是高斯分布的标准方差,那么区间 $I_D \pm \sigma$ 之间的二极管电流的幅度占时间的 68%。由定义,变量 σ^2 是 $(I - I_D)$ 均方值,所以根据式(11.1),有

$$\sigma^2 = \overline{i^2}$$

使用式(11.2),有

$$\sigma = \sqrt{2qI_D \Delta f} \quad (11.3)$$

注意,理论上,噪声幅度可为正无穷值也可为负无穷值。然而,当幅度增大时,概率减小的非

常快,有效的界限是 $\pm 3\sigma$ 。在这些界限内的噪声信号占了 99.7% 的时间。高斯分布的简要介绍可参考第三章附录 A.3.1。

注意图 11.3 的噪声随频率的分布是由空穴和电子运动由 pn 结的随机性引起的。考虑所有载流子用同样的时间间隔跃迁的情况。因为载流子的电量为 $1.6 \times 10^{-19} \text{ C}$, 1 mA 的电流由每个 $1.6 \times 10^{-19} \text{ s}$ 的电流脉冲组成。这样的波形的傅里叶分析将得到图 11.6 所示的频谱,它显示了平均值或直流值 I_D 乘以 $1/\Delta t$ 谐波, Δt 是波形的周期,它等于 $1.6 \times 10^{-19} \text{ s}$ 。所以一次谐波在 $6 \times 10^6 \text{ GHz}$ 处,这远远超过了器件的有用频率。在正常的工作频率范围内,没有噪声产生。

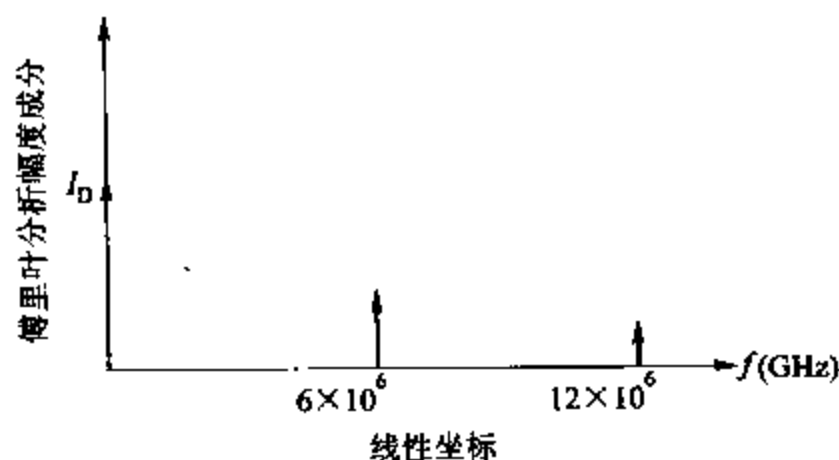


图 11.6 假设载流子通过间隔相同时的冲击噪声频谱

11.2.2 热噪声^{1,3,5}

热噪声由与冲击噪声完全不同的机制产生。在一般的电阻中,是由电子的随机热运动引起的,并不受是否存在直流电流的影响,这是因为导体中典型的电子移动速度远比电子的热运动速度低。由于噪声源是由电子热运动引起的,所以假设它与绝对温度 T 有关。事实上,热噪声与 T 直接成正比(不像冲击噪声与 T 无关),而且,随着 T 趋近于零,热噪声也跟着趋近于零。

在电阻 R 中,热噪声可以由一系列图 11.7a 所示的电压发生器 $\overline{v^2}$ 来表示。这些表示方式是等价的,且

$$\overline{v^2} = 4kTR\Delta f \quad (11.4)$$

$$\overline{i^2} = 4kT \frac{1}{R} \Delta f \quad (11.5)$$

其中 k 是波耳兹曼常数。在室温下 $4kT = 1.66 \times 10^{-20} \text{ VC}$ 。式(11.4)和式(11.5)再次显示了噪声频谱密度与频率无关,而对于热噪声,频率高达 10^{13} Hz 时仍成立。所以热噪声是白噪声的另一个来源。注意可以由(11.4)得到(11.5)的诺顿等效电路

$$\overline{i^2} = \frac{\overline{v^2}}{R^2} \quad (11.6)$$

对于热噪声要记住的有用数据是在室温(300 K)下,在 $1 \text{ k}\Omega$ 上热噪声谱密度为 $\overline{v^2}/\Delta f \approx 16 \times 10^{-18} \text{ V}^2/\text{Hz}$ 。可以用均方根形式写成 $v = 4 \text{ nV}/\sqrt{\text{Hz}}$,这里使用 $\text{nV}/\sqrt{\text{Hz}}$ 的形式是为了强

调均方根噪声电压随带宽的平方根变化。另一个有用的等式是热噪声电流发生器在室温下对 $1\text{ k}\Omega$ 的作用相当于 $50\text{ }\mu\text{A}$ 的直流电流产生的冲击噪声。

上面描述的热噪声是基本的物理现象,出现在任意的线性无源电阻。这包括普通电阻和天线的辐射电阻、扬声器和麦克风。对于扬声器和麦克风,噪声源是空气分子的热运动。对于天线,噪声源是天线照射目标的黑体辐射。式(11.4)和式(11.5)给出了在所有的情况下噪声的均方值。

热噪声的幅度分布也是高斯分布。因为冲击噪声和热噪声都有平坦的频谱和高斯幅度分布,所以当它们在一个电路中产生时是无法区分开。冲击噪声和热噪声复合波形的功率相等的正弦波如图 11.21 所示。

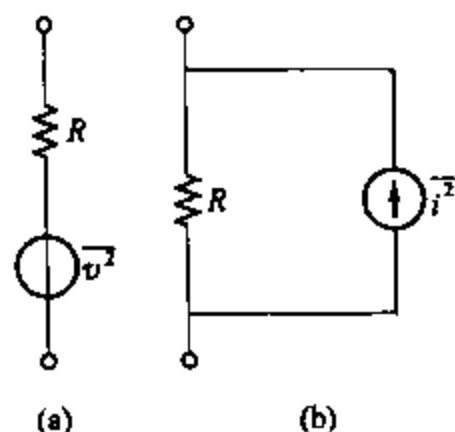


图 11.7 热噪声的两种表示方法

11.2.3 闪烁噪声^{6,7,8}($1/f$ 噪声)

这是在有源设备中出现的一种噪声,它同样出现在一些离散的无源元件如炭膜电阻中。闪烁噪声的来源很多,但是主要是由与污染和结晶缺陷有关的陷阱引起的。这些陷阱以随机的方式捕捉和释放载流子,这个过程引起的时间常数与能量集中在低频的噪声信号的产生过程有关。

闪烁噪声都是由直流电流引起的,它的频谱密度的形式为

$$\overline{i^2} = K_1 \frac{I^a}{f^b} \Delta f \quad (11.7)$$

其中

Δf = 在频率 f 附近的小带宽

I = 直流电流

K_1 = 对特定器件的常量

a = 在 $0.5 \sim 2$ 之间范围的常量

b = 单位常量

如果式(11.7)中 $b=1$, 噪声频谱密度与频率成 $1/f$ 的关系(这里另一个别名为 $1/f$ 噪声), 如图 11.8 所示。显然, $1/f$ 闪烁噪声在低频处最明显, 虽然器件中存在大量的闪烁噪声, 噪声源可以在高达兆赫范围内占主要地位。

注意, 闪烁噪声只与直流有关。所以, 在炭膜电阻的情况下, 只有当由直流电流过电阻时才产生闪烁噪声(而热噪声在电阻中总存在, 而且只要温度保持不变它就不受直流电的影响)。结果, 炭膜电阻可在要求外接元件的低噪声、低频不传送直流电流的集成电路中使用。如果这些电路的外接电阻要求传送直流电流, 那么就必须使用没有闪烁噪声的金属薄膜电阻。

在本章前面几节中, 看到冲击噪声和热噪声信号有定义的很清楚的均方值, 均方值可由电流、电阻和很多熟悉的物理常数表示。与之相对, 闪烁噪声的均方值可由带一个未知常量 K_1 的式(11.7)得出。这一常量不但随器件类型不同改变, 而且对同一处理晶片不同晶

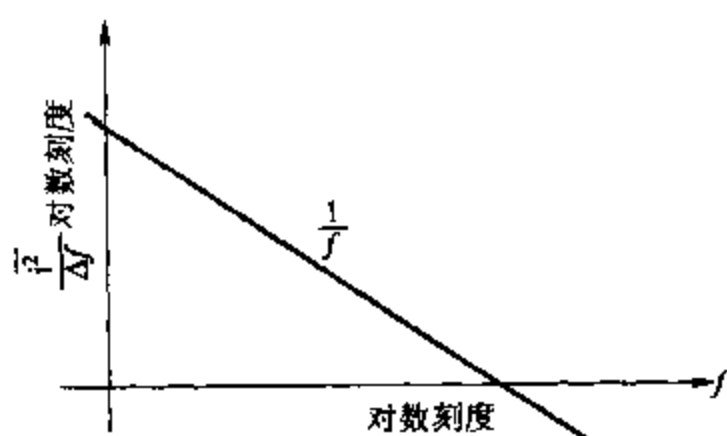


图 11.8 频率对应的闪烁噪声频谱密度

晶体管或集成电路,差别也会很大。这是因为闪烁噪声依赖于污染和晶体缺陷,即使在同一硅晶片上,这些也是随机变化的因素。然而,试验表明,如果对一个特定的处理,在大量器件中 K_1 的典型值是由测量决定的,那么它的值可以用来预测集成电路的闪烁噪声性能的典型值或平均值。⁹

人们感兴趣的闪烁噪声的最后一个特征是它的幅度分布,如测量结果所示一般它不是高斯分布的。

11.2.4 突发噪声⁷(爆米花噪声)

这是另一种出现在一些集成电路和离散晶体管中的低频噪声。虽然有人指出它与重金属的离子污染有关,但是人们还没有完全弄明白这种噪声的来源。掺金的器件有非常大的突发噪声。

突发噪声是因为这种噪声在示波器上的轨迹是在几个(两个以上)的离散电平上噪声的突然爆发而被命名的,如图 11.9a 所示。噪声脉冲的重复律常常是在音频范围内(几千赫或更小),当通过扬声器时产生爆裂的声音。这时人们称这种现象为爆米花噪声的原因。

突发噪声的频谱密度可以用下面的式子来表示

$$\overline{i^2} = K_2 \frac{I^c}{1 + \left(\frac{f}{f_c}\right)^2} \Delta f \quad (11.8)$$

其中

K_2 = 对特定器件的常量

I = 直流电流

c = 在 0.5~2 之间范围的常量

f_c = 对特定噪声作用的特定频率

这个频谱画在图 11.9b 中,图中标明了突发噪声特有的典型隆起。在高频,噪声频谱以 $1/f^2$ 的速度下降。

突发噪声过程常与多重时间常数一起发生,这使频谱中发生多重隆起。同样,闪烁噪声也保持不变,所以复合的低频噪声频谱常常如图 11.10 所示。同闪烁噪声一样, K_2 的变化

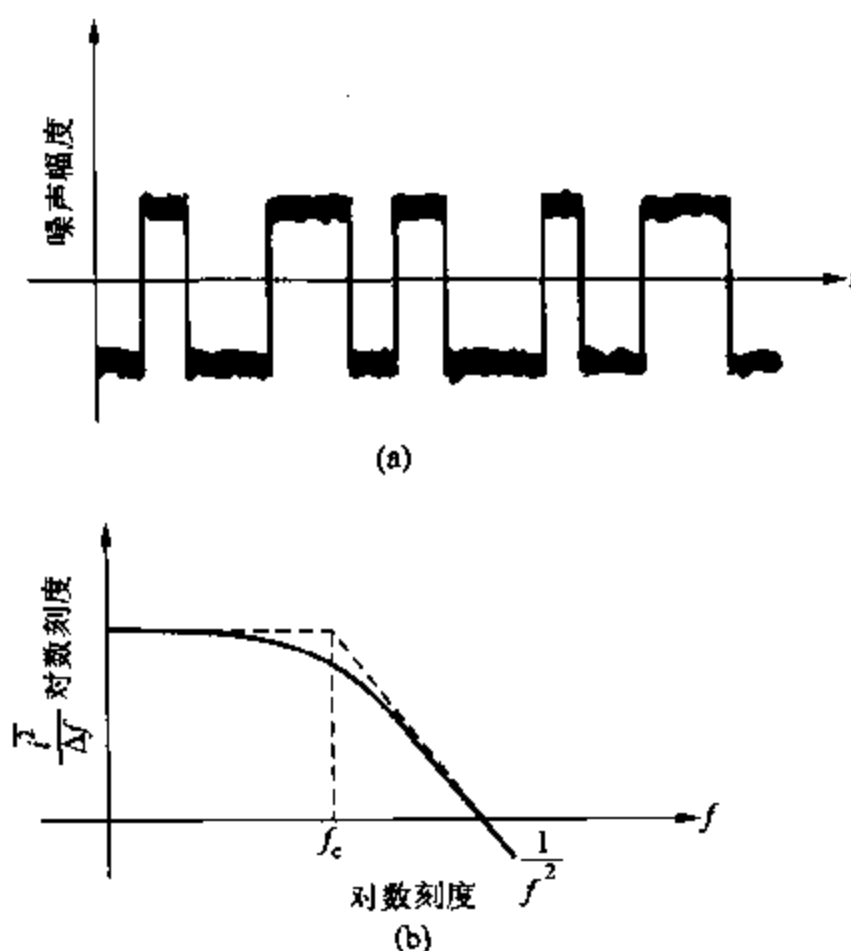


图 11.9 (a) 典型突发噪声波形;
(b) 对应频率变化的突发噪声的频谱密度

范围很大,所以必须由实验来确定。这种噪声的幅度分布也不是高斯分布。

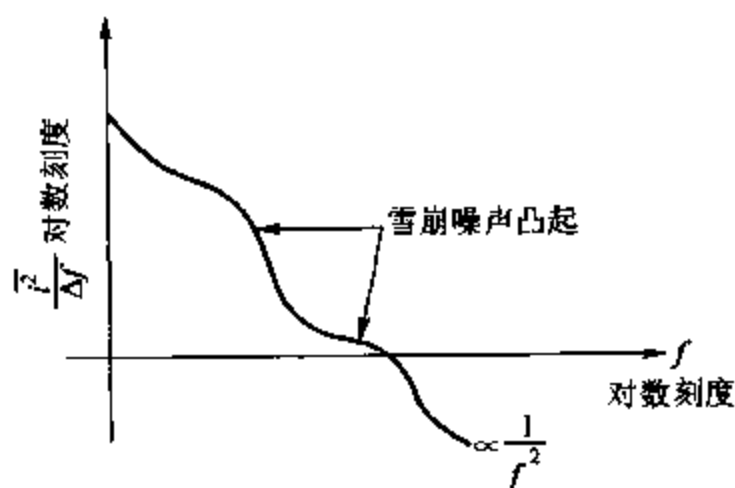


图 11.10 突发噪声和闪烁噪声的频谱

11.2.5 雪崩噪声¹⁰

这是由 pn 结发生齐纳或雪崩击穿引起的一种噪声。在雪崩击穿中,反偏置 pn 结耗尽区中空穴和电子需要足够的能量来抵制硅原子的作用产生空穴-电子对。这个过程是逐渐积累的,产生了大量噪声碰撞的随机序列。这种噪声都是与直流电流相联系的,而且产生的这种噪声比同样电流引起的冲击噪声大很多,如式(11.2)所示。这是因为单独的载流子能引起一个雪崩过程,导致包含许多载流子一起移动的电脉冲。噪声的总和就是大量随机

脉冲的和。

雪崩噪声发生的最常见的情况是电路中使用了齐纳二极管。这些设备会发生雪崩噪声所以在低噪声电路中要尽量避免。如果由齐纳二极管,可以使用图 11.11 所示的噪声表示,图中噪声由一系列电压发生器 v^2 来表示。直流电压 V_z 是二极管的击穿电压,串联电阻 R 典型值为 $10 \sim 100 \Omega$ 。 $\overline{v^2}$ 的幅度是很难预测的,因为它依赖于器件的结构和硅晶的均匀性,但是对于直流齐纳电流 0.5 mA ,典型的测试值为 $\overline{v^2}/\Delta f \approx 10^{-14} \text{ V}^2/\text{Hz}$ 。注意这等效于作用在 $600 \text{ k}\Omega$ 电阻的热噪声电压,它完全淹没了 R 中的热噪声。噪声的频谱密度近似平坦,但是幅度分布基本上不是高斯分布。

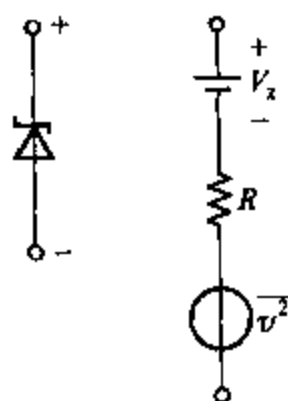


图 11.11 齐纳二极管
包含噪声的等效电路

11.3 集成电路元件的噪声模型

上面的几节中,描述了电子电路中噪声的不同的物理源。这一节中,将这些噪声源结合到一起,形成一个带噪声的二极管、双极型晶体管和 MOS 晶体管小信号等效电路。

11.3.1 结型二极管

在考虑冲击噪声中,对正偏置结型二极管的等效电路作了简要的考虑。可以增加串联电阻 r_s 来完成图 11.4 中基本的等效电路,如图 11.12。因为 r_s 是硅半导体电阻引起的物理电阻,所以它产生热噪声。实验发现任何出现的闪烁噪声都可以用一个跟 r_s 并联的电流发生器来表示,而且很容易地就可以与冲击噪声发生器结合到一起,如图(11.10)所示,得到

$$\overline{v_s^2} = 4kTr_s\Delta f \quad (11.9)$$

$$\overline{i^2} = 2qI_D\Delta f + K \frac{I_D^2}{f}\Delta f \quad (11.10)$$

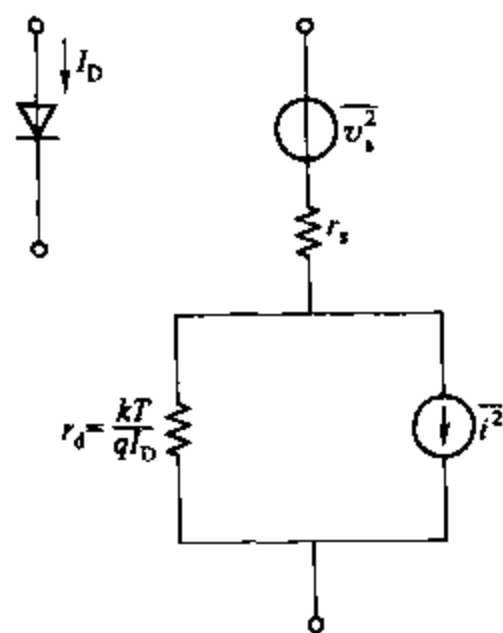


图 11.12 带噪声源的完整的
二极管小信号等效电路

11.3.2 双极型晶体管¹¹

在双极型晶体管的正向导通区,少子移动流过基区而被集电结收集。进入集电极耗尽区的少数子被该处的电场加速,通过该区进入集电极。扩散(或漂流)载流子到达集电结的时间可视为随机过程,所以晶体管集电极电流由一系列的随机电流脉冲组成。结果,集电极电流 I_c 代表了式(11.2)的所有冲击噪声,用一个从集电极到发射极的冲击噪声电流发生器 $\overline{i_c^2}$ 来表示,如图 11.13 中等效电路所示。

晶体管中基极电流 I_B 是由基极与基极-发射极耗尽区复合和从基极注射到发射极的载流子引起的。这些都是独立的随机过程,所以 I_B 表示了全部的冲击噪声。图 11.13 中,

这用冲击噪声电流发生器 $\overline{i_b^2}$ 表示。

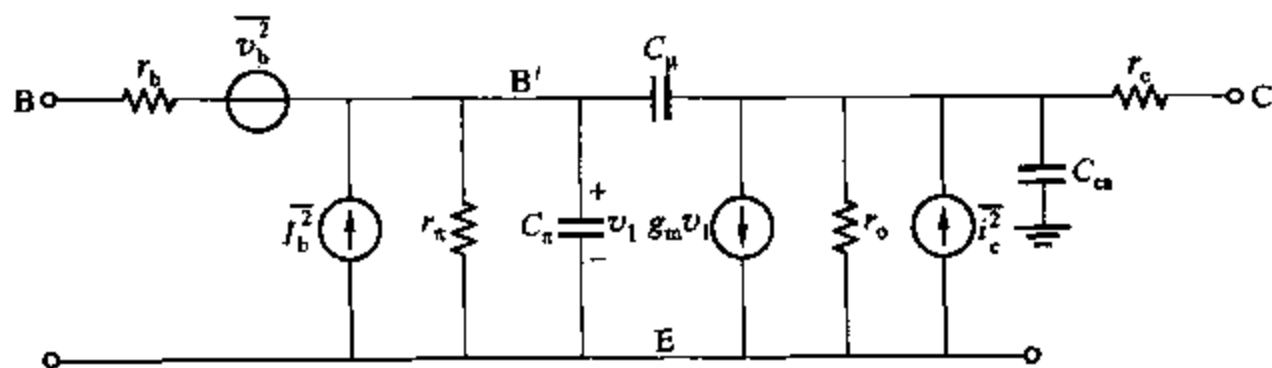


图 11.13 带噪声源的完整的双极型晶体管的小信号等效电路

晶体管基极电阻 r_b 是物理电阻所以产生热噪声。集电极串联电阻 r_c 同样有热噪声，但是因为它与集电结串联，所以噪声可忽略掉，模型中通常不包含这个噪声。注意模型中 r_{π} 和 r_o 只是为了建模而虚构的电阻，所以没有热噪声。

实验发现双极型晶体管的闪烁噪声和突发噪声可由通过发射结的电流发生器来表示。这些可以很方便地与 $\overline{i_b^2}$ 中的冲击噪声发生器结合在一起。当 V_{CE} 的电压保持比击穿电压 BV_{CEO} 低 5 V 时，则双极型晶体管中的雪崩噪声可以忽略，在下面的计算中将忽略这一噪声源。

包括噪声的双极型晶体管完整的小信号等效电路画在图 11.13 中。因为它们由独立的分开的物理机制引起，所以噪声源互相独立，均方值各为

$$\overline{v_b^2} = 4kTr_b\Delta f \quad (11.11)$$

$$\overline{i_c^2} = 2qI_c\Delta f \quad (11.12)$$

$$\overline{i_b^2} = \underbrace{2qI_B\Delta f}_{\text{冲击噪声}} + \underbrace{K_1 \frac{I_B^2}{f}\Delta f}_{\text{闪烁噪声}} + \underbrace{K_2 \frac{I_B}{1 + \left(\frac{f}{f_c}\right)^2}\Delta f}_{\text{突发噪声}} \quad (11.13)$$

这个等效电路对 pnp 和 npn 晶体管都成立。对 pnp 器件，上面的方程用到了 I_B 和 I_C 的幅度。

基极电流噪声频谱可以通过式(11.13)表示出来，如图 11.14 所示，其中为了简化，忽略冲击噪声。冲击噪声和闪烁噪声渐近线在被称为闪烁噪声的角频率 f_s 处相交。在一些经过精细处理的晶体管中， f_s 可以低到 100 Hz。在另外一些晶体管中， f_s 可以高达 10 MHz。

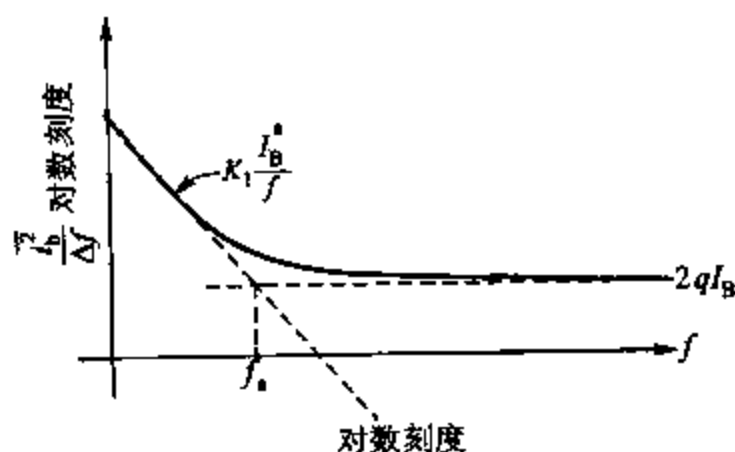


图 11.14 双极型晶体管中基极电流噪声发生器的频谱密度

11.3.3 MOS 晶体管¹²

在第一章中描述了 MOS 晶体管的结构。栅极下的沟道电阻随栅源电压变化,所以漏极电流是由栅-源电压控制的。既然沟道有电阻,那么它一定有热噪声,而且是 MOS 管放大器的主要噪声来源。这种噪声源在图 11.15 所示的小信号等效电路中,表现为一个值为 $\overline{i_d^2}$ 的噪声电流源。

另一个 MOS 放大器中的噪声源是闪烁噪声。因为 MOS 放大器的导体电流靠近硅表面,表面的部分负责捕捉和释放载流子,这样,器件的闪烁噪声可能非常的大。MOS 放大器的闪烁噪声在实验上表现为漏极和源极之间的电流源,闪烁噪声和热噪声在图 11.15 所示电路中集中表现为一个噪声源 $\overline{i_d^2}$:

$$\overline{i_d^2} = \underbrace{4kT \left(\frac{2}{3} g_m \right) \Delta f}_{\text{热噪声}} + \underbrace{K \frac{I_D^a}{f} \Delta f}_{\text{闪烁噪声}} \quad (11.14)$$

其中

I_D = 漏极偏置电流

K = 给定器件的常数

$a = 0.5 \sim 2$ 的常数

g_m = 器件在工作点的跨导

该公式适用于长沟道器件。若沟道长度小于 $1 \mu\text{m}$, 则热噪声要比式(11.14)中第一项已测得的热噪声大 2~5 倍。¹³ 热噪声的增大可能是由于在短沟道器件中电子的热运动引起的。

MOS 管的另一个噪声源是由栅极漏电流引起的冲击噪声,可由图 11.15 中的 $\overline{i_g^2}$ 表示;

因为栅极的直流电流 I_g 小于 10^{-15}A , 所以噪声电流通常是很小的。注意在式(11.14)和式(11.15)中的噪声参数都是彼此独立的。

$$\overline{i_g^2} = 2qI_g \Delta f \quad (11.15)$$

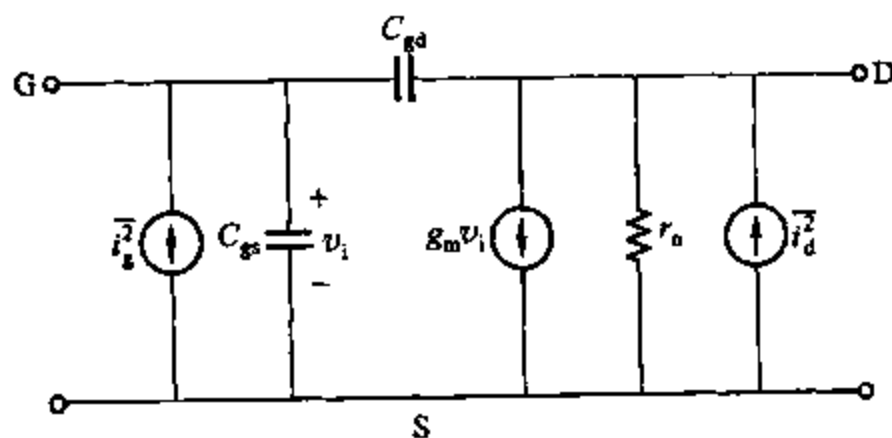


图 11.15 带噪声源的 MOSFET 小信号等效电路

还有一类噪声通常对于 MOS 电路例如射频放大器工作在低频时不重要,但在高频工作时却是非常重要的。在沟道的夹断点,栅极沟道电压由于热噪声引起的沟道波动是一个随机值,栅极和沟道间的电容引起的栅极交流电流噪声 i_g 产生了这些电压变量。长沟道器件有源区的栅极电流均方值为

$$\overline{i_g^2} = \frac{16}{15} k T \omega^2 C_{gs}^2 \Delta f \quad (11.16)$$

其中 $C_{gs} = (2/3) C_{ox} WL$ 。由于沟道温度波动产生噪声电流,所以式(11.16)中的栅极电流噪声和式(11.14)中的热噪声有关。这两个电流的相关幅度为 0.39。沟道长度小于 $1 \mu\text{m}$ 的栅极电流噪声,如果热噪声是因以上说明的由于沟道增长使电子的热运动剧烈,则可能大于式(11.16)所给值。¹⁴总的栅极噪声电流是式(11.15)和式(11.16)噪声电流的总和。

11.3.4 电阻

单片集成的和薄膜电阻也如式(11.14)和式(11.15)所示的一样表现出热噪声,电路如图(11.7)所示。在 11.2.3 节中已提到过的,分离的碳膜电阻会有闪烁噪声,这种电阻如果被用于集成电路的外延元件则应该考虑该噪声。

11.3.5 电容和电感

电容在集成电路中是最常用的基本元件,它有时可以不考虑寄生参数,有时也可以用于特定用途而引进的元件。电感有时可在集成高频通信电路的硅片上实现。理想的电容和电感是无噪声的,但实际的器件有寄生电阻,因而表现出式(11.14)和式(11.15)中的热噪声。在集成电路中的电容,寄生电阻通常是一个与电容串联的很小的值。在电感中的寄生电阻可以通过串行或并行而被模型化。

11.4 电路噪声的计算^{15,16}

来自于 11.3 节包括噪声的器件等价电路可用于电路噪声的计算。首先必须确定噪声源电路的计算方法,下面着重对这个问题进行分析。

考虑噪声电流源的均方值

$$\overline{i^2} = S(f) \Delta f \quad (11.17)$$

其中 $S(f)$ 为噪声谱密度。对于夹断噪声源, $S(f)$ 相对于频率的值在图 11.16a 中被标示。在窄带 Δf 内,噪声电流均方值可以由式(11.17)给出均方根写成如下形式:

$$i = \sqrt{S(f) \Delta f} \quad (11.18)$$

在带宽为 Δf 的噪声电流可以用图 11.16b 中所示的正弦电流源的算术均方根来近似表示,如果此时噪声电流用于电路的输入信号,则它的计算可用正弦源和通用的电路分析来代替。当计算出电路对正弦曲线的响应后,输出正弦曲线的均方值就是在带宽 Δf 内的输出噪声的均方值。因此,网络噪声计算就化简为熟悉的正弦曲线的电路分析计算,唯一的不同是在实际电路中有多个噪声源,每个噪声源要由独立的正弦曲线发生器来代替,并单独计算输出。那么每个输出正弦曲线均方值的和就是在带宽为 Δf 的总的噪声输出的均方值。这要求如下所示的初始噪声源是相对独立的。如果等价的噪声电路是前面所介绍的则这个要求通常是可以满足的,因为除了在式(11.16)特殊结构引起的栅极噪声外所有噪声源都是相互独立的。

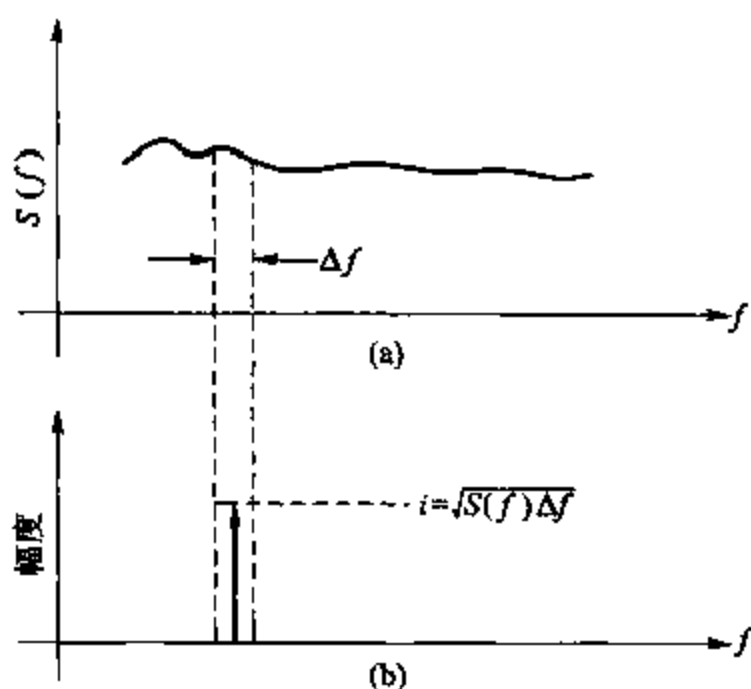


图 11.16 在带宽 Δf 内用有相同算术均方值的正弦曲线代表等价噪声

例如,在图 11.17 所示的串联电阻 R_1 和 R_2 ,电阻 R_1 和 R_2 各自的噪声源为

$$\overline{v_1^2} = 4kTR_1\Delta f \quad (11.19a)$$

$$\overline{v_2^2} = 4kTR_2\Delta f \quad (11.19b)$$

为了计算在串联电路中两个电阻产生的噪声电压 $\overline{v_T^2}$ 均方值,令 $v_T(t)$ 为噪声电压瞬态值, $v_1(t)$ 和 $v_2(t)$ 是相互独立源的瞬态值,则有

$$v_T(t) = v_1(t) + v_2(t) \quad (11.20)$$

$$\overline{v_T(t)^2} = \overline{[v_1(t) + v_2(t)]^2} = \overline{v_1(t)^2} + \overline{v_2(t)^2} + 2\overline{v_1(t)v_2(t)} \quad (11.21)$$

由于噪声源 $v_1(t)$ 和 $v_2(t)$ 产生于不同的电阻,它们是相互独立的,所以 $\overline{v_1(t)v_2(t)}$ 为零,式(11.21)变为

$$\overline{v_T^2} = \overline{v_1^2} + \overline{v_2^2} \quad (11.22)$$

因此,许多独立噪声发生器的均方值是各个独立均方值的和。将式(11.19a)和式(11.19b)代入式(11.22)可得

$$\overline{v_T^2} = 4kT(R_1 + R_2)\Delta f \quad (11.23)$$

式(11.23)恰好是使用式(11.4)在电阻 $(R_1 + R_2)$ 上的热噪声的预测值,所以结果是一致的,该结果还和先前描述的用相互独立的正弦曲线作为噪声源代表的结果一致。它清楚地表明:当两个或更多的这样的发生器串联时,总电压的均方值等于各独立电压均方值的总和。

在上述的计算中,两个噪声电压源被认为是串联的。与此类似:对于独立的并联的噪声电流源,模拟的结果也是正确的。总体均方值是个独立均方值的和。11.3 节就是建立在这一结果的基础上,三个独立的噪声电流发生器(散粒,闪烁和突发)被联合成了一个单级基极-发射极噪声源的双极型晶体管。

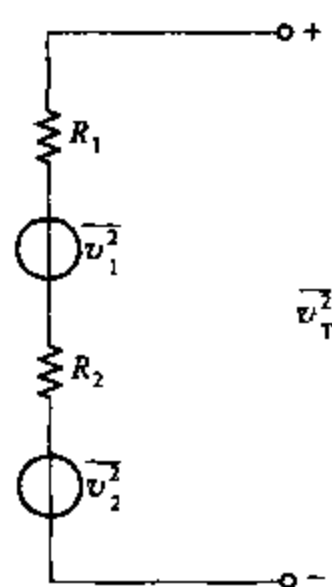


图 11.17 两个电阻串联产生的总 $\overline{v_T^2}$ 的噪声的计算电路图

11.4.1 双极型晶体管噪声特性

作为一个在电路计算中噪声源作用的例子,考虑在图 11.18a 所示的交流示意图中简单晶体管的噪声特性。如图 11.18b 所示为包括噪声的小信号等价电路。(需要指出:对于噪声计算,等价电路的分析图必须是真实电路的化简。即,图 11.18a 不能作为半边的电路来代替噪声计算的差分对,因为差分对的每个噪声源会影响整个输出的噪声。)

在图 11.18b 的等价电路中,外部输入信号 v_i 被忽略了,所以只有噪声源产生输出信号 v_o 。假设 C_μ 很小可以忽略不计,输出电阻 r_o 也可忽略。晶体管噪声源就如上所述并且有

$$\overline{v_s^2} = 4kTR_s\Delta f \quad (11.24)$$

$$\overline{i_i^2} = 4kT \frac{1}{R_L} \Delta f \quad (11.25)$$

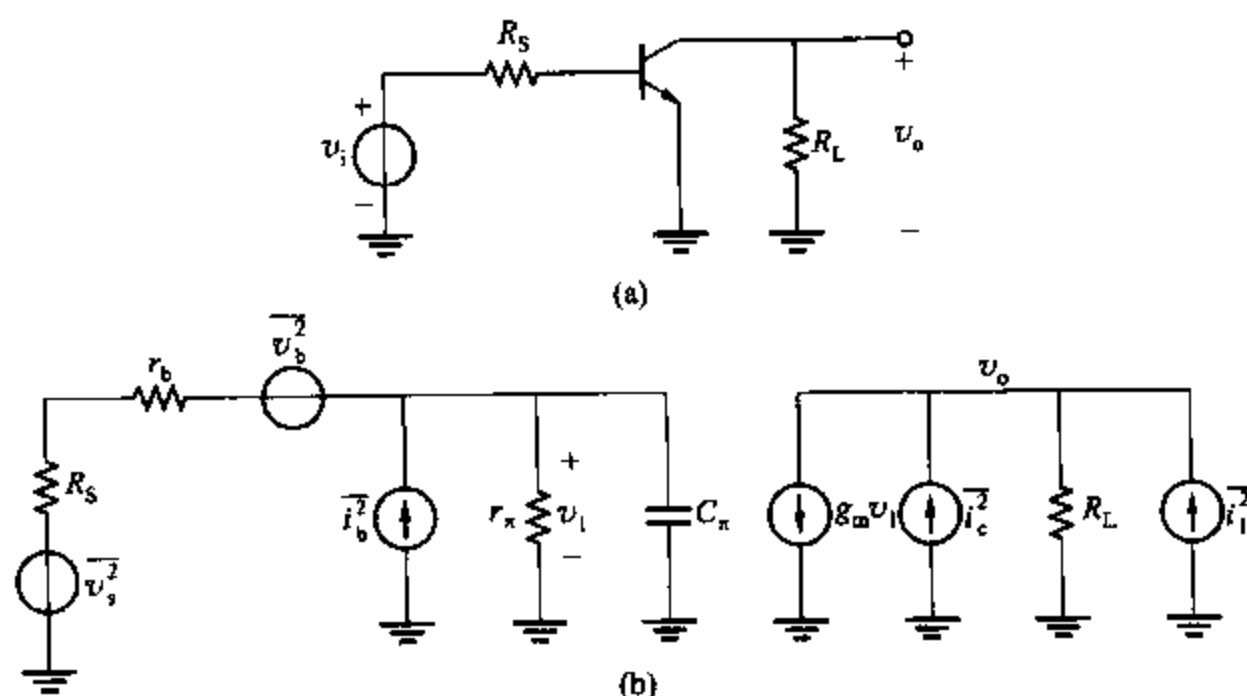


图 11.18 (a) 简单晶体管放大器交流原理图;
(b) 包含噪声的小信号等价电路

总的输出噪声是通过按顺序依次考虑每一个噪声源并计算其作用来计算,就像把每个噪声源的正弦曲线的均方根值看成是被考虑的噪声源。首先考虑由 R_s 产生的噪声源 v_s 。于是得到

$$v_1 = \frac{Z}{Z + r_\pi + R_s} v_s \quad (11.26)$$

其中

$$Z = r_\pi // \frac{1}{j\omega C_\pi} \quad (11.27)$$

由 v_s 产生的输出电压

$$v_{o1} = -g_m R_L v_1 \quad (11.28)$$

将式(11.26)代入式(11.28)可得

$$v_{o1} = -g_m R_L \frac{Z}{Z + r_\pi + R_s} v_s \quad (11.29)$$

在式(11.29)中包含的相位信息是不相关的,因为噪声信号是随机相位,由于感兴趣的只是由 v_s 产生的输出电压的均方值。由式(11.29)可知该值是

$$\overline{v_{o1}^2} = g_m^2 R_L^2 \frac{|Z|^2}{|Z + r_b + R_s|^2} \overline{v_s^2} \quad (11.30)$$

与此类似,可以计算在输出端由 $\overline{v_b^2}$ 和 $\overline{i_b^2}$ 产生的噪声电压为如下所示:

$$\overline{v_{o2}^2} = g_m^2 R_L^2 \frac{|Z|^2}{|Z + r_b + R_s|^2} \overline{v_b^2} \quad (11.31)$$

$$\overline{v_{o3}^2} = g_m^2 R_L^2 \frac{(R_s + r_b)^2 |Z|^2}{|Z + r_b + R_s|^2} \overline{i_b^2} \quad (11.32)$$

在输出端由 $\overline{i_1^2}$ 和 $\overline{i_c^2}$ 产生的噪声为

$$\overline{v_{o4}^2} = \overline{i_1^2} R_L^2 \quad (11.33)$$

$$\overline{v_{o5}^2} = \overline{i_c^2} R_L^2 \quad (11.34)$$

由于 5 个噪声源是相互独立的,总的输出噪声为

$$\overline{v_o^2} = \sum_{n=1}^5 \overline{v_{on}^2} \quad (11.35)$$

$$= g_m^2 R_L^2 \frac{|Z|^2}{|Z + r_b + R_s|^2} [\overline{v_s^2} + \overline{v_b^2} + (R_s + r_b)^2 \overline{i_b^2}] + R_L^2 (\overline{i_1^2} + \overline{i_c^2}) \quad (11.36)$$

将上述表达式代入噪声发生器可得

$$\frac{\overline{v_o^2}}{\Delta f} = g_m^2 R_L^2 \frac{|Z|^2}{|Z + r_b + R_s|^2} [4kT(R_s + r_b) + (R_s + r_b)^2 2qI_B] + R_L^2 \left(4kT \frac{1}{R_L} + 2qI_C \right) \quad (11.37)$$

这里假设闪烁噪声很小可以被忽略。将式(11.27)代入式(11.37)中得到

$$\frac{\overline{v_o^2}}{\Delta f} = g_m^2 R_L^2 \frac{r_\pi^2}{(r_\pi + R_s + r_b)^2} \frac{1}{1 + \left(\frac{f}{f_1}\right)^2} [4kT(R_s + r_b) + (R_s + r_b)^2 2qI_B] + R_L^2 \left(4kT \frac{1}{R_L} + 2qI_C \right) \quad (11.38)$$

其中

$$f_1 = \frac{1}{2\pi[r_\pi // (R_s + r_b)]C_\pi} \quad (11.39)$$

用式(11.38)代表的输出端的噪声谱密度包括由频率决定的部分和常数部分。由频率决定是因为每级增益从开始到下降都在频率 f_1 以上,由源 v_s , $\overline{v_b^2}$ 和 $\overline{i_b^2}$ 产生的噪声出现在放大器的输出端,也开始下降的。在式(11.38)中的常数项是由噪声源 $\overline{i_1^2}$ 和 $\overline{i_c^2}$ 产生的。假如 C_π 不能被忽略,那么噪声影响的作用也依赖于频率。式(11.38)的噪声电压谱密度的形式如图 11.19 所示。

示例

为了精确计算,给定式(11.38)中的具体参数值,则方程中的变量值就可以估计了。参

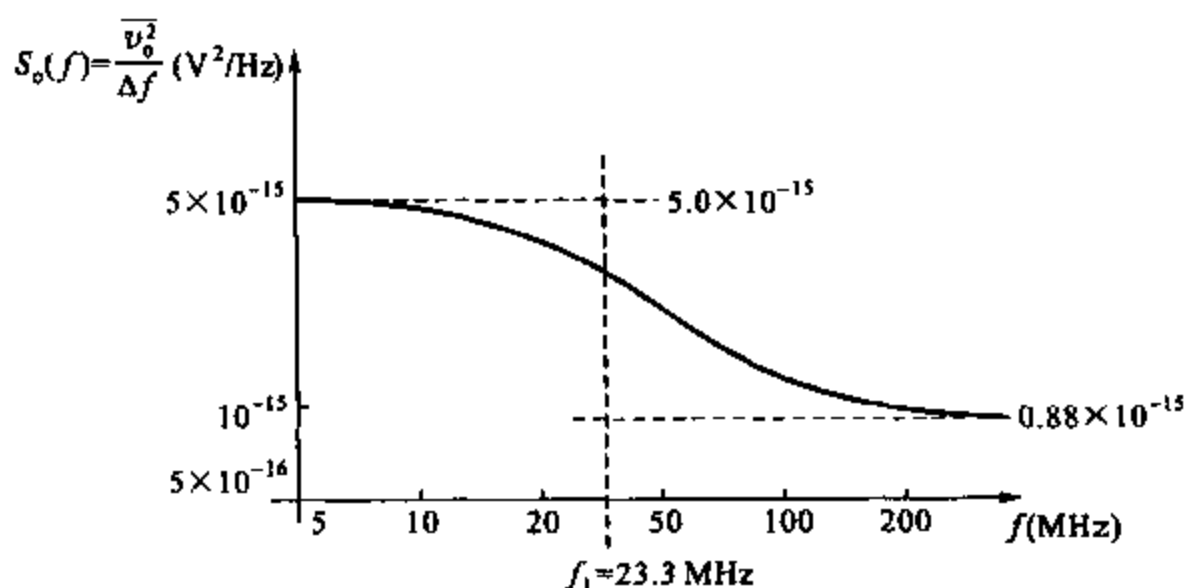


图 11.19 电路图 11.18 输出端的噪声电压谱

数值假定为

$$I_C = 100 \mu\text{A} \quad \beta = 100 \quad r_b = 200 \Omega$$

$$R_s = 500 \Omega \quad C_\pi = 10 \text{ pF} \quad R_L = 5 \text{ k}\Omega$$

将这些参数值和 $4kT = 1.66 \times 10^{-20} \text{ VC}$ 代入式(11.38)得

$$\begin{aligned} \frac{\overline{v_o^2}}{\Delta f} &= \left[5.82 \times 10^{-18} \frac{1}{1 + \left(\frac{f}{f_1}\right)^2} (700 + 9.4) + 1.66 \times 10^{-20} (5\,000 + 48\,080) \right] \text{V}^2/\text{Hz} \\ &= \left[\frac{4.13 \times 10^{-15}}{1 + \left(\frac{f}{f_1}\right)^2} + 0.88 \times 10^{-15} \right] \text{V}^2/\text{Hz} \end{aligned} \quad (11.40)$$

由式(11.39)有

$$f_1 = 2.33 \text{ MHz} \quad (11.41)$$

式(11.40)给出在低频时输出端的噪声电压谱密度是 $5.0 \times 10^{-15} \text{ V}^2/\text{Hz}$, 高频时接近 $0.88 \times 10^{-15} \text{ V}^2/\text{Hz}$ 。在这种情况下对输出端噪声的主要影响因素是源电阻 R_s , 它随晶体管的基本电阻变化。式(11.40)给出的噪声谱如图 11.19 所示。

示例

假设在上例中的放大器的后级带宽被限制在 1 MHz。由于在图 11.19 所示的噪声谱不是直到 $f_1 = 2.33 \text{ MHz}$ 才开始剧烈下降的, 在带宽为 0~1 MHz 的噪声谱假设在 $5.0 \times 10^{-15} \text{ V}^2/\text{Hz}$ 时是常数, 所以在图 11.18a 中电路输出端在带宽为 1 MHz 的总噪声电压是

$$\overline{v_{oT}^2} = 5.0 \times 10^{-15} \times 10^6 \text{ V}^2 = 5.0 \times 10^{-9} \text{ V}^2$$

即

$$v_{oT} = 71 \mu\text{V}_{\text{rms}} \quad (11.42)$$

现在假设图 11.18a 的放大器不跟随限制带宽的后级, 但是直接供给宽带检波器(即示

波器或伏特计)。为了计算这种情况下总输出噪声电压,频率每增 Δf 的影响必须在输出端求和。此时,简化为在图 11.19 所示的检波器噪声电压谱密度曲线在整个带宽上的积分。例如,检波器为 $0 \sim 50 \text{ MHz}$ 的带宽,则总的输出噪声为

$$\begin{aligned}\overline{v_{oT}^2} &= \sum_{f=0}^{50 \times 10^6} S_o(f) \Delta f \\ &= \int_0^{50 \times 10^6} S_o(f) df\end{aligned}\quad (11.43)$$

其中

$$S_o(f) = \frac{\overline{v_o^2}}{\Delta f} \quad (11.44)$$

是由式(11.40)定义的噪声谱密度。在实际中,精确估计这个积分值是很困难的,经常用近似估计的方法。注意如果是用画图的方法计算积分值,那么相对于频率的噪声谱密度必须按线性刻度标出。

11.4.2 等效输入噪声和最小可测信号

在前述章节中,图 11.18 示电路产生的输出噪声是可以计算的。电路中噪声影响的重要作用是在噪声降低输出信号质量之前,将电路最小输入信号的加以限制。因此,在考虑电路相同输出噪声的情况下,用等价的输入噪声信号来表示噪声的影响。用这种方法,可以直接将输入噪声和输入信号对比,可以很容易地得到在这些信号下噪声的影响。因此,将图 11.18 用图 11.20 代替,这里 $\overline{v_{iN}^2}$ 是一个输入噪声电压源,像所有初始噪声源一样产生相同的输出噪声。在图 11.20 所有其他的噪声源被认为是无关的。用像图 11.18b 一样的等价电路可得到图 11.20 的输出噪声是

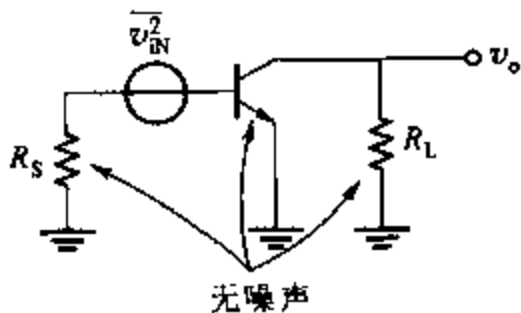


图 11.20 用等价输入噪声电压代表噪声特性

$$\overline{v_o^2} = g_m^2 R_L^2 \frac{|Z|^2}{|Z + r_b + R_s|^2} \overline{v_{iN}^2} \quad (11.45)$$

如果噪声表达式等同于式(11.37)中的 $\overline{v_o^2}$, 电路的等价输入噪声电压可为

$$\frac{\overline{v_{iN}^2}}{\Delta f} = 4kT(R_s + r_b) + (R_s + r_b)^2 2qI_B + \frac{1}{g_m^2 R_L^2} \frac{|Z + r_b + R_s|^2}{|Z|^2} R_L^2 \left(4kT \frac{1}{R_L} + 2qI_C \right) \quad (11.46)$$

可以看到在式(11.46)中给出的噪声电压谱密度在高频时升高了,因为变量 $|Z|$ 随频率改变。故而器件增益随频率降低,当输出噪声源 $\overline{i_b^2}$ 和 $\overline{i_c^2}$ 作为参考而返回输入端时影响会更大。

示例

计算电路图 11.18 在带宽为 $0 \sim 1 \text{ MHz}$ 时的总的输入噪声电压 $\overline{v_{iNT}^2}$ 。

可用式(11.46)计算,也可以另一种方法计算。由于已经算出了总输出噪声电压 $\overline{v_{oT}^2}$,

这样可以分割电路电压增益的平方来计算 $\overline{v_{\text{INT}}^2}$ (带宽为 0~1 MHz)。如果 A_v 是图 11.18 所示的低频,小信号电压增益则

$$A_v = \frac{r_\pi}{r_b + r_\pi + R_S} g_m R_L$$

使用以前电路中的数据得

$$A_v = \frac{26\,000}{200 + 26\,000 + 500} \frac{5\,000}{260} = 18.7$$

由于噪声谱平稳时高达 1 MHz,用低频增益可计算 $\overline{v_{\text{INT}}^2}$ 如下:

$$\overline{v_{\text{INT}}^2} = \frac{\overline{v_{\text{OT}}^2}}{A_v^2} = \frac{5 \times 10^{-9}}{18.7^2} \text{V}^2 = 14.3 \times 10^{-12} \text{V}^2$$

则有

$$v_{\text{INT}} = 3.78 \mu\text{Vrms}$$

上例中可以给出带宽 0~1 MHz 的电路噪声来自于在串联输入中为 $3.78 \mu\text{Vrms}$ 的噪声电压源。这个噪声可估计出电路可以实现放大的最小信号,有时称为最小可测信号 (MDS),它主要取决于信号特性和应用。如果没有特殊的滤波器或编码技术,MDS 可被看作在放大器的同频带的等价输入噪声电压。此时 $\text{MDS} = 3.78 \mu\text{Vrms}$ 。如果幅度是 $3.78 \mu\text{Vrms}$ 的正弦曲线作用于该电路,1 MHz 带宽时的输出在示波器中测量,如图 11.21 所示正弦曲线基本没有可测的噪声。这个图中的噪声波形是典型的由冲击和热噪声产生的。

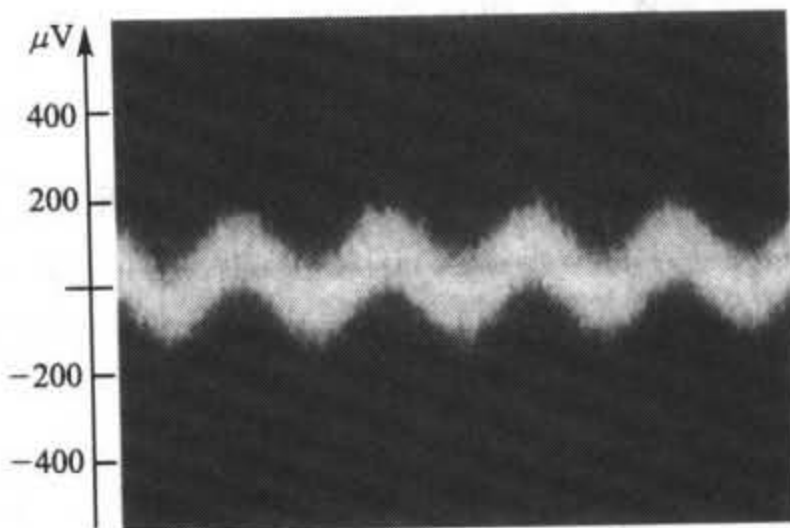


图 11.21 输入为幅度是 $3.78 \mu\text{Vrms}$ 正弦波形图 11.18 的输出电压波形。
电路的等价输入电压为 $3.78 \mu\text{Vrms}$,带宽小于 1 MHz

11.5 等效输入噪声源¹⁷

在前述章节中,对于特殊结构的等价输入噪声电压源是可以计算的。这使得等价噪声电压源的表达式取决于源电阻 R_S ,也就是晶体管的参数。这种方法现在已经沿伸为一种更普遍且更有用的表现形式,即有两个等效输入噪声源代表二端口网络的噪声。如图 11.22 所示,包含噪声源的二端口网络是用移走内部噪声源(即无噪声网络),在输入端接一个噪声电压 $\overline{v_i^2}$ 和一个噪声电流 $\overline{i_i^2}$ 的等价电路来代表的。该法可用于任何源阻抗,要提供两个被考虑的噪声源的相关性。即两个噪声源一般是不相互独立的,因为它们都取决于初始噪声源。

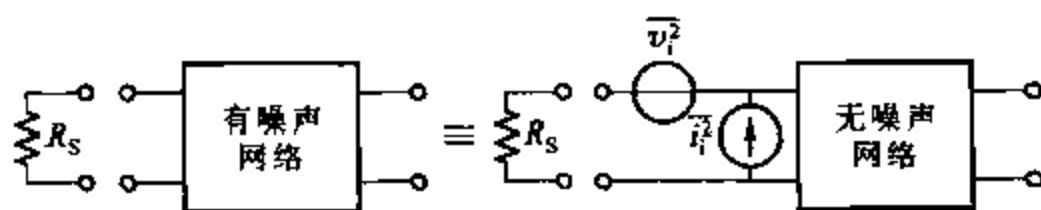


图 11.22 用等价输入电压和电流源代表二端网络的噪声

考虑噪声源的相关性增加了计算的复杂性,如果相关性是非常重要的,很容易会回到初始内部有噪声源的网络来计算影响。然而,在大量的实际电路中相关性是很小的,甚至可以忽略。此外,如果 $\overline{v_i^2}$ 或 $\overline{i_i^2}$ 在输入源是主要作用,那么相关性在任何时候都可以忽略。这种替代方法是非常有用的,而且非常明显。

需要用等价输入噪声电压源和等价输入噪声电流源来代表电路中任何源电阻的噪声影响,可以用如下所述方法进行分析。考虑极端情况源电阻 R_S 为零或无穷大。若 $R_S = 0$,图 11.22 中 $\overline{i_i^2}$ 短路,由于一般来说初始电路仍然有输出噪声,需要用一个等价输入噪声电压 $\overline{v_i^2}$ 代替。同样,如果 $R_S \rightarrow \infty$,在图 11.22 中的 $\overline{v_i^2}$ 不能产生输出噪声,用 $\overline{i_i^2}$ 代表初始噪声网络的影响。对于 R_S 为无穷大时, $\overline{v_i^2}$ 和 $\overline{i_i^2}$ 就是电路的等价输入噪声。

图 11.22 中的等价输入源的值很容易确定。首先将两个电路的输入短路,并等价在每种情况下的输出噪声,计算 $\overline{v_i^2}$ 。 $\overline{i_i^2}$ 是在每个电路的输入端开路的值,并等价在每种情况下的输出噪声。这可用于双极型晶体管和 MOS 晶体管。

11.5.1 双极型晶体管噪声源

对于双极型晶体管等价输入噪声源可以通过图 11.23a 所示的等价电路进行计算。在电路短路和 C_μ 忽略的情况下计算输出噪声,这将在以后进行验证。图 11.23a 的电路可等价为图 11.23b,对每个电路给出任何源阻抗均产生相同的输出噪声。

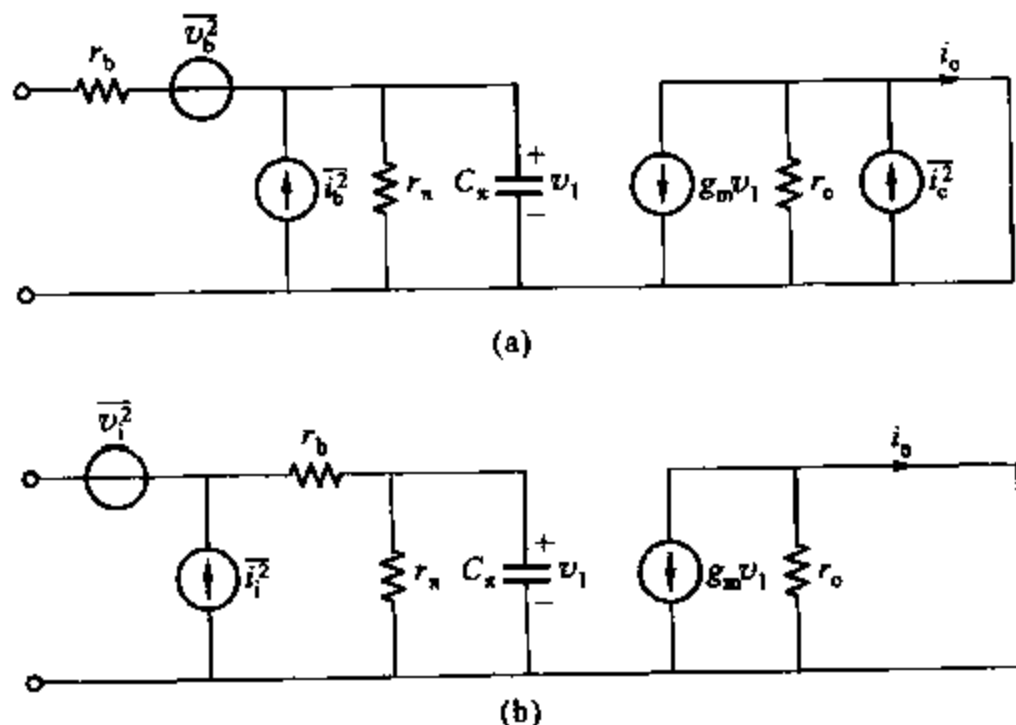


图 11.23 (a) 加噪声源的双极型晶体管小信号等效电路;
(b) 将(a)图中的噪声源改为用输入源的值来表示

$\overline{v_i^2}$ 的值可以将每个电路的输入端短路, 计算等效输出噪声 i_o 。用噪声均方值计算, 不需要保持噪声信号像噪声源一样是彼此独立的以及有随机相位。噪声源的极性不影响结果。图 11.23 的两个电路输入端都短路, 假设 r_b 很小 ($\ll r_e$), 用方程式列出 i_o 可得

$$g_m v_b + i_c = g_m v_i \quad (11.47)$$

其中
$$v_i = v_b + \frac{i_c}{g_m} \quad (11.48)$$

由于 r_b 很小, 所以 $\overline{i_c^2}$ 的作用在计算中可以忽略。

实际 v_b 和 i_c 是相关的, 从式(11.48)可得

$$\overline{v_i^2} = \overline{v_b^2} + \frac{\overline{i_c^2}}{g_m^2} \quad (11.49)$$

用式(11.11)和式(11.12)代替式(11.49)中的 $\overline{v_b^2}$ 和 $\overline{i_c^2}$ 可得

$$\overline{v_i^2} = 4kTr_b\Delta f + \frac{2qI_c\Delta f}{g_m^2}$$

因此

$$\frac{\overline{v_i^2}}{\Delta f} = 4kT \left(r_b + \frac{1}{2g_m} \right) \quad (11.50)$$

等效双极型晶体管的输入噪声电压谱密度的出现来自于电阻 R_{eq} , 即

$$\frac{\overline{v_i^2}}{\Delta f} = 4kTR_{eq} \quad (11.51)$$

其中

$$R_{eq} = r_b + \frac{1}{2g_m} \quad (11.52)$$

R_{eq} 被称为等效输入噪声电阻。作为虚拟假设电阻的一部分, r_b 实际是在串联电路输入端的一个物理电阻, 另一部分 $\frac{1}{2g_m}$ 代表的是集电极电流的散粒噪声作为参考返回到输入端的影响。式(11.50)和式(11.52)是非常有用的近似, 虽然假设 $r_b \ll r_e$ 在集电极偏置电流很高时是不正确的, 并且在这种情况下, 计算将无限制地被重复。

式(11.50)可以比较来自于 r_b 和 I_c 的噪声对于 $\overline{v_i^2}$ 的贡献的相对重要性。例如, 如果 $I_c = 1 \mu A$, $\frac{1}{2g_m} = 13 k\Omega$, 那么决定了 r_b 的典型值大约是 100Ω 。另一方面如果 $I_c = 10 mA$,

$\frac{1}{2g_m} = 1.3 \Omega$, r_b 的噪声将主要决定 $\overline{v_i^2}$ 。因此, 对于低源阻抗 (i_i^2 趋向于短路), $\overline{v_i^2}$ 是主要的噪声源, 很明显, 来自于低源阻抗的好的噪声性能要求 R_{eq} 最小化。这可通过设计低 r_b 值和器件工作时用很大的集电极偏置电流减小 $\frac{1}{2g_m}$ 来实现。最后需要说明的是式(11.50)

中双极型晶体管的等效输入噪声电压谱密度是频率独立的。

为了计算等价输入噪声电流源 $\overline{i_i^2}$, 使图 11.23 中的两个电路输入端均开路且输出噪声

电流 i_o 相等。用噪声均方根值可得

$$\beta(j\omega) i_i = i_c + \beta(j\omega) i_b \quad (11.53)$$

其中

$$i_i = i_b + \frac{i_c}{\beta(j\omega)} \quad (11.54)$$

由于 i_b 和 i_c 是相互独立的, 所以由式(11.54)可得

$$\overline{i_i^2} = \overline{i_b^2} + \frac{\overline{i_c^2}}{|\beta(j\omega)|^2} \quad (11.55)$$

其中

$$\beta(j\omega) = \frac{\beta_0}{1 + j \frac{\omega}{\omega_\beta}} \quad (11.56)$$

β_0 是低频的小信号电流增益[见式(1.122)和式(1.126)]。

将式(11.13)和式(11.12)中的 $\overline{i_b^2}$ 和 $\overline{i_c^2}$ 代入(11.55)得到

$$\frac{\overline{i_i^2}}{\Delta f} = 2q \left[I_B + K'_1 \frac{I_B^2}{f} + \frac{I_C}{|\beta(j\omega)|^2} \right] \quad (11.57)$$

其中

$$K'_1 = \frac{K_1}{2q} \quad (11.57a)$$

并且对于简单电路忽略突发噪声。在式(11.57)中括号内的最后的一项是集电极电流噪声作为参考到输入端造成的。在低频时就变为 I_C/β_0^2 , 对于典型 β_0 相对于 I_B 值是可以忽略的。以上成立时, $\overline{v_i^2}$ 和 $\overline{i_i^2}$ 不包含通常的噪声源, 并且是相互独立的。在高频时, 尽管在式(11.57)中的最后一项增大变成了主要作用, 但是 $\overline{v_i^2}$ 和 $\overline{i_i^2}$ 是十分重要的, 因为它们都包含了来自于 $\overline{i_c^2}$ 的因素。

由式(11.57)给出的等效输入噪声电流谱密度来源于电流 I_{eq} 表现出的全部闪烁噪声, 如下:

$$\frac{\overline{i_i^2}}{\Delta f} = 2q I_{eq} \quad (11.58)$$

其中

$$I_{eq} = I_B + K'_1 \frac{I_B^2}{f} + \frac{I_C}{|\beta(j\omega)|^2} \quad (11.59)$$

I_{eq} 被称为等效输入闪烁噪声电流。这个虚拟电流包括器件的基极电流加上另一项代表的闪烁噪声和代表集电极电流转换到输入端的噪声。从式(11.59)很明显可知, 通过使用晶体管较低的偏置电流和较高的 β 使 I_{eq} 被最小化。由于在电路中 $\overline{i_i^2}$ 是主要的等价输入噪声源, 晶体管具有高的源阻抗。很明显, 在这些情况下对于好的噪声特性需要低的偏置电流和高 β 值。注意低的偏置电流使 $\overline{i_i^2}$ 最小和高的偏置电流使 $\overline{v_i^2}$ 最小是相互冲突的。

等价输入噪声电流源的谱密度 $\overline{i_i^2}/\Delta f$ 可以用式(11.57)中频率的函数来画出。图 11.24

所示为典型的晶体管参数。在这种情况下,谱密度是依赖于低频和高频,低频的升高是由于闪烁噪声,高频的升高是由于集电极电流噪声返回到输入端。在高频时输入反馈噪声升高是因为晶体管电流增益开始下降,这也是在高频时晶体管噪声性能下降的原因。

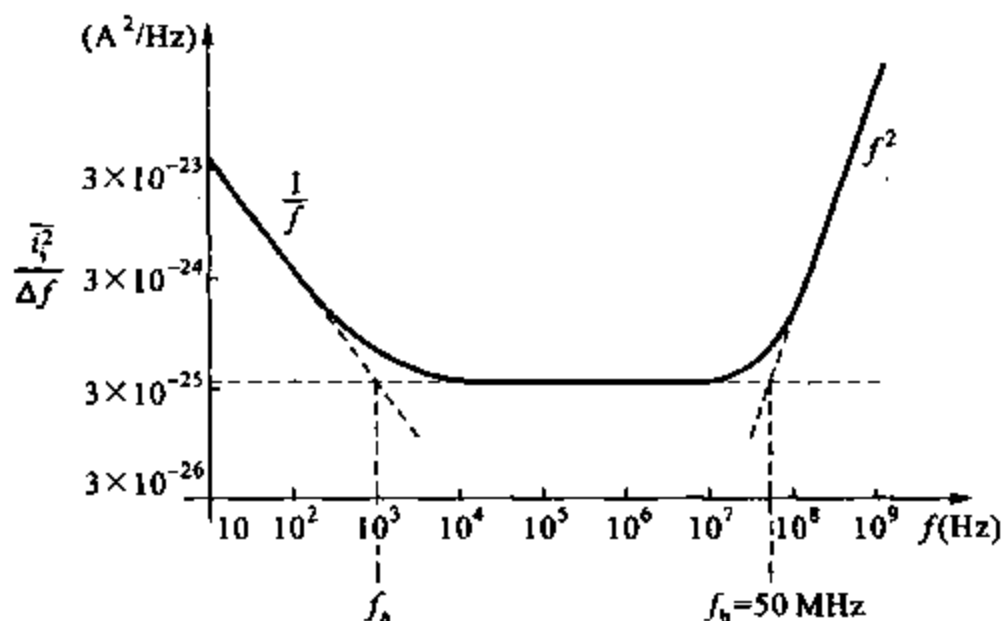


图 11.24 双极型晶体管,在 $I_C = 100 \mu\text{A}$, $\beta_0 = \beta_F = 100$, $f_T = 500 \text{ MHz}$ 情况下,等效输入噪声的频谱。这里包括了闪烁噪声

图 11.24 中的频率 f_b 是高频噪声渐近线和中心带宽渐近线的交叉点。可以用式 (11.57) 计算如下:

$$\beta(jf) = \frac{\beta_0}{1 + j \frac{f}{f_T} \beta_0} \quad (11.60)$$

其中 β_0 是低频小信号电流增益。因此,在式 (11.57) 中集电极电流噪声项在高频时为

$$2q \frac{I_C}{|\beta(jf)|^2} = 2q \frac{I_C}{\beta_0^2} \left(1 + \frac{f^2}{f_T^2} \beta_0^2 \right) \approx 2q I_C \frac{f^2}{f_T^2} \quad (11.61)$$

式 (11.61) 表示在高频时等效输入噪声电流谱比增加为 f^2 。通过式 (11.61) 推导出的中心带宽噪声可以计算频率 f_b , 即 $2q [I_B + (I_C/\beta_0^2)]$ 。对于 β_0 的典型值,接近于 $2q I_B$, 并且与式 (11.61) 相等, 可得

$$2q I_B = 2q I_C \frac{f_b^2}{f_T^2}$$

所以

$$f_b = f_T \sqrt{\frac{I_B}{I_C}} \quad (11.62)$$

大信号电流增益(或直流)定义为

$$\beta_F = \frac{I_C}{I_B} \quad (11.63)$$

故式(11.62)变为

$$f_b = \frac{f_T}{\sqrt{\beta_F}} \quad (11.64)$$

用图 11.24 给出的数据,此例中的 $f_b = 50 \text{ MHz}$ 。

一旦计算出上述的输入噪声源,任何晶体管源阻抗的噪声作用很容易计算。例如,考虑如图 11.25a 所示的有源电阻 R_s 的简单电路,该电路的噪声作用可以用图 11.25b 所示电路输入端串联的总的等效噪声电压 $\overline{v_{IN}^2}$ 来代替。忽略 R_L 的噪声(这在以后将会讨论),图 11.25a 和图 11.25b 中晶体管基极的总的噪声电压是

$$v_{IN} = v_s + v_i + i_i R_s$$

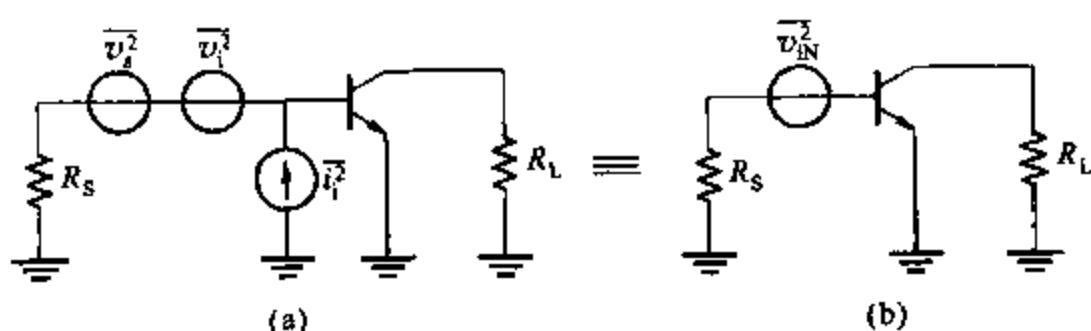


图 11.25 输入噪声仅表现为一个等效输入噪声源
(a) 原始电路;(b) 等效电路

如果 v_i 和 i_i 的相关性可以忽略,有

$$\overline{v_{IN}^2} = \overline{v_s^2} + \overline{v_i^2} + \overline{i_i^2} R_s^2 \quad (11.65)$$

在式(11.65)中使用式(11.50)和式(11.57),忽略闪烁噪声可得

$$\frac{\overline{v_{IN}^2}}{\Delta f} = 4kTR_s + 4kT \left(r_b + \frac{1}{2g_m} \right) + R_s^2 2q \left[I_B + \frac{I_C}{|\beta(jf)|^2} \right] \quad (11.66)$$

如果如假设的一样, r_b 很小,那么式(11.66)相似于式(11.46)。

示例

使用 11.4.1 节中的数据,用式(11.66)计算在带宽为 0 至 1 MHz 时,图 11.25a 所示电路的总的输入噪声电压,忽略闪烁噪声。在低频时,式(11.66)变为

$$\begin{aligned} \frac{\overline{v_{IN}^2}}{\Delta f} &= 4kT \left(R_s + r_b + \frac{1}{2g_m} \right) + R_s^2 2q I_B \\ &= [1.66 \times 10^{-20} \times (500 + 200 + 130) + 500^2 \times 3.2 \times 10^{-19} \times 10^{-6}] \text{ V}^2/\text{Hz} \\ &= (13.8 + 0.08) \times 10^{-18} \text{ V}^2/\text{Hz} \\ &= 13.9 \times 10^{-18} \text{ V}^2/\text{Hz} \end{aligned}$$

在 1 MHz 带宽时总的输入噪声是

$$\begin{aligned} \overline{v_{INT}^2} &= 13.9 \times 10^{-18} \times 10^6 \text{ V}^2 \\ &= 13.9 \times 10^{-12} \text{ V}^2 \end{aligned}$$

因此

$$v_{\text{INT}} = 3.73 \mu\text{V}_{\text{rms}}$$

该结果和 11.4.1 节的结果基本是一致的。上述方法的优点是一旦对于任何专门器件等价输入源是已知的,只需要花费很小的精力,答案几乎可以通过观察写出。同时变量噪声源的相对贡献更容易被看到。例如,在这种情况下,很明显,等效输入噪声电流是一个可忽略的因素。

11.5.2 MOS 晶体管噪声源

对于场效应 MOS 晶体管(MOSFET)的等效输入噪声源可以通过图 11.26a 的等价电路计算。该电路被等价于图 11.26b。负载短路和忽略 C_{gd} 时,每一种情况下的输出噪声均可计算出。

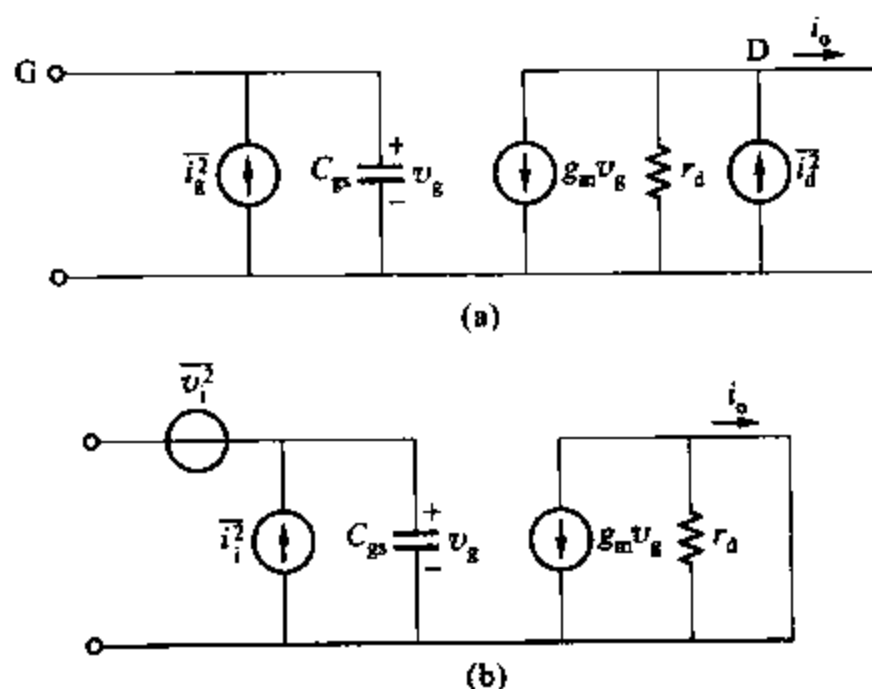


图 11.26 (a)有噪声的 MOSFET 小信号等价电路;(b)用两个输入噪声源代替(a)

如果图 11.26b 的输入是短路的,可推出输出噪声电流为

$$i_d = g_m v_i$$

$$\overline{v_i^2} = \frac{\overline{i_d^2}}{g_m^2} \quad (11.67)$$

及

用式(11.14)代替式(11.67)中的 $\overline{i_d^2}$ 得

$$\frac{\overline{v_i^2}}{\Delta f} = 4kT \frac{2}{3} \frac{1}{g_m} + K \frac{I_D}{g_m^2 f} \quad (11.68a)$$

在 MOS 晶体管的等效输入噪声电阻 R_{eq} 定义为

$$\frac{\overline{v_i^2}}{\Delta f} = 4kTR_{\text{eq}}$$

其中

$$R_{\text{eq}} = \frac{2}{3} \frac{1}{g_m} + K' \frac{I_D}{g_m^2 f} \quad (11.68b)$$

和

$$K' = \frac{K}{4kT}$$

在闪烁噪声区域以上的频率, $R_{eq} = \frac{2}{3} \frac{1}{g_m}$ 。若 $g_m = 1 \text{ mA/V}$ 则 $R_{eq} = 667 \Omega$, 比双极型晶体管的偏置电流(大约为 1 mA)要高得多。典型的 MOS 晶体管的等效输入噪声电压的谱密度频率标于图 11.27 中。不同于双极型晶体管, MOS 晶体管的等效输入噪声电压源包含闪烁噪声, 闪烁噪声延伸到兆赫兹的区域并非罕见。

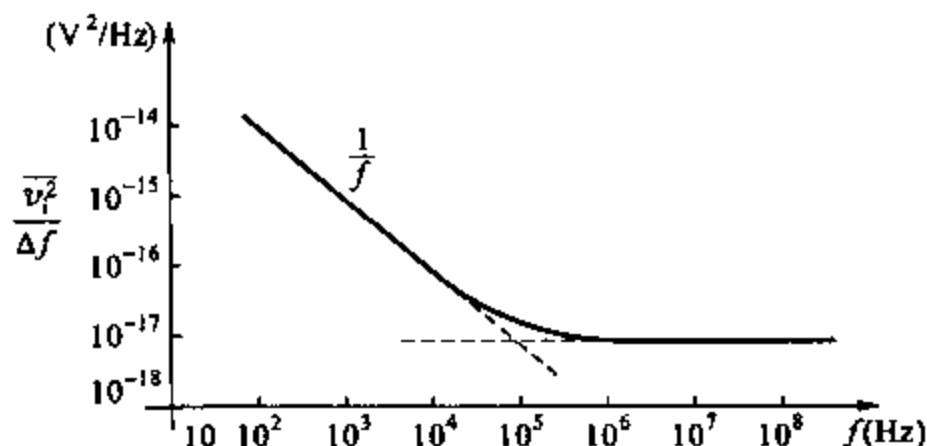


图 11.27 典型的 MOS 晶体管的等价输入噪声电压的谱密度

在场效应 MOS 晶体管, 电子能量级存在于 $S_i - SiO_2$ 表面导致了对于频率在 $1 \sim 10 \text{ KHz}$ 以下的大部分偏置条件和器件的几何特性, 输入参考闪烁噪声分量要比热噪声分量大得多。所以在 MOS 晶体管输入参考的闪烁噪声的精确表示对于优化 MOS 模拟电路的噪声影响是非常重要的。

MOS 晶体管的物理结构产生 $1/f$ 噪声已经得到了更进一步的研究。¹⁸ 在晶体管偏置条件和器件几何特性下, 输入参考闪烁噪声的幅度取决于制作器件的具体细节。在多数情况下, 输入参考闪烁噪声的幅度独立于偏置电流和电压, 和放大区的晶体管栅极的面积成反比。后者的出现是由于晶体管做得过大, 大量的表面在栅极以下, 平均作用使得整体噪声减少。可以看出输入参考闪烁噪声是和栅极氧化物的每单位电容成反比的。这在物理上是可解释的, 因为表面状态可以看成表面结构电荷 Q_{ss} 的时变成分。由式(1.139)可见在与 C_{ox} 成反比的阈值电压中产生一个时变成分。MOS 晶体管等效输入反馈电压噪声常常写作

$$\frac{\overline{v_i^2}}{\Delta f} = 4kT \frac{2}{3} \frac{1}{g_m} + \frac{K_f}{WLC_{ox}f} \quad (11.69)$$

其中 K_f 的典型值是 $3 \times 10^{-24} \text{ V}^2 \cdot \text{F}$ 或 $3 \times 10^{-12} \text{ V}^2 \cdot \text{pF}$

对于 MOSFET 的等效输入噪声电流源 i_i^2 可以通过图 11.26 的输入开路来计算, 并可计算输出噪声。由于

$$i_i \frac{g_m}{j\omega C_{gs}} = i_g \frac{g_m}{j\omega C_{gs}} + i_d$$

因此

$$i_i = i_g + \frac{j\omega C_{gs}}{g_m} i_d \quad (11.70)$$

由于 i_g 和 i_d 是相互独立的, 所以式(11.70)可写成

$$\overline{i_i^2} = \overline{i_g^2} + \frac{\omega^2 C_{gs}^2}{g_m^2} \overline{i_d^2} \quad (11.71)$$

忽略式(11.16)并把式(11.14)和式(11.15)代入式(11.17)可得

$$\frac{\overline{i_i^2}}{\Delta f} = 2qI_G + \frac{\omega^2 C_{gs}^2}{g_m^2} \left(4kT \frac{2}{3} g_m + K \frac{I_D}{f} \right) \quad (11.72)$$

在式(11.72)中 MOS 晶体管的交流电流增益定义为

$$A_i = \frac{g_m}{\omega C_{gs}} \quad (11.73)$$

所以在输出端的噪声源在反馈回输入端时要除以 A_i 。在低频时输入噪声电流源由栅极漏电流 I_G 决定, 漏电流是非常小的(10^{-15} A 或更小)。正因为如此 MOS 晶体管在运行大的源阻抗时的噪声影响比双极型晶体管大得多。在这些情况下, 输入噪声电流源是主要的, MOS 晶体管比双极型晶体管小得多。所以它应该被放大, 尽管在式(11.50)中的双极型晶体管输入噪声电压源比在式(11.68a)中 MOS 晶体管小得多, 这是由于在给定的偏置电流时双极型晶体管有很大的 g_m 。对于低的源阻抗, 双极型晶体管通常比 MOS 晶体管有更明显的噪声性能。

11.6 在噪声特性下的反馈

用两个等价输入噪声源代表电路噪声的影响在考虑噪声特性下的反馈是非常有用的。首先通过考虑一个放大器在噪声影响下的理想反馈来说明。接下来再分析实际的反馈和噪声的影响。

11.6.1 在噪声特性下的理想反馈

图 11.28a 示出了一个串联-并联的反馈放大器, 反馈网络是理想的, 因为输入是一个纯电压源, 反馈网络是单边的。在基本放大器里的噪声用等价输入源 $\overline{v_{in}^2}$ 和 $\overline{i_{in}^2}$ 代替。整个电路噪声的影响用图 11.28b 所示的等价输入源 $\overline{v_i^2}$ 和 $\overline{i_i^2}$ 代替。 $\overline{v_i^2}$ 的值通过将每个电路的输入短路及等同于输出信号时可计算出。尽管由于反馈网络的输出为零阻抗, 也只有在式(11.74)成立时每个电路的电流源被短路, 两个电路才相同。

$$\overline{v_i^2} = \overline{v_{in}^2} \quad (11.74)$$

如果每个电路的输入终端是开路的, 电压源是漂移的终端, 因此在电路中没有作用, 相同的输出需要

$$\overline{i_i^2} = \overline{i_{in}^2} \quad (11.75)$$

因此对于理想反馈的情况下, 等效输入噪声源可以在不改变外部反馈环时被移走, 并且在电路噪声影响下反馈没有作用。由于反馈减少了电路增益, 所以输出噪声被减少, 但是在相同数量时期望得到的信号被减小但信号-噪声比率不变。上述的结果很容易在第八章中描述

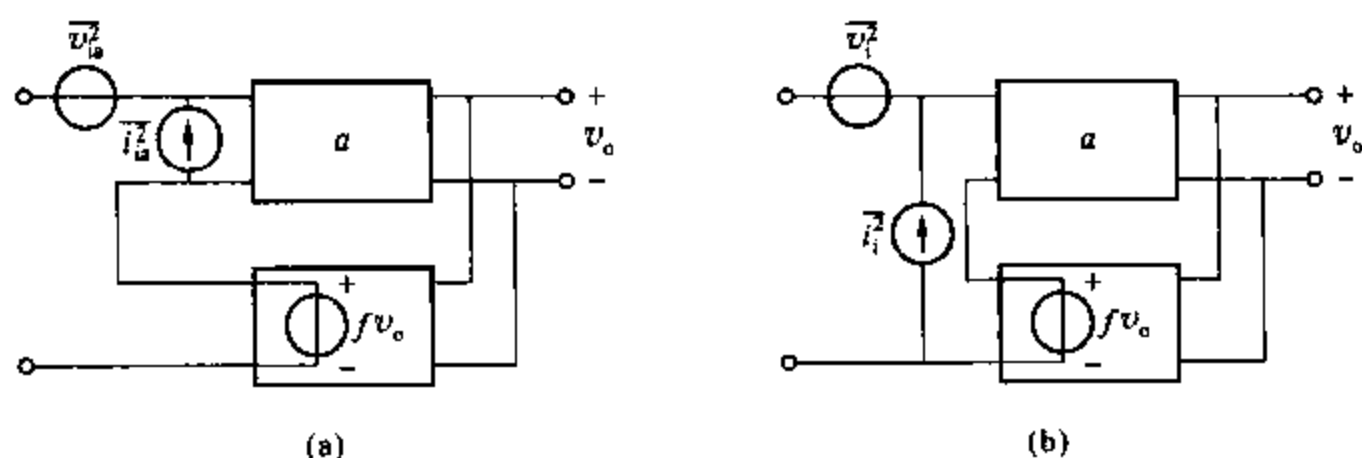


图 11.28 (a)有噪声源的串联-并联反馈放大器;(b)图(a)有两个输入源的等价电路

的 4 个可能的反馈结构中显示出。

11.6.2 在噪声特性下的实际反馈

在前述章节中考虑过的理想串联-并联反馈电路在实际中通常是如图 11.29a 所示来实现的。反馈电路是 R_E 和 R_F 组成的电阻分压网络。如果基本放大器的噪声是用等效输入噪声源 $\overline{v_{in}^2}$ 和 $\overline{i_{in}^2}$ 表示的,并且包括在 R_E 和 R_F 上的热噪声源,电路图如图 11.29b 所示。电路噪声的影响将用两个等价输入源 $\overline{v_i^2}$ 和 $\overline{i_i^2}$ 代替,如图 11.29c 所示。

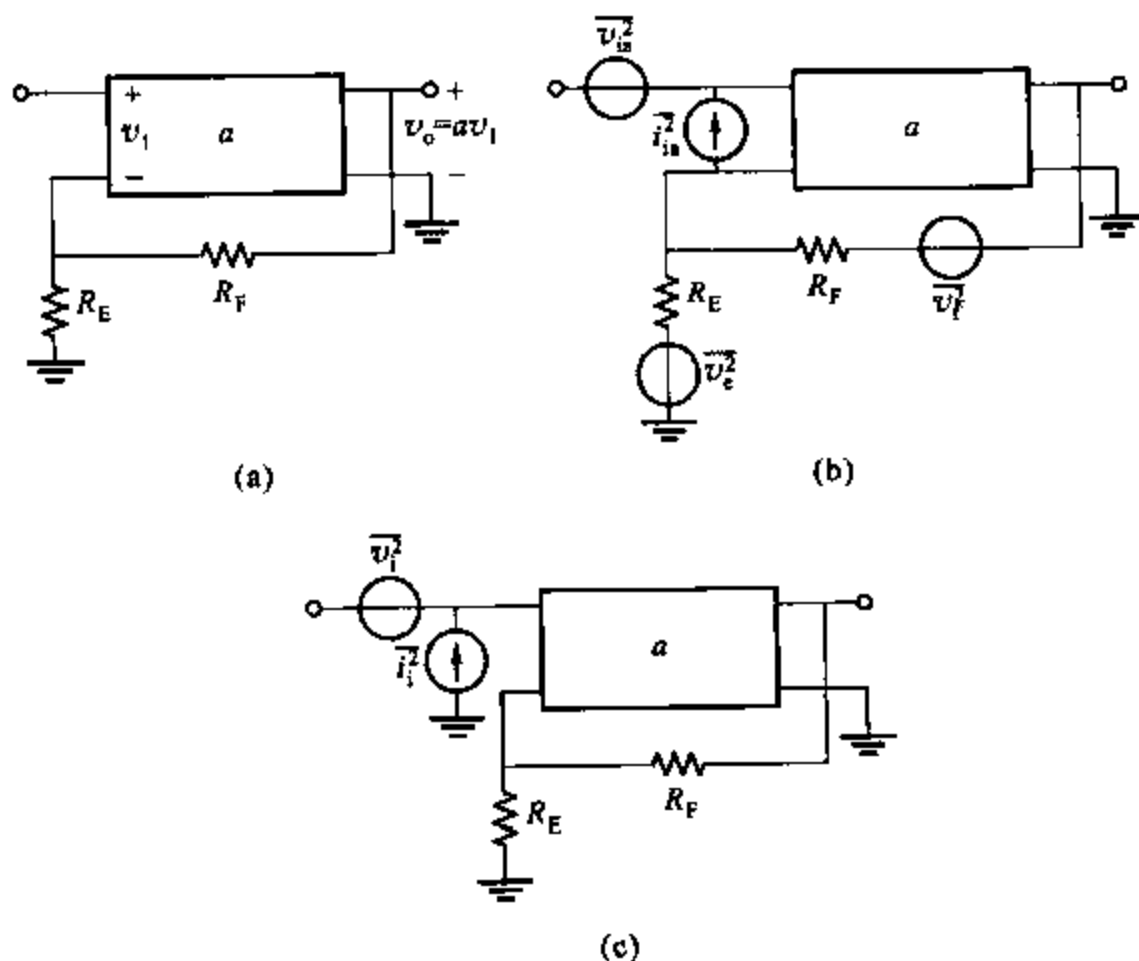


图 11.29 (a)串联-并联反馈电路;
(b)包含噪声源的串联-并联反馈电路;(c)有两个输入噪声源

为了计算 $\overline{v_i^2}$, 考虑图 11.29b 和图 11.29c 电路的输入并使输出噪声相等, 很容易得到

$$v_i = v_{in} + i_{ia}R + \frac{R_F}{R_F + R_E} v_e + \frac{R_E}{R_F + R_E} v_f \quad (11.76)$$

其中

$$R = R_F // R_E \quad (11.77)$$

假定式(11.76)中所有噪声源是相互独立的,可得

$$\overline{v_i^2} = \overline{v_{in}^2} + \overline{i_{ie}^2} R^2 + 4kTR\Delta f \quad (11.78)$$

其中,代替项如下:

$$\overline{v_e^2} = 4kTR_E\Delta f \quad (11.79)$$

$$\overline{v_f^2} = 4kTR_F\Delta f \quad (11.80)$$

式(11.78)表示了在实际情况下,整个放大器的等效输入噪声电压包括基本放大器的输入噪声电压加上另外两项。在式(11.78)中的第二项通常可忽略,但是代表热噪声的 $R = R_F // R_E$ 第三项经常是很重要的。

等效输入噪声电流 $\overline{i_i^2}$ 通过开路电路来计算,使输出噪声相等。很明显有

$$\overline{i_i^2} \approx \overline{i_{ia}^2} \quad (11.81)$$

由于在反馈电阻的噪声不再放大,但仅在并联输出时出现。因此,等效输入噪声电流不因反馈的作用所影响。上述结果在输入端串联反馈一般是正确的。对于单级串联反馈,在 $R_F \rightarrow \infty$ 和 $R = R_E$ 时上述方程也是正确的。

在图 8.29 中的基本放大器是一个运算放大器,计算需要做微小的修改。因为(在 11.8 节和如图 11.39 所示)运算放大器为表示噪声需要三端口器件。如果图 11.39 的电路在上述计算中被用作基本放大器,表达式对式(11.78)和式(11.81)是非常相似的。

现在考虑在输入端并联反馈情况,作为一个例子考虑图 11.30a 并联-并联反馈电路。基本放大器的噪声源 $\overline{v_{in}^2}$ 和 $\overline{i_{ie}^2}$ 如图 11.30b 所示,噪声源 $\overline{i_i^2}$ 是由 R_F 产生的。这些噪声源如图 11.30c 所示被指定返回输入端 $\overline{v_i^2}$ 和 $\overline{i_i^2}$ 。

图 11.30b 和 11.30c 输入开路,输出噪声相等。计算

$$i_i = i_{ia} + \frac{v_{ia}}{R_F} + i_f \quad (11.82)$$

假设式(11.82)中所有噪声源是相互独立的,则可得

$$\overline{i_i^2} = \overline{i_{ia}^2} + \frac{\overline{v_{ia}^2}}{R_F^2} + 4kT \frac{1}{R_F} \Delta f \quad (11.83)$$

因此,应用的并联反馈等价输入噪声源电流包含基本放大器的输入噪声电流和代表反馈电阻的热噪声。在式(11.83)中的第二项通常是忽略的。这些结果对于在输入端的并联反馈一般是正确的。计算反馈电阻热噪声的等价输入噪声的一般规则是按照在第八章描述的计在基本放大器上负载反馈电路的二端口网络的办法。一旦决定了输入负载所代表反馈的并联或串联电阻,这些相同的电阻可能被用于计算由于反馈电阻输入端引入的热噪声。

如果图 11.30b 和图 11.30c 的输入是短路的,并且等价输出噪声,则

$$\overline{v_i^2} \approx \overline{v_{ia}^2} \quad (11.84)$$

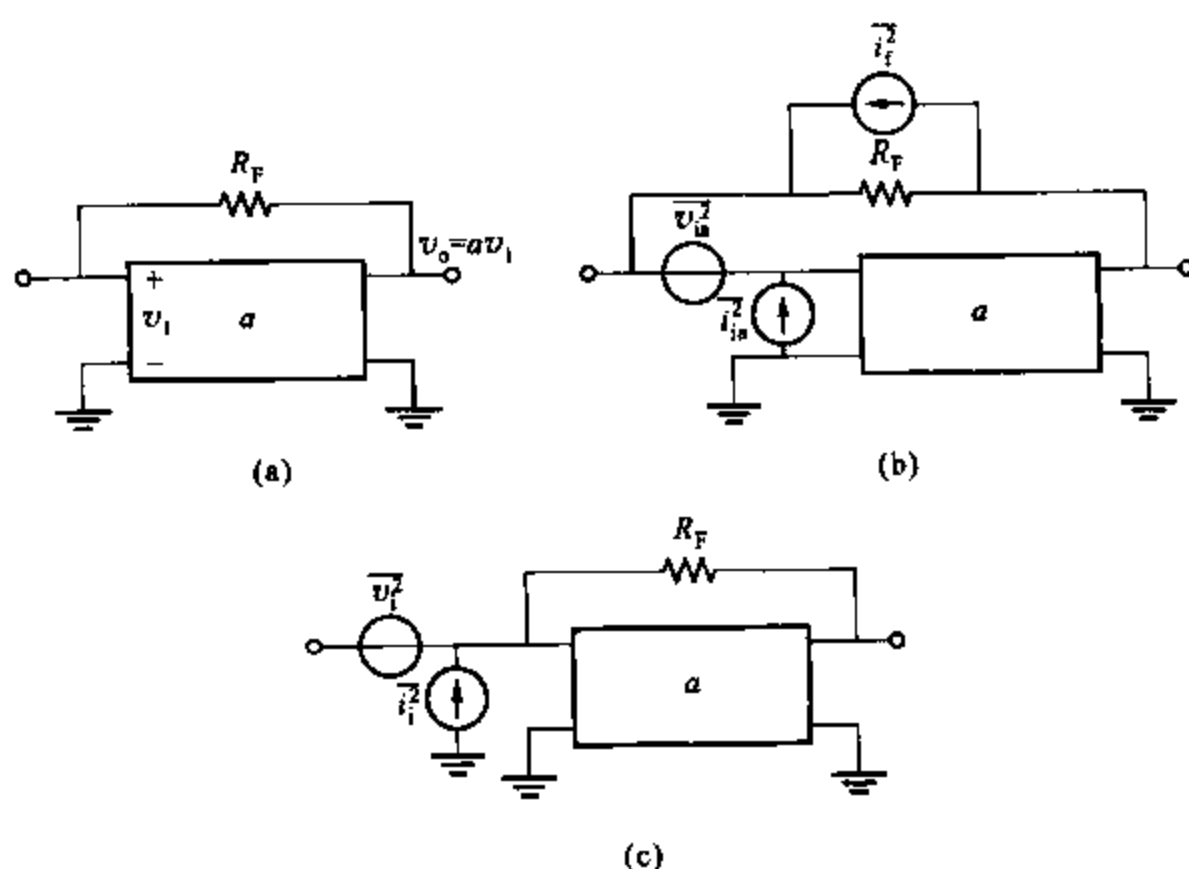


图 11.30 (a) 并联 - 并联电路; (b) 包含噪声源的并联 - 并联电路;
(c) 有两个输入噪声源的图(b)的等价电路

式(11.83)和式(11.84)对于并联电路的输入端一般是正确的。当图 11.30 的基本放大器是运算放大器时可直接使用,因为基本放大器的一个输入终端是接地的,运算放大器变成了二端口器件。

以上的结果要求一些前设的假设是合理的。例如,在 11.5.1 节中计算双极型晶体管的等效输入噪声源,集电极 - 基极电容 C_p 被忽略了。该电容代表单级并联反馈,因此即使密勒效应占主要作用,对晶体管的等效输入噪声源影响也不大。注意电容没有像图 11.30 中的 R_F 产生热噪声,同时在式(11.83)中的第二项变成了 $\overline{v_n^2}/|Z_F|^2$,其中 Z_F 是 C_p 的阻抗。由于在感兴趣的所有频率中 $|Z_F|$ 是非常大的,所以该项可忽略。

示例

作为一个在反馈放大器中包含噪声计算的例子,考虑宽带电流反馈对,它的交流原理图如图 11.31 所示。该电路是电流源输入,频率响应 $|(i_o/i_i)(j\omega)|$ 直到 100 MHz 是平坦的,在 100 MHz 快速截止。计算所需要的输出信号 - 噪声比率大于 20 dB 的最小输入信号,数据如下: $\beta_1 = \beta_2 = 100$, $f_{T1} = 300$ MHz, $I_{C1} = 0.5$ mA, $I_{C2} = 1$ mA, $f_{T2} = 500$ MHz, $r_{b1} = r_{b2} = 100$ Ω ,忽略闪烁噪声。

以上方法允许该电路的等效输入噪声源可观察写出。首先检查出由于 20 k Ω 的内部电阻和 Q_2 的基极电流噪声可以忽略,使用 11.2.2 节的规则可知电阻 20 k Ω 的作用等价于 2.5 μ A 的噪声电流。 Q_2 的基极电流是 10 μ A。对于 500 μ A 的 Q_1 集电极电流两者是可忽略的。因此,整个电路的输入噪声源是 Q_1 的这些被移走的外部反馈回路以及由反馈电阻

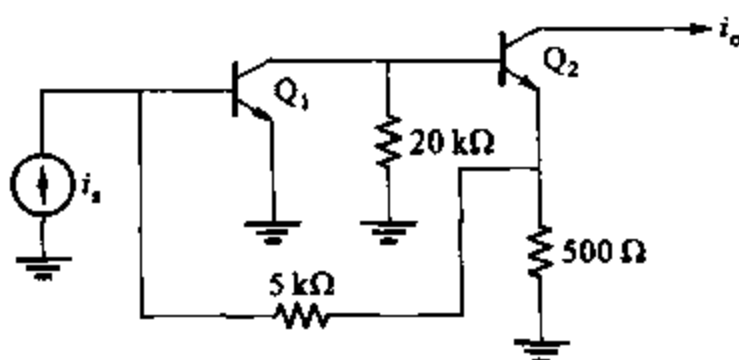


图 11.31 电流反馈的交流原理图

的作用产生的噪声。

使用第八章的方法可推出图 11.31 包含反馈负载和噪声源电路的基本放大器,如图 11.32 所示。整个电路的等效输入噪声源可用图 11.32 或式(11.83)计算,其中 $R_F = 5.5 \text{ k}\Omega$, 由于电路是由一个电流源推出的,所以等效输入噪声电压不重要。

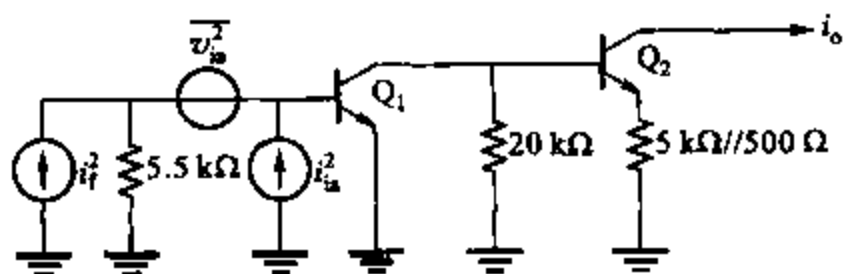


图 11.32 包含反馈负载和噪声源的图 11.31 的基本放大器电路

由式(11.83)可得

$$\overline{i_i^2} = \overline{i_{in}^2} + \frac{\overline{v_{in}^2}}{(5\ 500)^2} + 4kT \frac{1}{5\ 500} \Delta f \quad (11.85)$$

使用式(11.57)并忽略闪烁噪声可得 $\overline{i_{in}^2}$ 为

$$\overline{i_{in}^2} = 2q \left(I_B + \frac{I_C}{|\beta(jf)|^2} \right) \Delta f$$

故

$$\frac{\overline{i_{in}^2}}{\Delta f} = 2q \left(5 + \frac{500}{|\beta|^2} \right) \times 10^{-6} \text{ A}^2/\text{Hz} \quad (11.86)$$

将(11.86)代入(11.85)得

$$\frac{\overline{i_{in}^2}}{\Delta f} = 2q \left(5 + \frac{500}{|\beta|^2} \right) \times 10^{-6} + \frac{\overline{v_{in}^2}}{(5\ 500)^2 \Delta f} + 2q \times 9.1 \times 10^{-6} \text{ A}^2/\text{Hz} \quad (11.87)$$

其中, $5.5 \text{ k}\Omega$ 电阻噪声已经用 $9.1 \mu\text{A}$ 的等效噪声电流来表示。

应用式(11.50)可得

$$\frac{\overline{v_{in}^2}}{\Delta f} = 4kT \left(r_{b1} + \frac{1}{2g_m} \right) = 4kT \times 126$$

除以 $(5\ 500)^2$ 该方程得

$$\frac{\overline{v_{in}^2}}{(5\ 500)^2 \Delta f} = 4kT \frac{1}{240\ 000} \quad (11.88)$$

$$= 2q \times 0.2 \times 10^{-6} \quad (11.89)$$

在式(11.87)中包含 $\overline{v_{in}^2}$ 的项被看成是 $240 \text{ k}\Omega$ 电阻的等价热噪声用于式(11.88)中,也可如(11.89)所示作为 $0.2 \text{ }\mu\text{A}$ 的等效噪声电流的噪声表示。与通常情况一样,这项在该例中被忽略。

综合所有表达项可得式(11.87)表示为

$$\begin{aligned} \frac{\overline{i_{in}^2}}{\Delta f} &= 2q \left(5 + \frac{500}{|\beta|^2} + 0.2 + 9.1 \right) \times 10^{-6} \text{ A}^2/\text{Hz} \\ &= 2q \left(14.3 + \frac{500}{|\beta|^2} \right) \times 10^{-6} \text{ A}^2/\text{Hz} \end{aligned} \quad (11.90)$$

从式(11.90)看出等效输入噪声电流谱密度同所预料的一样,对晶体管在高频时上升(而 $|\beta|$ 下降)。在无反馈的单个晶体管中等效输入噪声电流也随频率升高,但由于晶体管增益随频率下降,无反馈晶体管的等效输出噪声谱总是随频率升高而下降的(参见 11.4.1 节)。然而在这种情况下,负反馈保证了增益是随频率的常数。因此,该电路的输出噪声谱将随频率增加而上升,直至到达放大器的带宽边缘。如图 11.33 所示的输入噪声电流谱,放大器频率响应被平方,并且显示了输出噪声电流谱(由前两项产生的)。该电路电流增益 $A_i \approx 11$ 。

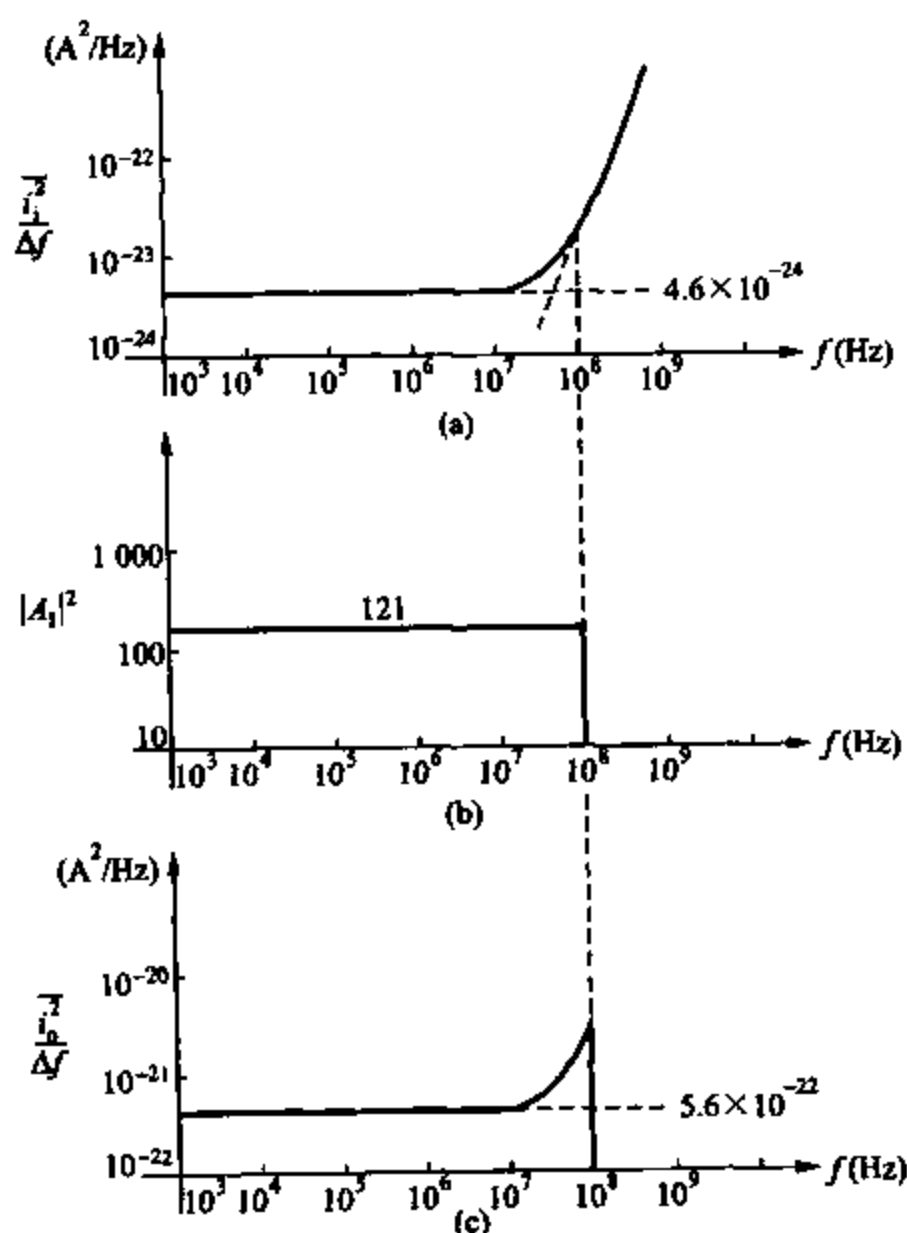


图 11.33 图 11.32 电路的噪声特性

(a) 等价输入噪声谱; (b) 频率响应的平方; (c) 输出噪声谱

可以通过集成输出噪声谱密度得到电路总的输出噪声 $\overline{i_{oT}^2}$, 输出噪声谱密度为

$$\frac{\overline{i_o^2}}{\Delta f} = A_i^2 \frac{\overline{i_i^2}}{\Delta f} \quad (11.91)$$

因此

$$\begin{aligned} \overline{i_{oT}^2} &= \int_0^B A_i^2 \frac{\overline{i_i^2}}{\Delta f} df \\ &= A_i^2 \int_0^B 2q \left(14.3 + \frac{500}{|\beta(jf)|^2} \right) \times 10^{-6} df \end{aligned} \quad (11.92)$$

应用了式(11.90)并且 A_i^2 假设为常数, 并如前所述达到 $B = 10^8$ Hz。电流增益为

$$\beta(jf) = \frac{\beta_0}{1 + j \frac{\beta_0 f}{f_{T1}}} \quad (11.93)$$

和

$$\frac{1}{|\beta(jf)|^2} = \frac{1}{\beta_0^2} \left(1 + \frac{\beta_0^2 f^2}{f_{T1}^2} \right) \quad (11.94)$$

将式(11.94)代入式(11.92)得

$$\overline{i_{oT}^2} = A_i^2 2q \times 10^{-6} \int_0^B \left[14.3 + \frac{500}{\beta_0^2} \left(1 + \frac{\beta_0^2 f^2}{f_{T1}^2} \right) \right] df \quad (11.95)$$

$$= A_i^2 2q \times 10^{-6} \int_0^B \left(14.3f + \frac{500}{\beta_0^2} f + \frac{500}{f_{T1}^2} \frac{f^3}{3} \right) df \quad (11.96)$$

将 $\beta_0 = 100$ 和 $B = 100 \text{ MHz} = f_{T1}/3$ 代入得

$$\overline{i_{oT}^2} = A_i^2 \times 2q \times 10^{-6} (14.3B + 18.6B) \quad (11.97)$$

$$\overline{i_{oT}^2} = A_i^2 \times 1.05 \times 10^{-15} \text{ A}^2 \quad (11.98)$$

等效输入噪声电流是

$$\overline{i_{iT}^2} = \frac{\overline{i_{oT}^2}}{A_i^2} = 1.05 \times 10^{-15} \text{ A}^2$$

从而得到

$$\overline{i_{iT}^2} = 32.4 \text{ nA rms} \quad (11.99)$$

故等效输入噪声电流是 32.4 nA rms, 并且式(11.97)显示出等效输入噪声中依赖于频率的部分占主要作用。对于信号-噪声比率是 20 dB 输入信号电流 i_i 必须大于 0.32 $\mu\text{A rms}$ 。

11.7 其他晶体管结构的噪声特性

到目前为止考虑的共射级和共源级晶体管结构常常用于集成电路的设计。例如 741 运算放大器有一个差分输入级, 它使用射随器驱动共基级。下面考虑这种结构类型的噪声特性。为避免重复只直接讨论双极型的器件。结果可直接推到 FET 电路。

11.7.1 共基级噪声特性

共基级有时用作低输入阻抗的电流放大器,如上所述用于在 741 运算放大器输入级的电平转换。因此,感兴趣的是电路的噪声特性。

如图 11.34a 所示的共基级和图 11.34b 小信号等价电路加上等效输入噪声源均来自于共射级。由于这些噪声源代表在任何连接中的晶体管噪声特性,图 11.34b 共基级噪声特性是有效的表示。在图 11.34c 中的共基级噪声特性用标准形式表示,等价输入噪声源是 $\overline{v_{iB}^2}$ 和 $\overline{i_{iB}^2}$ 。这可以推广到共射级输入源,通过短路和开路图 11.34b 和图 11.34c 的电路及等价输出噪声,于是有

$$\overline{i_{iB}^2} = \overline{i_i^2} \quad (11.100)$$

$$\overline{v_{iB}^2} = \overline{v_i^2} \quad (11.101)$$

因此,共射和共基连接的等价输入噪声源是相同的,即使输入阻抗有很大的不同,两个结构的噪声特性也是一样的。

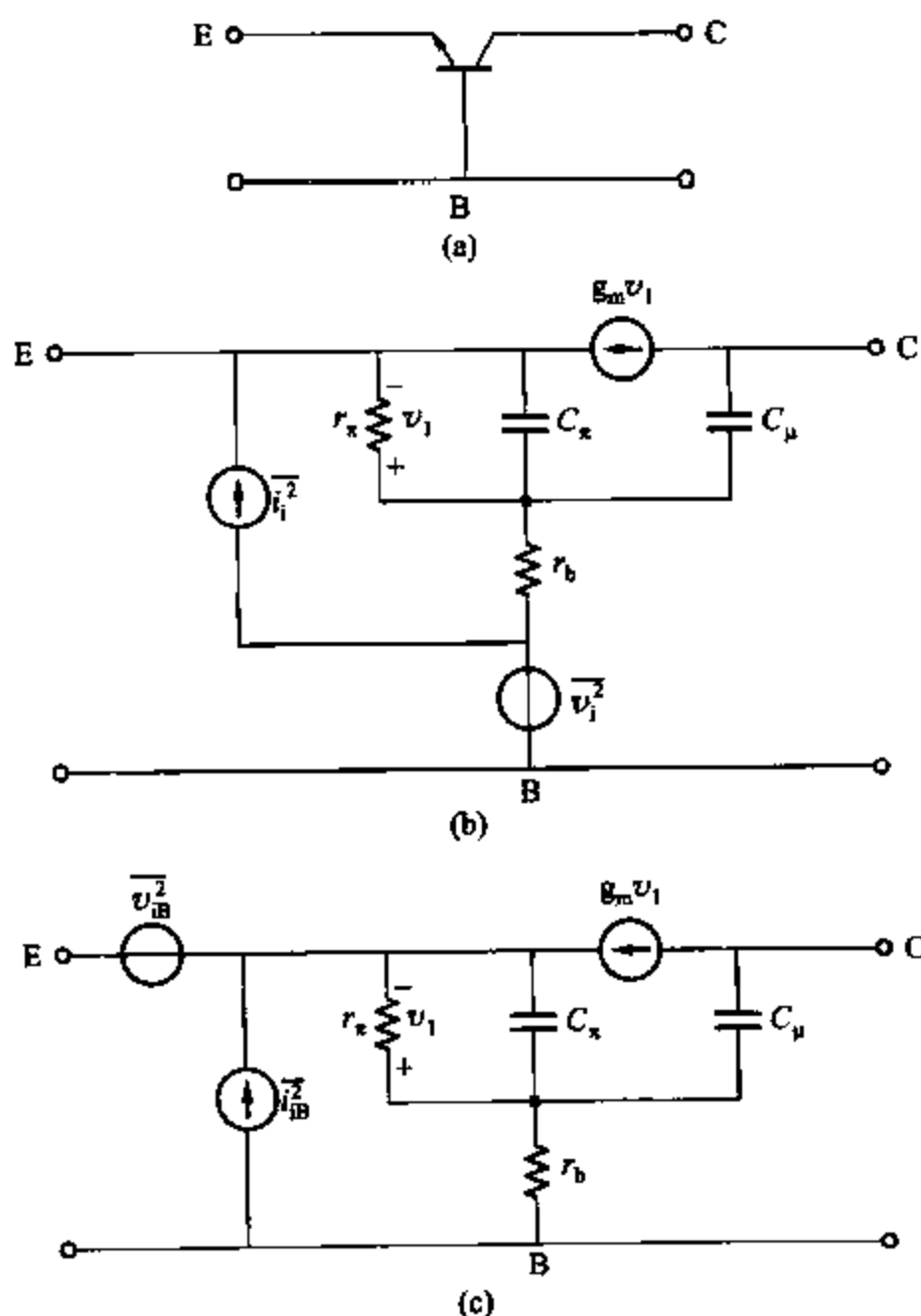
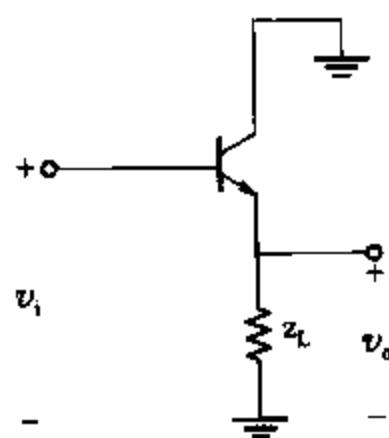


图 11.34 (a)共基晶体管结构;(b)有噪声源的共基等价电路;(c)有输入噪声源的共基等价电路

虽然共射级和共基级的噪声特性名义上是相同的(对于相同的器件参数),但是共基级的一个特点使得它用于低噪声输入级是不合适的。这是因为电流增益 $\alpha \approx 1$, 共基级输出端的任何噪声电流作为参考被直接无减少地回到输入端。因此, 等价噪声电流为 $5 \mu\text{A}$ 的 $10 \text{ k}\Omega$ 负载电阻在输入端产生这个数量级的等价噪声电流。在许多电路中这都是输入电流噪声的主要源。下一级的等价输入噪声电流也是作为参考无改变地回到共基级的输入端。在不连续的共基电路这个问题是可以克服的, 通过传输器在共基级输出端给出电流增益即可。在集成电路设计中这个选择是不可取的, 除非对外部结构调整。

11.7.2 射随器噪声特性

考虑如图 11.35 所示的射随器。该电路的噪声特性用前节结果来计算。电路被看作是串联反馈级且晶体管的等价输入噪声源能被移走而不改变地回到完整电路的输入端。因此, 如果忽略在 z_L 上的噪声, 射随器像共射级和共基级一样有相同的等价输入噪声源。尽管射随器有单位电压增益, 跟随级的等价输入噪声电压不改变地被传输到输入端, 因为跟随级的输出是在射极输出的, 射极是低阻抗的, 由 z_L 产生的噪声相对于在串联反馈级上的效果明显减小。



11.7.3 差分对噪声特性

差分对是构成线性集成电路的基本模块, 像它的噪声特性就 图 11.35 射随器电路是非常重要的。双极型的差分对如图 11.36a 所示, 每一个器件的基极一般是可以如图中所示相互独立的。因此, 该电路一般不能用二端口电路代替, 它的噪声特性不能用一般形式的二端口输入噪声源代替。尽管如此前面讨论技术可以用于推导电路的等价噪声表达式, 即在每个输入端加入两个噪声源。如图 11.36b 所示, 简化的电路如图 11.36c 所示仅有三个噪声源。

图 11.36(b) 的噪声表示可被推导出, 这要通过考虑由于每个器件分离产生的噪声。首先考虑在 Q_1 上的噪声, 通过如图 11.37a 所示的输入噪声源 $\overline{v_{i1}^2}$ 和 $\overline{i_{i1}^2}$ 来代表。这些噪声源是由式(11.50)和式(11.57)给出的单个晶体管。晶体管 Q_2 初始假定是无噪声的, 并且从它的射极看进去阻抗是 z_{E2} 。注意 z_{E2} 将是连接 Q_2 基极到地的阻抗函数。如前节所述, 图 11.37a 的噪声源能够如图 11.37b 被移走而不改变电路的输入(z_{E2} 独立的)。这个表达式能用于计算在差分对中由 Q_1 产生的输出噪声, 这包括对于任何被连接在由 Q_1 和 Q_2 的基极到地的阻抗。

现在考虑 Q_2 的噪声。在相同的形式里如图 11.37c 所示的用 $\overline{v_{i2}^2}$ 和 $\overline{i_{i2}^2}$ 代表噪声源。此时, 假定 Q_1 上无噪声, 并且 z_{E1} 是从 Q_1 的射极看进去的阻抗。如果 Q_1 和 Q_2 是相同的, 那么图 11.37b 和图 11.37c 的等价输入噪声源是相同的。然而由于它们是由不同的晶体管产生的, 图 11.37b 和图 11.37c 的噪声源是相互独立的。包含由 Q_1 和 Q_2 产生的噪声的差分对, 总噪声特性可用图 11.36b 来表示, 它的表达式对于任何源电阻连接输入终端是正确的。

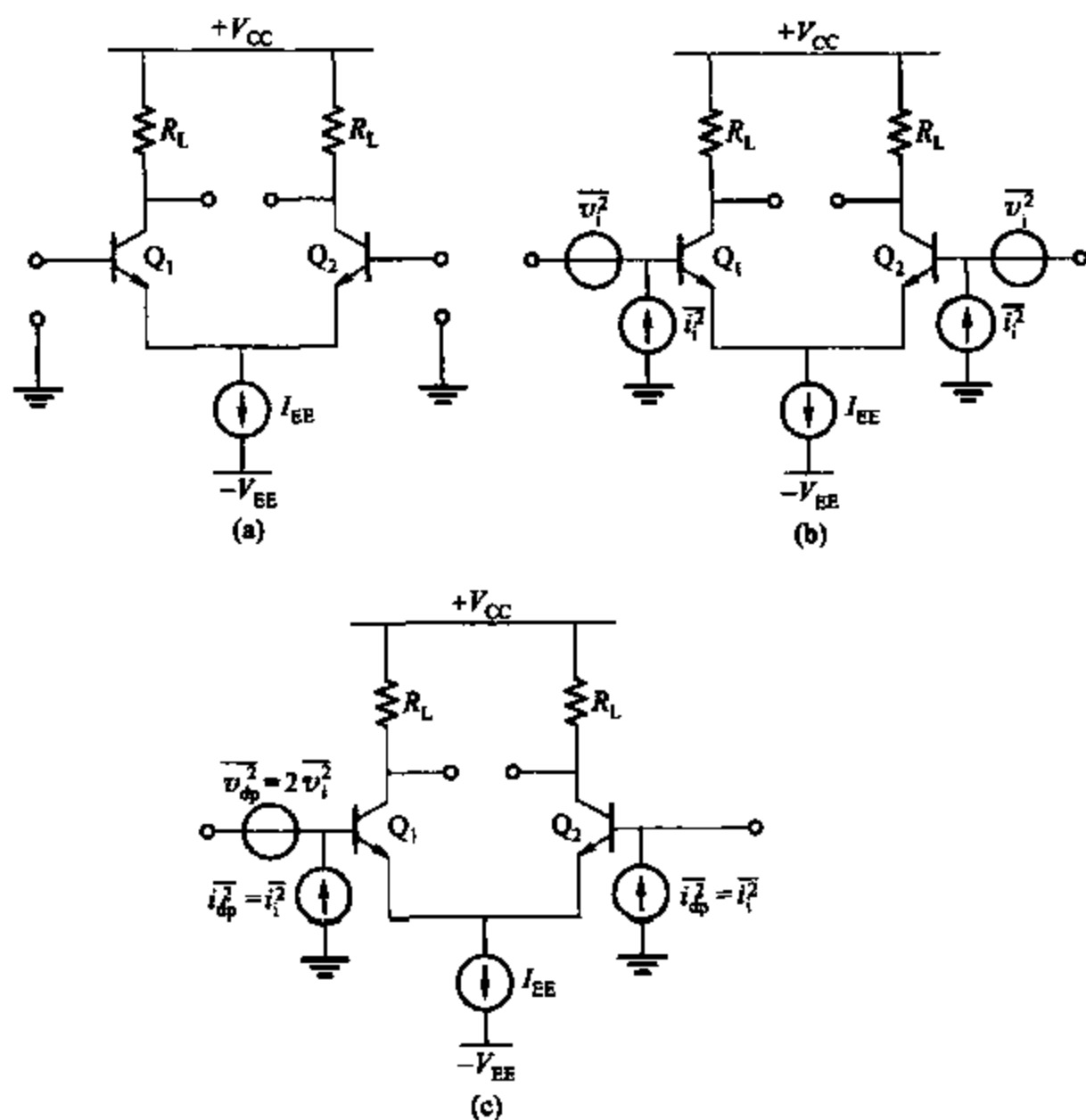


图 11.36 (a)差分对电路;(b)完整的差分对表示;(c)简单噪声的表示

由于每个晶体管相互独立,噪声源 $\overline{v_i^2}$ 和 $\overline{i_i^2}$ 是主要的。如果由 R_L 或跟随级产生的噪声是很重要的,它应该被对称地回到合适的输入端。实际中,电流源 I_{EE} 也是有噪声的,可以被包含在表达式中。然而如果电路是完全平衡的,电流源噪声表示一个共模信号并将产生不同的输出。

图 11.36b 的噪声如果表示共模抑制是很高的,则可以稍微简单化。此时,其中之一的噪声电压源可被移到电路的另一端,如图 11.36c 所示。这是可以调整的,如果等价噪声电压源在输入端以串联形式相加,这些噪声源是可以选择的,就像在 Q_2 基极的噪声电压被删掉一样。留下两个相互独立的串联噪声电压源在 Q_1 基极,这些可表示为一个单个噪声电压源的值 $2\overline{v_i^2}$ 。因此,图 11.36c 的电路可写作

$$\overline{v_{dp}^2} = 2\overline{v_i^2} \quad (11.102)$$

$$\overline{i_{dp}^2} = \overline{i_i^2} \quad (11.103)$$

其中 $\overline{v_{dp}^2}$ 和 $\overline{i_{dp}^2}$ 是差分对的等效输入噪声源。

该差分对经常用于 Q_2 基极接地,此时 Q_2 基极的噪声电流源是短路的。电路的噪声特

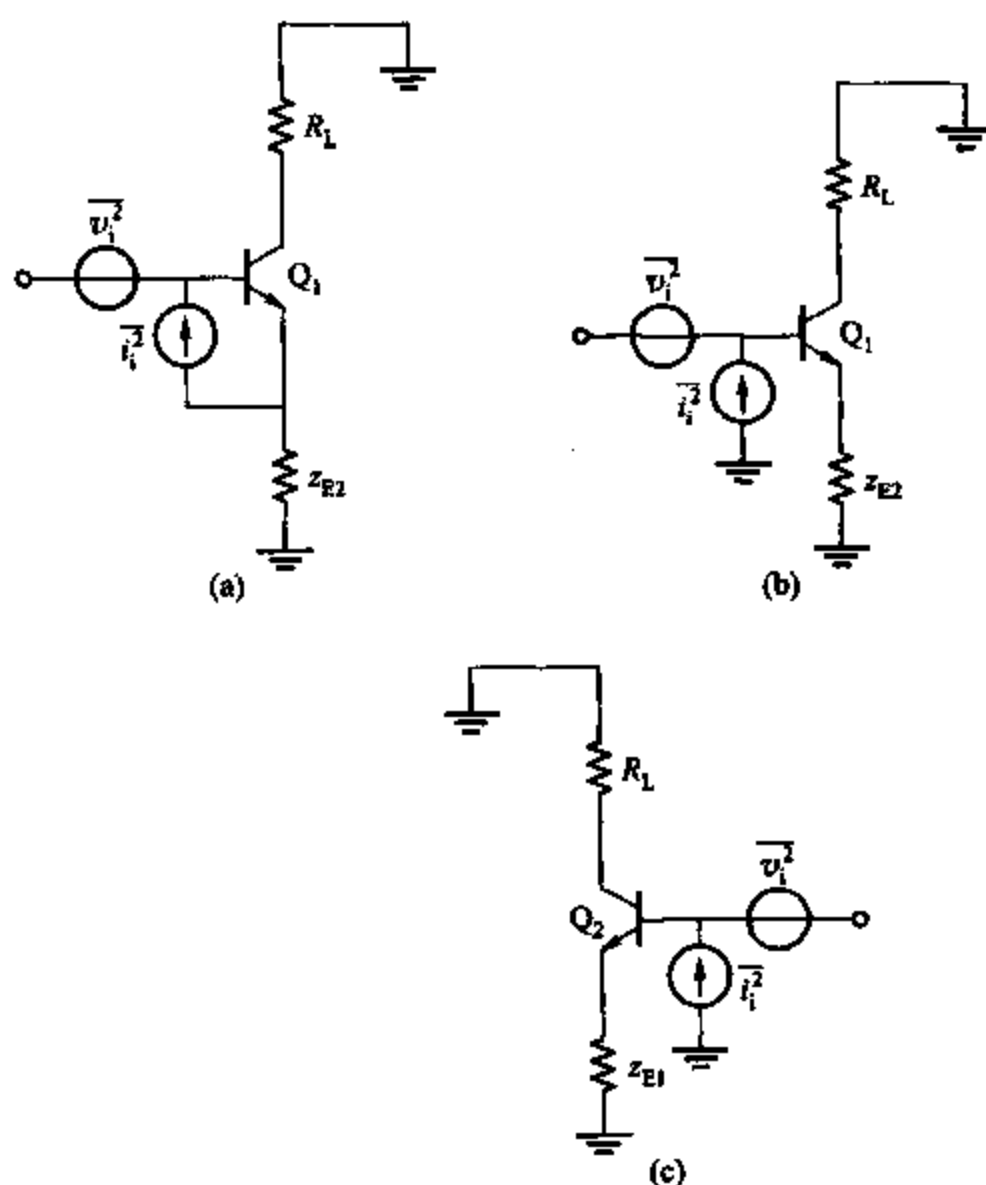


图 11.37 (a)仅包含 Q_1 噪声的差分对交流原理图;
 (b) 由 Q_1 产生的噪声作为参考回到输入端的差分对交流原理图;
 (c) 仅包含 Q_2 噪声的差分对交流原理图

性用图 11.36c 中的两个噪声源连接 Q_1 基极来表示。这种情况下的差分对的等效输入噪声源是很简单的,这是由于一个晶体管独立,因而等效输入噪声电压源的均方值是任何晶体管的两倍。所以由于低源阻抗,差分对的等效输入噪声电压要比一对有相同集电极电流的共射极高 3 dB。

11.8 运算放大器噪声

集成电路放大器设计成低噪声运算放大器一般是在输入级采用简单的共射级或共源级,并带有负载电阻的差分对。由于输入级有电流和电压增益,下一级的噪声一般是不重要的,负载电阻值只有很小的噪声影响。这种电路的噪声分析直接用本章前述方法。然而这种类型的电路(如 725 运算放大器)通过优化重要的运算放大器参数比如增益和带宽是无效的。例如,用有源负载如 741 允许在相对少的级中实现高增益,在电路设计中这是很重要的优点。然而由于自然特性,有源负载放大了自己内部噪声并且明显降低了噪声特性。741 近似的噪声分析将对这些点作以说明,并给出多用途电路设计的折衷。

741 的输入级的简单原理图如图 11.38a 所示。图中晶体管 Q_5 可按二极管连接。元件 Q_5, Q_6, R_1 和 R_3 的有源负载产生噪声, 并且影响在输出 i_o 上的噪声。由于晶体管 Q_3 和 Q_4 对于有源负载表现高阻抗, 由有源负载产生的噪声可通过图 11.38b 中电路的独立部分来计算。由 Q_5 和 Q_6 产生的噪声由等效输入噪声源 $\overline{v_{n5}^2}$ 和 $\overline{i_{n6}^2}$ 来表示。由于二极管 Q_5 和电阻 R_1 表示在 Q_6 基极一个相对的低阻抗, $\overline{i_{n6}^2}$ 可以忽略。由 11.6.2 节的结果并忽略闪烁噪声可得

$$\frac{\overline{v_{n6}^2}}{\Delta f} = 4kT \left(r_{be} + \frac{1}{2g_{m6}} + R_3 \right) \quad (11.104)$$

由二极管 Q_5 产生的噪声电流(使用 11.2.1 节)为

$$\frac{\overline{v_s^2}}{\Delta f} = 2qI_{CS} \quad (11.105)$$

由于二极管小信号阻抗是 $r_d = kT/qI_{CS} = 1/g_{m5}$, 二极管噪声可以转化为戴维宁等价电压和二极管的串联,

$$\frac{\overline{v_s^2}}{\Delta f} = 2qI_{CS} \frac{1}{g_{m5}^2} = 4kT \frac{1}{2g_{m5}} \quad (11.106)$$

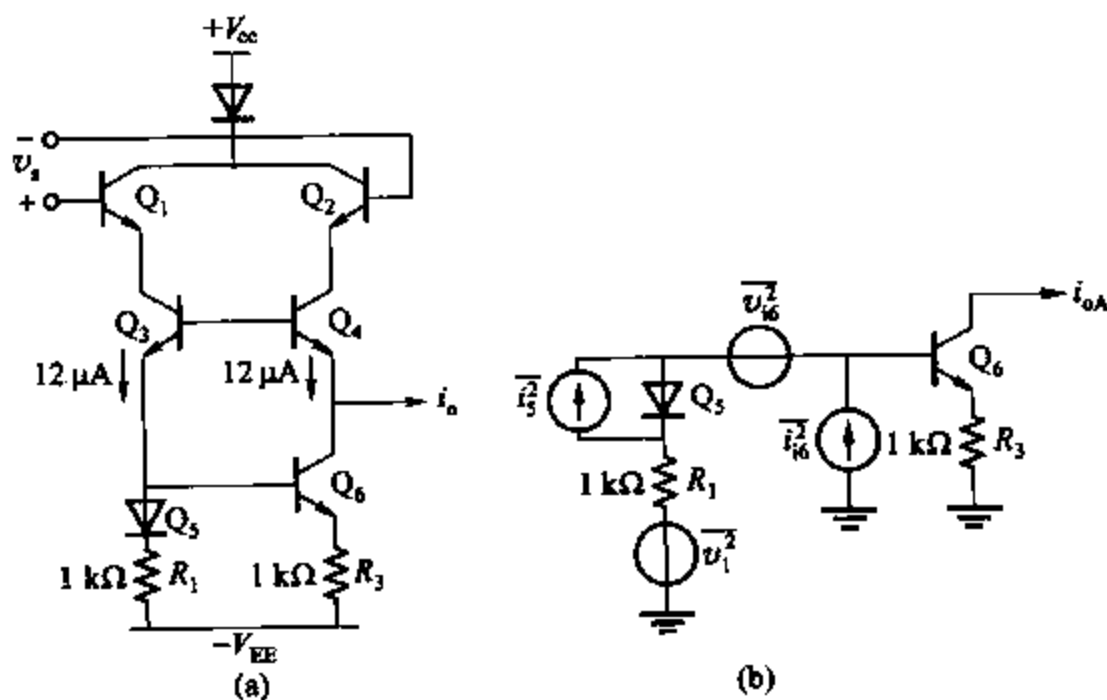


图 11.38 (a) 741 运算放大器输入级简化电路;
(b) 741 运算放大器有源负载的交流电路图(包含噪声)

由于 Q_5 的基极电阻, 将有一个和 Q_5 串联的噪声电压,

$$\frac{\overline{v_{b5}^2}}{\Delta f} = 4kTr_{b5} \quad (11.107)$$

最终由 R_1 产生的噪声为

$$\frac{\overline{v_{r1}^2}}{\Delta f} = 4kTR_1 \quad (11.108)$$

综合式(11.106), 式(11.107), 式(11.108)和式(11.104)为一个和 Q_6 基极串联的噪声电压

源 $\overline{v_A^2}$, 可得

$$\frac{\overline{v_A^2}}{\Delta f} = 4kT \left(r_{b6} + \frac{1}{2g_{m6}} + R_3 + \frac{1}{2g_{m5}} + r_{b5} + R_1 \right) \quad (11.109)$$

噪声源可如下计算。在 Q_6 和 Q_3 的偏置电流近似为 $12 \mu\text{A}$, 给定 $1/2g_{m5} = 1/2g_{m6} = 1.68 \text{ k}\Omega$, $R_1 = R_3 = 1 \text{ k}\Omega$, 对于小器件 r_b 在低电流时的典型值是 500Ω 。故式(11.109)变为

$$\frac{\overline{v_A^2}}{\Delta f} = 4kT \times 5\ 160 \quad (11.110)$$

这里产生噪声输出 i_{oA} 为

$$i_{oA} \approx \frac{1}{\frac{1}{g_{m6}} + R_3} v_A \approx \frac{v_A}{3\ 160} \quad (11.111)$$

将式(11.110)代入式(11.111)可得

$$\frac{\overline{i_{oA}^2}}{\Delta f} = 4kT \frac{5\ 160}{3\ 160^2} \quad (11.112)$$

这可被作为参考, 用标准的形式回到图 11.38a 所示整个电路的输入端。考虑对等效输入噪声电压的影响, 一个电压用于在图 11.38a 所示的整个电路的输入端可得

$$\frac{i_o}{v_i} = \frac{g_{m1}}{2}$$

所以

$$\overline{i_o^2} = \frac{g_{m1}^2}{4} \overline{v_i^2} \quad (11.113)$$

在式(11.112)和式(11.113)中等价输出噪声电流, 可得由 $\overline{i_{oA}^2}$ 等效输入噪声电压为

$$\frac{\overline{v_{iA}^2}}{\Delta f} = 4kT \frac{5\ 160}{3\ 160^2} \frac{4}{g_{m1}^2} = 4kT \frac{5\ 160}{3\ 610^2} \times 4 \times 2\ 160^2 = 4kT \times 9\ 640 \quad (11.114)$$

所以对于 741 运算放大器有源负载产生了 $9.64 \text{ k}\Omega$ 的等效输入噪声电阻。剩下重要的因素可通过观察图 11.38a 写出。 Q_3 和 Q_4 在自己发射极的等效输入噪声电压如 11.7.1 节所示作为一个共射级, 11.7.2 节的结果表明该噪声能不改变地转化为这个电路的输入, 因为射随器 Q_1 和 Q_2 有单位电压增益。在自己发射极 Q_3 和 Q_4 的等效输入噪声电流只有很小的影响, 因为由 Q_1 和 Q_2 的射极看到的这些器件的源阻抗是非常低的。因此, 这些在近似分析时是忽略的。最后, 11.7.3 节的结果表示出不同输入级的等效输入噪声电压平方恰好是每半边电路值的和。从而综合由于 $Q_1 \sim Q_4$ 产生的输入噪声电压作用为

$$\frac{\overline{v_{iB}^2}}{\Delta f} = 4kT \left(\frac{1}{2g_{m1}} + \frac{1}{2g_{m2}} + \frac{1}{2g_{m3}} + \frac{1}{2g_{m4}} + r_{b1} + r_{b2} + r_{b3} + r_{b4} \right) \quad (11.115)$$

假设每个器件的集电极偏置电流为 $12 \mu\text{A}$, 在式(11.115)中的 $r_b = 500 \Omega$, 可计算

$$\frac{\overline{v_{iB}^2}}{\Delta f} = 4kT \times 6\ 320 \quad (11.116)$$

综合式(11.114)和式(11.116), 对于 741 总的输入噪声电压是

$$\frac{\overline{v_i^2}}{\Delta f} = 4kT \times 16\,000 \quad (11.117)$$

因此,741 的输入噪声电压用 $16\text{ k}\Omega$ 的输入噪声电阻来表示。这是一个很大的值,很接近测量值和计算机计算的结果。注意有源负载是噪声的主要影响因素。噪声电压幅度可以被增加,通过 741 应用比如 $1\text{ k}\Omega$ 源电阻反馈,电路增加 16 倍的由源电阻本身产生的噪声功率。

上述讨论了 741 的等效输入噪声电压的计算。实现相似的计算来决定等效输入噪声电流,这表明是输入器件的基极电流起主导作用。输入射随器的电流增益是很重要的,它确保后级噪声,包括有源负载的噪声,给出一个可忽略的因素到输入电流噪声。由于电路不同,整个噪声包含上述的等效输入噪声电压的计算加上两个如图 11.39 所示的等效输入噪声电流源,它是来源于 11.7.3 节讨论的差分对噪声特性。等效输入噪声电流源为(忽略闪烁噪声)

$$\frac{\overline{i_i^2}}{\Delta f} \approx 2qI_B$$

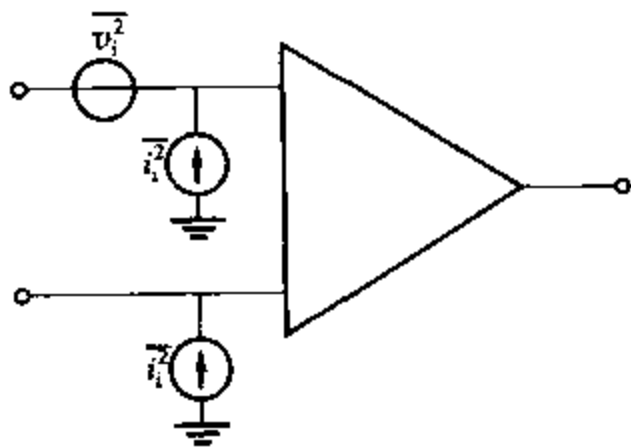


图 11.39 完整运算放大器的噪声表示

其中 I_B 是在图 11.38a 中 Q_1 或 Q_2 的基极电流。代入典型数据得

$$\frac{\overline{i_i^2}}{\Delta f} \approx 2q \times 0.2 \times 10^{-6} \quad (11.118)$$

在第六章中,讨论了大量特殊结构的运算放大器,现在讨论它们的噪声特性。有两个方法降低运算放大器的输入偏置电流,并且导致重要的不同的噪声特性。首先,图 6.52 的偏置电流的作用可取消,这是通过把从 Q_6 和 Q_8 输入偏置电流即取消的 Q_1 和 Q_2 的基极电流,然而 Q_6 和 Q_8 的集电极电流包含噪声,该噪声与 Q_1 和 Q_2 的基极电流噪声是不相关的。因此,总的输入噪声电流用这种方法增加了,噪声影响显著下降。等效输入噪声电压基本不受影响,由 Q_1 和 Q_2 的偏置电流决定,因为该电路在输入级没有有源负载。

其他所述的对输入偏置电流减少电路使用如图 6.53 所示的超 β 输入器件。这个技术的结果是显著降低了输入噪声,因而改善了电流噪声特性。该电路的等效输入噪声电压取决于输入器件的偏置电流。

考虑在图 11.40 中 CMOS 输入级的情况。如果每个 MOS 晶体管的噪声由等效输入噪声电压源表示,电路的等效输入噪声电压 $\overline{v_{eqT}^2}$ 通过图 11.40a 对电路的输出电流噪声 $\overline{i_o^2}$ 计算,由图 11.40b 得

$$\overline{v_{eqT}^2} = \overline{v_{eq1}^2} + \overline{v_{eq2}^2} + \left(\frac{g_{m3}}{g_{m1}} \right)^2 (\overline{v_{eq3}^2} + \overline{v_{eq4}^2}) \quad (11.119)$$

其中已经假设 $g_{m1} = g_{m2}$ 和 $g_{m3} = g_{m4}$ 。因此,输入晶体管直接归功于输入噪声同时通过对输入晶体管的跨导比率的平方使负载的影响降低。这在设计中的重要性可以通过考虑输入参考 $1/f$ 噪声和输入参考独立的热噪声得到进一步的说明。

器件几何尺寸的等效输入噪声电压谱 $1/f$ 部分的依赖性和偏置条件在前面已经考虑过

了。考虑存在于 $1/f$ 噪声公布的数据的差异,表明它起因于器件的结构,并被器件结构的细节所强烈影响。对于 $1/f$ 噪声最广泛的已认可的模型是一个给定器件,被参考的栅极等价均方值电压噪声近似独立于在饱和时的偏置条件,和器件的栅极电容成反比。接下来的分析结果就建立在此模型上,但要强调的是实际的依赖性必须对每个过程技术和器件类型做修正。因此可以得到

$$\overline{v_{eq1}^2} = \frac{K_f \Delta f}{C_{ox} W L f} \quad (11.120)$$

其中 K_f 参数是闪烁噪声系数。利用假设和式(11.119),可得到对于图 11.40a 电路的等效输入 $1/f$ 噪声源为

$$\overline{v_{i1}^2} = \frac{2K_p}{f W_1 L_1 C_{ox}} \left(\frac{K_n \mu_n L_1^2}{K_p \mu_p L_3^2} \right) \Delta f \quad (11.121)$$

K_n 和 K_p 分别是 n 沟道和 p 沟道器件的闪烁噪声系数。取决于过程的细节,这些可能是可比较的或不同的有一个含两个或更多系数的因子。注意到在(11.121)中的第一项是单独晶体管输入的等效输入噪声,在括号里的项是在噪声以上的增加量,高于上述值是由于负载引起的。第二项表示负载的作用可以做得很小,通过简单的制作负载沟道长度长于输入晶体管大约两倍或更多。输入晶体管可被制作成宽度足够满足所需要的特性。很有趣的是改变负载的沟道长度并不影响 $1/f$ 噪声特性。

电路图 11.40a 的热噪声特性计算如下。如 11.5.2 节讨论过,参考 MOS 晶体管输入热噪声被给出:

$$\overline{v_{eq}^2} = 4kT \left(\frac{2}{3g_m} \right) \Delta f \quad (11.122)$$

使用和闪烁噪声相同的方法,可得对图 11.40a 的等价输入热噪声为

$$\overline{v_{Th}^2} = 4kT \frac{4}{3 \sqrt{2\mu_p C_{ox} (W/L)_1 I_D}} \left[1 + \sqrt{\frac{\mu_n (W/L)_3}{\mu_p (W/L)_1}} \right] \Delta f \quad (11.123)$$

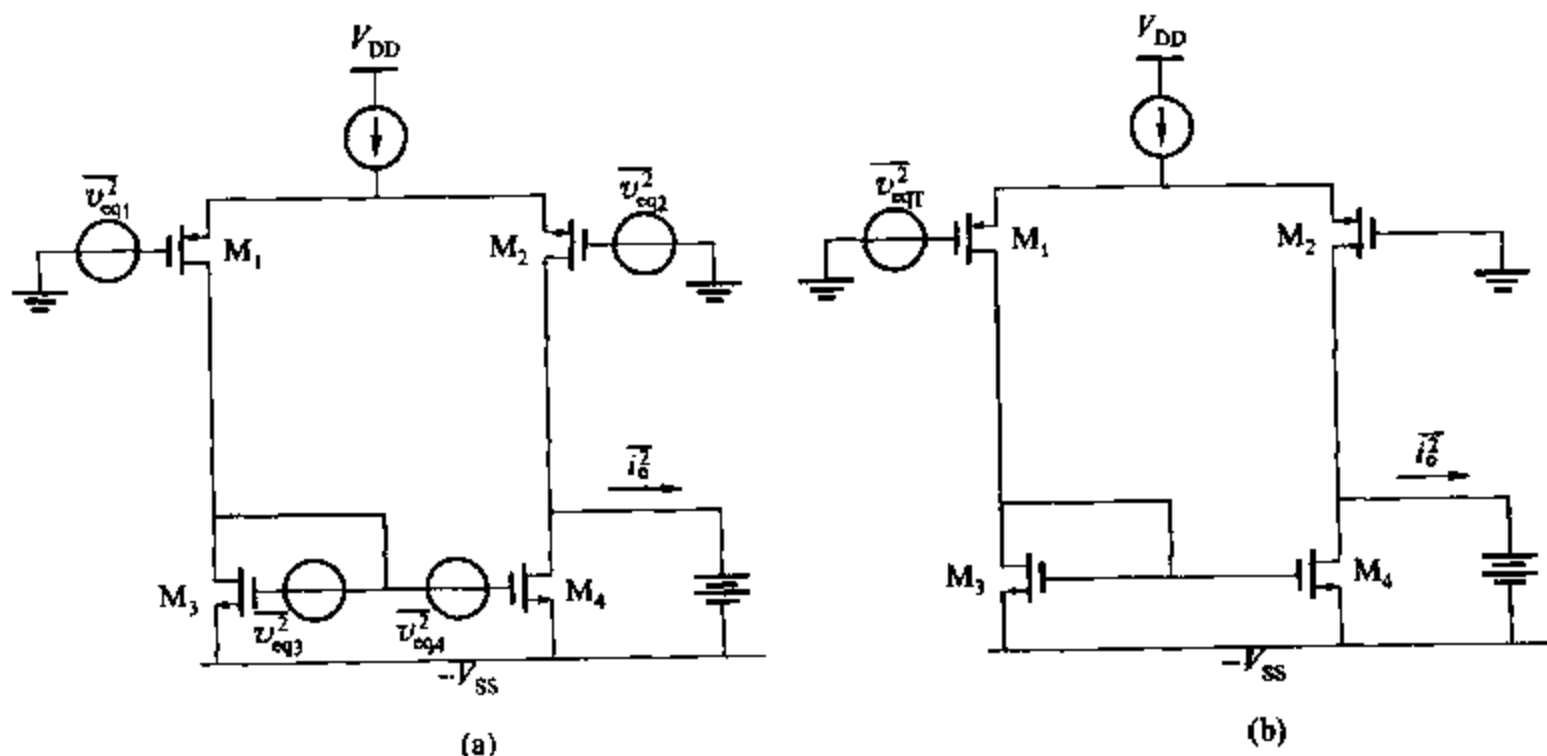


图 11.40 (a) CMOS 输入级器件噪声影响; (b) 等价输入噪声表示

其中 I_D 是每个器件的偏置电流。另外,第一项表示来自于输入晶体管的热噪声,括号里的项表示由负载引起的噪声部分增加。括号中的项是很小的,如果选择 W/L 比率可以使输入器件的跨导比负载的大得多。如果满足条件,输入噪声用输入晶体管的跨导很容易确定。

11.9 噪声带宽

到目前所完成的噪声分析中,被考虑的电路一般被假定为有简单的频率增益特性,它带有如图 11.33b 所示的陡峭的带宽边缘。总的电路噪声计算减少为跨越整个带宽的噪声谱密度的集成,实际中许多电路并没有像理想电路的频率增益特性,此时总电路噪声的计算要复杂得多。然而如果电路的等效输入噪声谱密度是常数,不依赖于频率(如白噪声),可简单计算,如下述使用噪声带宽的概念。

考虑如图 11.41 所示的放大器,假设它是一个低源阻抗反馈,这样等效输入噪声电压 $\overline{v_i^2}$ 决定了噪声特性。假设最初输入噪声电压的谱密度 $\overline{v_i^2}/\Delta f = S_i(f) = S_0$ 是平坦的,如图 11.42a 所示。更进一步假设电路电压增益 $|A_v(jf)|^2$ 的幅度均方值如图 11.42b 所示。输出噪声电压谱密度 $S_o(f) = \overline{v_o^2}/\Delta f$ 是输入噪声电压谱密度和电压增益平方的结果,如图 11.42c 所示。总输出噪声电压通过相加在零到无穷大上频率增量 Δf 中的 $S_o(f)$ 的作用可得

$$\begin{aligned}\overline{v_{oT}^2} &= \sum_{f=0}^{\infty} S_o(f) \Delta f = \int_0^{\infty} S_o(f) df = \int_0^{\infty} |A_v(jf)|^2 S_0 df \\ &= S_0 \int_0^{\infty} |A_v(jf)|^2 df\end{aligned}\quad (11.124)$$

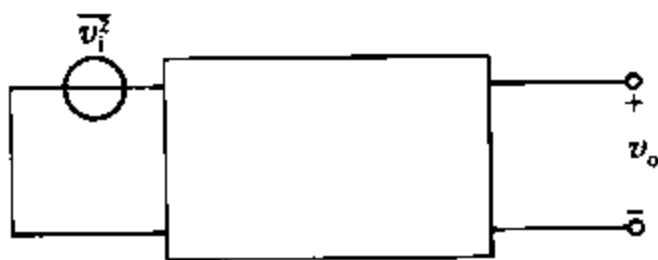


图 11.41 等价电压源电路

估计式(11.124)的积分是很困难的,除非是很简单的传输函数。然而,如果问题被转化为标准形式,可估计公共电路函数的积分并在噪声计算中使用列表。为此考虑如图 11.43 所示的传输函数有相同的低频值 A_{v0} 作为初始电路,但在频率 f_N 带宽边缘很陡峭。选择频率 f_N 使得有相同的总输出噪声电压作为初始电路,同时应用相同的输入噪声电压。因而

$$\overline{v_{oT}^2} = S_0 A_{v0}^2 f_N \quad (11.125)$$

如果式(11.124)和式(11.125)等价可得

$$f_N = \frac{1}{A_{v0}^2} \int_0^{\infty} |A_v(jf)|^2 df \quad (11.126)$$

其中 f_N 是电路的等效噪声带宽。虽然是针对电压传输函数推导的,但是结果也可用于任何类型的传输函数。注意如果电路传输函数被测数据是合理的,则式(11.126)的积分可以用数字计算出来。

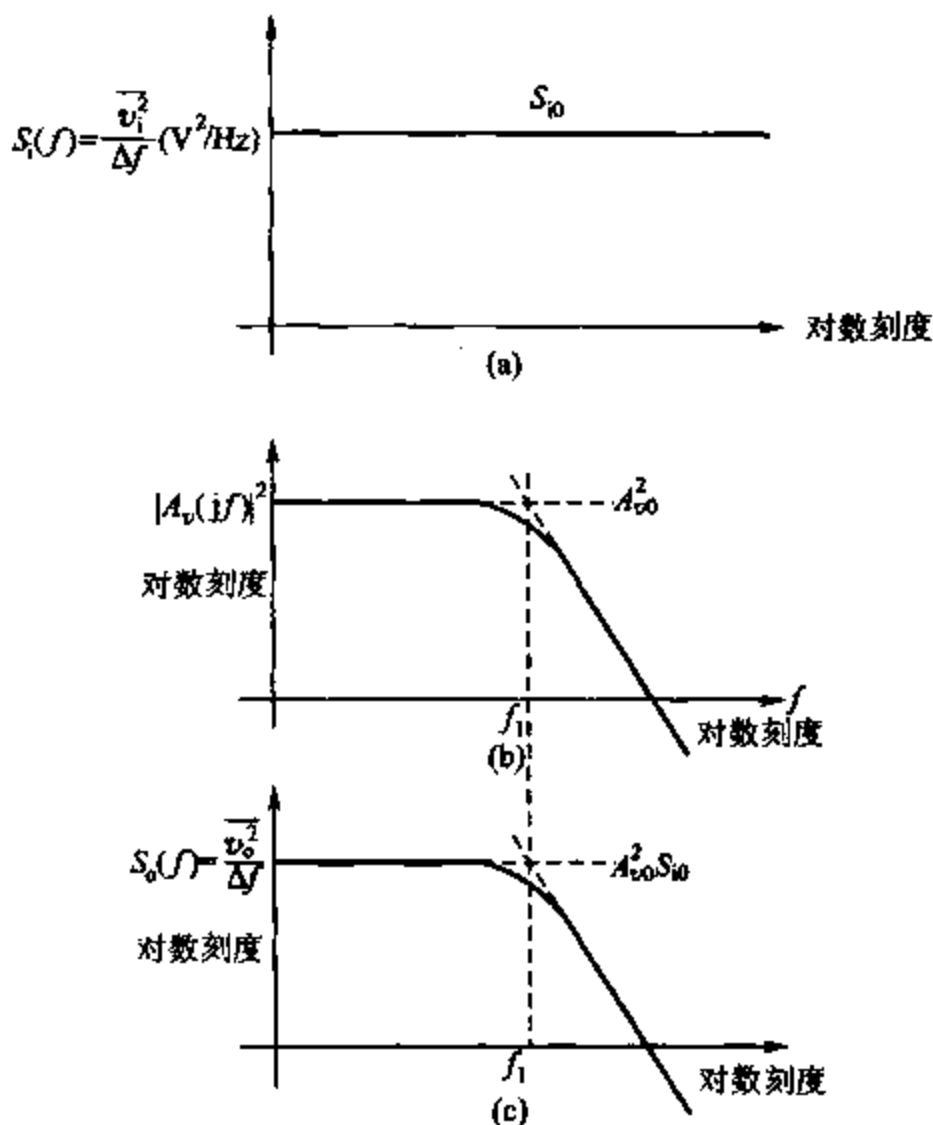


图 11.42 假设图 11.41 电路的参数

(a)等价输入噪声电压谱密度;(b)电路变为被平方的函数;(c)输出噪声电压谱密度

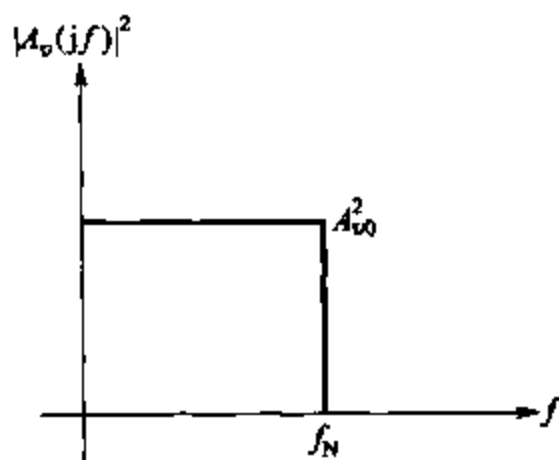


图 11.43 给定相同输出噪声的电路传输函数,传输函数如图 11.42b 中所定义的

一旦应用式(11.126)估计噪声带宽,电路总输出噪声可容易地由式(11.125)计算。式(11.126)形式的优点是电路增益被规格化为低频值。因此,计算 f_N 关心的是电路的频率

响应。可以使用一种通用的方法实现这样电路的整个级只用一种计算。例如,考虑单级频率响应放大器可得

$$A_v(jf) = \frac{A_{v0}}{1 + j \frac{f}{f_1}} \quad (11.127)$$

其中 f_1 是 -3 dB 频率。该电路的噪声带宽可由式(11.126)计算为

$$f_N = \int_0^\infty \frac{df}{1 + \left(\frac{f}{f_1}\right)^2} = \frac{\pi}{2} f_1 = 1.57 f_1 \quad (11.128)$$

这里给出任何单极电路的噪声带宽,可以看出它比 1.57 倍的 -3 dB 带宽大得多。因此,由式(11.127)所示传输函数的电路产生的噪声好像在频率 $1.57 f_1$ 处截止。

由于传输函数随频率降低陡峭性变得越来越大,所以噪声带宽接近于 3 dB 带宽。例如,一个两级传输函数对负实轴成 45° 的复数级噪声带宽仅比 -3 dB 带宽大 11% 。

示例

作为一个噪声带宽计算的例子,假设 741 运算放大器被用于反馈结构中,低频增益为 $A_{v0} = 100$,计算所期望的来自于零源阻抗的电路总输出噪声 v_{oT} ,忽略闪烁噪声。如果运算放大器的整个增益带宽为 1.5 MHz,则在增益为 100 的结构中传输函数将有 15 kHz 的 -3 dB 频率和单极响应。由式(11.128)可得噪声带宽是

$$f_N = 1.57 \times 15 \text{ kHz} = 23.5 \text{ kHz} \quad (11.129)$$

假设电路反馈是零源阻抗,利用先前计算过的 $16 \text{ k}\Omega$ 作为等效输入噪声电阻,可计算出 741 的低频输入噪声电压谱密度为

$$S_n = \frac{\overline{v_i^2}}{\Delta f} = 4kT \times 16000 = 2.66 \times 10^{-16} \text{ V}^2/\text{Hz} \quad (11.130)$$

令 $A_{v0} = 100$,把式(11.129)和式(11.130)代入式(11.125)中可得到总的输出噪声电压

$$\overline{v_{oT}^2} = 2.66 \times 10^{-16} \times 10^4 \times 23.5 \times 10^3 \text{ V}^2 = 6.25 \times 10^{-8} \text{ V}^2$$

所以 $v_{oT} = 250 \mu\text{V rms}$ 。

上述考虑的噪声带宽计算是建立在平坦输入噪声谱的假设之上的。在实际中这常常是正确的,此时噪声带宽的概念是非常有用的。但是也存在许多输入噪声谱随频率而变化的例子。这种情况下的总输出噪声电压为

$$\overline{v_{oT}^2} = \int_0^\infty S_o(f) df \quad (11.131)$$

$$= \int_0^\infty |A_v(jf)|^2 S_i(f) df \quad (11.132)$$

其中 $A_v(jf)$ 电路电压增益, $S_i(f)$ 是输入噪声电压谱密度。如果电路在所使用的输入信号的频率有电压增益 A_{vS} ,则总的等价输入噪声电压变为

$$\overline{v_{iT}^2} = \frac{1}{A_{vS}^2} \int_0^\infty |A_v(jf)|^2 S_i(f) df \quad (11.133)$$

$$= \int_0^{\infty} \left| \frac{A_v(jf)}{A_{vS}} \right|^2 S_i(f) df \quad (11.134)$$

式(11.134)表明,一般情况下,电路总的等效输入噪声电压可以得到,通过积分输入噪声谱的结果和一般化电压增益函数实现。

本节涉及的最后一个问题是计算在直接连接的放大器中的闪烁噪声。考虑一个放大器,它带有如图 11.44a 所示的并且它的输入噪声谱密度。电压增益延伸到直流在高达 $f_1 = 100 \text{ kHz}$ 外陡峭截断,如图 11.44b 所示。用式(11.134)可计算总的等效输入噪声电压为

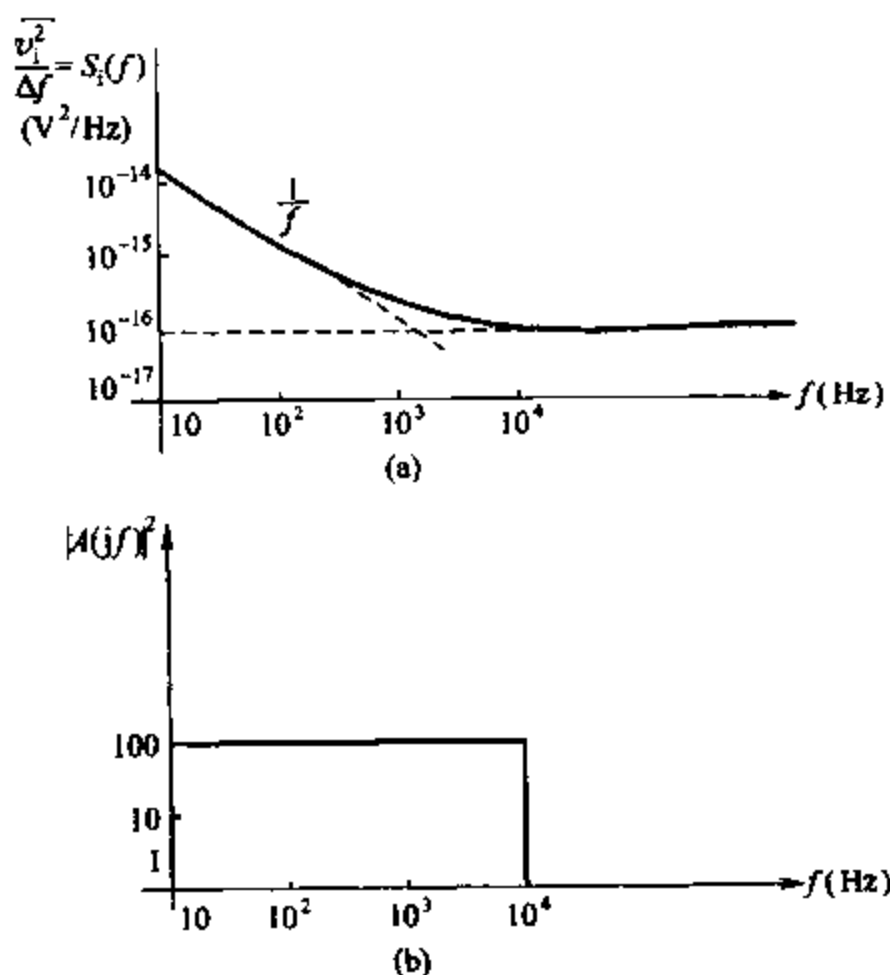


图 11.44 (a)电路的输入噪声电压谱密度;(b)电路传输函数的平方

$$\begin{aligned} \overline{v_{in}^2} &= \int_0^{f_1} S_i(f) df \\ &= \int_0^{f_1} \left(1 + \frac{1000}{f} \right) \times 10^{-16} df \\ &= 10^{-16} [f + 1000 \ln f]_0^{f_1} \end{aligned} \quad (11.135)$$

计算式(11.135)时会出现问题,因为当积分下限是 0 时 $\overline{v_{in}^2}$ 为无穷大。表明在 $1/f$ 噪声信号时功率是无穷大。实际中, $1/f$ 噪声谱的测量表明连续的 $1/f$ 依赖于被测量的低频(周/天或更少)。问题只能通过下述方法解决,即把 $1/f$ 噪声最终变为不能区别于热噪声漂移,同时积分下限由观察周期指定。例如,令积分限为 $f_2 = 1 \text{ 周/天}$, 得到 $f_2 = 1.16 \times 10^{-5} \text{ Hz}$ 。改变式(11.135)中的积分限可得

$$\overline{v_{in}^2} = 10^{-16} [f + 1000 \ln f]_{f_2}^{f_1}$$

$$= 10^{-16} [(f_1 - f_2) + 1000 \frac{f_1}{f_2}] \quad (11.136)$$

在式(11.136)中令 $f_1 = 10 \text{ kHz}$ 和 $f_2 = 1.16 \times 10^{-5} \text{ Hz}$ 可得

$$\begin{aligned} \overline{v_{iT}^2} &= 10^{-16} (10000 + 20600) \\ &= 3.06 \times 10^{-12} \text{ V}^2 \end{aligned}$$

所以

$$v_{iT} = 1.75 \text{ } \mu\text{V rms}$$

如果下限改为 1 周/年 $= 3.2 \times 10^{-8} \text{ Hz}$, 式(11.136)变为

$$\begin{aligned} \overline{v_{iT}^2} &= 10^{-16} (10000 + 26500) \\ &= 3.65 \times 10^{-12} \text{ V}^2 \end{aligned}$$

所以

$$v_{iT} = 1.9 \text{ } \mu\text{V rms}$$

噪声电压变化很缓慢, 因为在式(11.136)所示的函数中, f_2 被更进一步地减少了。

11.10 噪声因数和噪声温度

11.10.1 噪声因数

描述电路噪声特性最一般的方法是如前所述的输入噪声源。然而对于已经发展了的大量描述噪声特性的特殊方法在特定条件下是十分方便的。现在讨论其中的两种方法。

噪声因数(F)是用来描述电路或器件噪声特性的最常用的方法。它的缺点是限制源阻抗为电阻性的, 它在许多噪声阻抗是非常重要的应用中不能使用。尽管如此, 它还是被广泛应用于通信系统中进行噪声特性测量, 这些通信系统的源阻抗常常是电阻性的。

电路噪声因数的定义为

$$F = \frac{\text{input } S/N \text{ ratio}}{\text{output } S/N \text{ ratio}} \quad (11.137)$$

F 通常用分贝形式表示。从定义中很明显的看到噪声因数概念的作用, 它直接给出由电路产生的信号-噪声比率(S/N)降低的方法。例如, 电路输入端的 S/N 比率是 50 dB, 电路噪声因数是 5 dB, 则电路输出端的 S/N 比率是 45 dB。

考虑如图 11.45 所示电路, S 是信号源, N 是噪声源。输入噪声源 N_i 总是作为源阻抗的噪声。输出噪声源 N_o 是包含电路影响的总输出噪声, 该噪声是来自于源阻抗的。由式(11.137)可得噪声因数是

$$F = \frac{S_i N_o}{N_i S_o} \quad (11.138)$$



图 11.45 在输入端和输出端的信号和噪声电路

对于理想无噪声放大器,所有输出噪声源于输入端的阻抗,因此如果 G 是电路功率增益,则输出信号 S_o 和输出噪声 N_o 为

$$S_o = GS_i \quad (11.139)$$

$$N_o = GN_i \quad (11.140)$$

将式(11.139)和式(11.140)代入式(11.138),此时 $F = 1$ 或 0 dB。

从式(11.138)推导出另一个很有用的 F 的定义如下:

$$F = \frac{S_i N_o}{N_i S_o} = \frac{N_o}{GN_i} \quad (11.141)$$

式(11.141)可写成

$$F = \frac{\text{总的输出噪声}}{\text{由源阻抗引入的部分输出噪声}} \quad (11.142)$$

注意:由于 F 是用功率比率规定的,分贝值由对数给出(算术比率)。

前节所述的计算表明了大多数电路的噪声参数随频率而不同,所以当计算电路噪声因数的时候必须规定带宽。噪声因数常被规定为小带宽 Δf ,在 f 处时 $\Delta f \ll f$ 。这被称作现场噪声因数,应用于嵌入的放大器和可能随频率选择电路的宽带放大器。对于宽带放大器,输出应用于整个宽带,通常规定平均噪声因数。这就需要计算感兴趣的整个频率带上的总输出噪声,使用前节所述方法。

在许多情况下,最方便的计算噪声因数的方法是回到初始有基本噪声源器件的等价电路来进行计算,然而,一些内在噪声因数上的电路参数的影响通过图 11.46 所示的等价输入噪声源获得。在该图中,输入阻抗 Z_i 和电压增益 $G = v_o/v_x$ 是从源阻抗反馈的,并驱动负载 R_L ,这些源阻抗表示热噪声 $\overline{i_s^2}$,电路本身的噪声用 $\overline{i_i^2}$ 和 $\overline{v_i^2}$ 表示,并假设是不相关的。由 $\overline{i_i^2}$ 和 $\overline{v_i^2}$ 产生的在输入端的噪声是

$$v_{xA} = v_i \frac{z_i}{z_i + R_s} + i_i \frac{R_s z_i}{R_s + z_i}$$

所以

$$\overline{v_{xA}^2} = \overline{v_i^2} \frac{|z_i|^2}{|z_i + R_s|^2} + \overline{i_i^2} \frac{|R_s z_i|^2}{|R_s + z_i|^2} \quad (11.143)$$

在 R_L 上由 $\overline{i_i^2}$ 和 $\overline{v_i^2}$ 产生的噪声功率为

$$N_{oA} = \frac{|G|^2}{R_L} \overline{v_{xA}^2} = \frac{|G|^2}{R_L} \left(\overline{v_i^2} \frac{|z_i|^2}{|z_i + R_s|^2} + \overline{i_i^2} \frac{|R_s z_i|^2}{|R_s + z_i|^2} \right) \quad (11.144)$$

在 R_L 上由源阻抗噪声源 $\overline{i_s^2}$ 产生的噪声功率为

$$N_{oB} = \frac{|G|^2}{R_L} \frac{|R_s z_i|^2}{|R_s + z_i|^2} \overline{i_s^2} \quad (11.145)$$

在窄带带宽 Δf 源阻抗上的噪声为

$$\overline{i_s^2} = 4kT \frac{1}{R_s} \Delta f \quad (11.146)$$

将式(11.146)代入式(11.145)中得

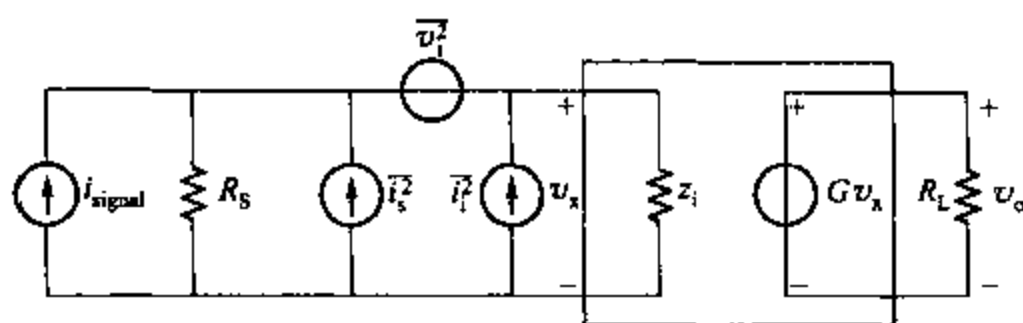


图 11.46 噪声系数计算时的输入噪声等效电路

$$N_{ob} = \frac{|G|^2}{R_L} \frac{|R_s z_i|^2}{|R_s + z_i|^2} 4kT \frac{1}{R_s} \Delta f \quad (11.147)$$

使用式(11.142)中噪声因数的定义,并且将式(11.147)和式(11.144)代入可得

$$F = \frac{N_{oA} + N_{oB}}{N_{oB}} = 1 + \frac{N_{oA}}{N_{oB}} \quad (11.148)$$

$$= 1 + \frac{\overline{v_i^2}}{4kTR_s\Delta f} + \frac{\overline{i_i^2}}{4kT \frac{1}{R_s}\Delta f} \quad (11.149)$$

式(11.149)给出了电路现场噪声因数,假设忽略了 $\overline{i_i^2}$ 和 $\overline{v_i^2}$ 的相关性。注意 F 依赖于除源阻抗和等价输入噪声源外的所有电路参数(G, z_i, R_L)。

从式(11.149)很明显看出, F 随着 R_s 变化有最小值。对于 R_s 是很低的价值时, $\overline{v_i^2}$ 起主要作用,而对于 R_s 是很高的价值时, $\overline{i_i^2}$ 是最重要的。用 R_s 区分式(11.149),可计算由 R_s 值给出的 F 最小值:

$$R_{s(opt)}^2 = \frac{\overline{v_i^2}}{\overline{i_i^2}} \quad (11.150)$$

即使相关性很重要该结果一般是正确的。 F 相对于 R_s 用分贝表示的图在图 11.47 示出。

F 的最小值因 R_s 是不同的,其原因之一是在低噪声嵌入式放大器输入端广泛使用变压器。该技术允许源阻抗同时被转化为最低的噪声因数,并在电路中产生最小的损失。

例如,考虑在低-中频时双极型晶体管的噪声因数,这里闪烁噪声和高频效应均忽略。由式(11.50)和式(11.57),有

$$\overline{v_i^2} = 4kT \left(r_b + \frac{1}{2g_m} \right) \Delta f$$

$$\overline{i_i^2} = 2qI_B \Delta f = 2q \frac{I_C}{\beta_F} \Delta f$$

将这些值代入式(11.150)中得

$$R_{s(opt)}^2 = \frac{\sqrt{\beta_F}}{g_m} \sqrt{1 + 2g_m r_b} \quad (11.151)$$

在此时的 R_s 值下,由式(11.149)给出的噪声因数变为

$$F_{opt} \approx 1 + \frac{1}{\sqrt{\beta_F}} \sqrt{1 + 2g_m r_b} \quad (11.152)$$

在集电极电流为 $I_C = 1 \text{ mA}$, $\beta_F = 100$ 和 $r_b = 50 \Omega$ 时,由式(11.151)得出 $R_{s(opt)} = 572 \Omega$ 和 $F_{opt} = 1.22$ 。用分贝表示为 $10 \log_{10} 1.22 = 0.9 \text{ dB}$ 。注意到 F_{opt} 随 β_F 的增加而减小,随 r_b 和 g_m 的减小而减小。然而增加 β_F 并减小 g_m 导致 $R_{s(opt)}$ 值增加,这在实际中很难证明。

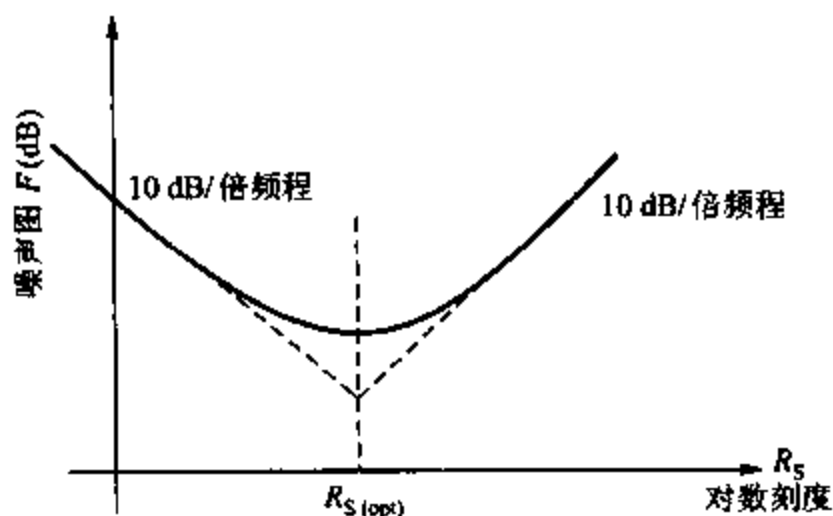


图 11.47 噪声因数 F 随源电阻 R_s 的变化

另一个例子,考虑在低频时的 MOSFET。忽略闪烁噪声,从 11.5.2 节中计算等价输入源为

$$\overline{v_i^2} \approx 4kT \frac{2}{3} \frac{1}{g_m} \Delta f \quad (11.153)$$

$$\overline{i_i^2} \approx 0 \quad (11.154)$$

应用式(11.149)和式(11.150)中的值,可发现 $R_{s(opt)} \rightarrow \infty$, $F_{opt} \rightarrow 0 \text{ dB}$ 。因此,由于很高的源阻抗, MOS 晶体管有非常好的噪声特性。但是如果源阻抗很低(千欧或更低),传输器不使用, MOS 晶体管噪声特性比双极型晶体管更糟。对于源阻抗的数量级是兆欧或更高时, MOS 晶体管噪声特性通常有比双极型晶体管更好的低源噪声特性。

11.10.2 噪声温度

噪声温度是另一个重要的噪声表示,和噪声因数密切相关。电路噪声温度 T_n 定义为在源阻抗为 R_s 上的温度,可以保证由 R_s 产生的噪声输出等价于电路本身产生的噪声。如果这些条件应用于图 11.46,由电路本身产生的输出噪声 N_{oA} 不变,但是由源电阻产生的输出噪声变为

$$N'_{ob} = \frac{|G|^2}{R_L} \frac{|R_s z_i|^2}{|R_s + z_i|^2} 4kT_n \frac{1}{R_s} \Delta f \quad (11.155)$$

将式(11.147)代入式(11.155)中可得

$$N'_{ob} = N_{ob} \frac{T_n}{T} \quad (11.156)$$

其中 T 是电路温度,已规定噪声特性(通常是 290 K)。将式(11.156)代入式(11.148)得

$$\frac{T_n}{T} = F - 1 \quad (11.157)$$

其中 F 被规定为比率,不用分贝形式表示。

噪声温度和噪声因数是直接相关的。噪声温度的主要应用是提供了一种简便的扩展方法,即对于极低的噪声放大器在 $F = 1$ 附近的噪声特性。 $F = 2 \times 3$ dB 的噪声因数对应于 $T_n = 290$ K, $F = 1.1 \times 0.4$ dB 的噪声因数对应于 $T_n = 290$ K。

习题

11.1 计算图 11.48 中的电路在 v_o 的噪声电压谱密度单位 V^2/kHz ,并由此计算在 100 kHz 带宽时的总噪声。忽略电容的影响,闪烁噪声和在二极管中的串联电阻。

11.2 如果在图 11.48 中的二极管有闪烁噪声,计算并用对数形式画出 v_o 从 $f = 1$ Hz 到 $f = 10$ MHz 的噪声电压谱密度,单位为 V^2/kHz 。闪烁噪声数据:在式(11.7)中使用 $a = b = 1$, $K_1 = 3 \times 10^{-16}$ A。

11.3 如果用 1 000 pF 的电容跨接在二极管上,重新计算习题 11.2 的问题,并用 SPICE 仿真与计算结果比较。

11.4 一个放大器的交流原理图如图 11.49 所示。该电路是从电流源输入,数据如下:

$$R_s = 1 \text{ k}\Omega, R_L = 10 \text{ k}\Omega, I_C = 1 \text{ mA}, \beta = 50, r_b = 0, r_o = \infty$$

忽略电容的影响和闪烁噪声,计算 v_o 的总噪声电压谱密度,单位为 V^2/kHz ,并计算如果电路带宽被限制在 2 MHz 时有一个尖锐的截断,计算在 i_s 的 MDS。并用 SPICE 仿真与计算结果比较。(需要设一个偏置电路。)

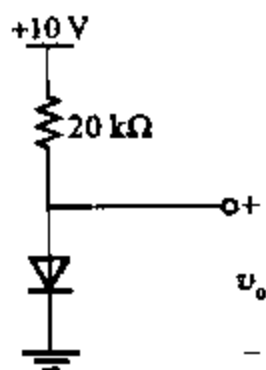


图 11.48 习题 11.1 和 11.2 中的二极管电路

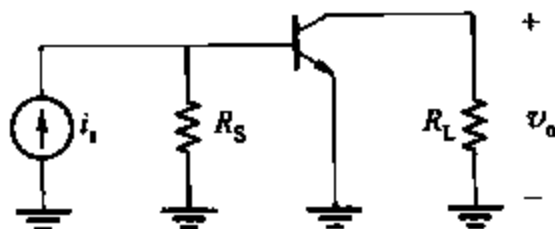


图 11.49 习题 11.4 和 11.6 的放大器的交流原理图

11.5 计算如图 7.2b 所示的共源极放大器在 10 Hz, 100 kHz 和 1 GHz 时的作为参考的总输入和输出噪声电压。假设 $W = 100 \mu\text{m}$, $L = 1 \mu\text{m}$, $I_D = 100 \mu\text{A}$, $V_t = 0.6$ V, $k' = 194 \mu\text{A}/\text{V}^2$, $t_{ox} = 80 \text{ \AA}$, $L_d = 0$, $X_d = 0$, $K_1 = 3 \times 10^{-24} \text{ FV}^2$ 。在式(11.15)和式(11.16)中忽略栅极电流噪声。令 $R_s = 100 \text{ k}\Omega$ 和 $R_L = 10 \text{ k}\Omega$ 。用 SPICE 验证结果(对 SPICE 增加直流源。)

11.6 计算如图 11.49 电路的等效输入噪声电压和电流源(忽略 R_s)。用这些结果计算图 11.49 中 $R_s = 1 \text{ k}\Omega$ 在带宽为 2 MHz 时的总等效输入噪声电流,并与习题 11.4 的结果对比。忽略噪声源间的相关性。

11.7 用四种方法实现如图 11.50 所示的交流原理图,使输入阻抗大于 100 kΩ。

(a) 忽略闪烁噪声和电容影响,推导这些电路的等效输入噪声电压和电流源的表达式。电路(i)中将在 100 kΩ 电阻的源端。

(b) 假设下一级限制带宽到交流 20 kHz 时有尖锐的截断, 计算在每种情况下总的等效输入噪声电压的幅度。将这些电路用作低源阻抗低源噪声放大器时进行对比。

11.8 忽略电容影响, 计算图 11.50 中的(iv)的等效输入噪声电压和电流源, 假设在晶体管漏极的电流闪烁噪声的谱密度等效于在 100 kHz 的热噪声。假设下一级限制带宽从 0.001 kHz 到 20 kHz, 20 kHz 时截止, 计算总的等价输入噪声电压的幅度。在式(11.15)和式(11.16)中忽略栅极电流噪声。(假设 $C_{gs} = 0$ 。)

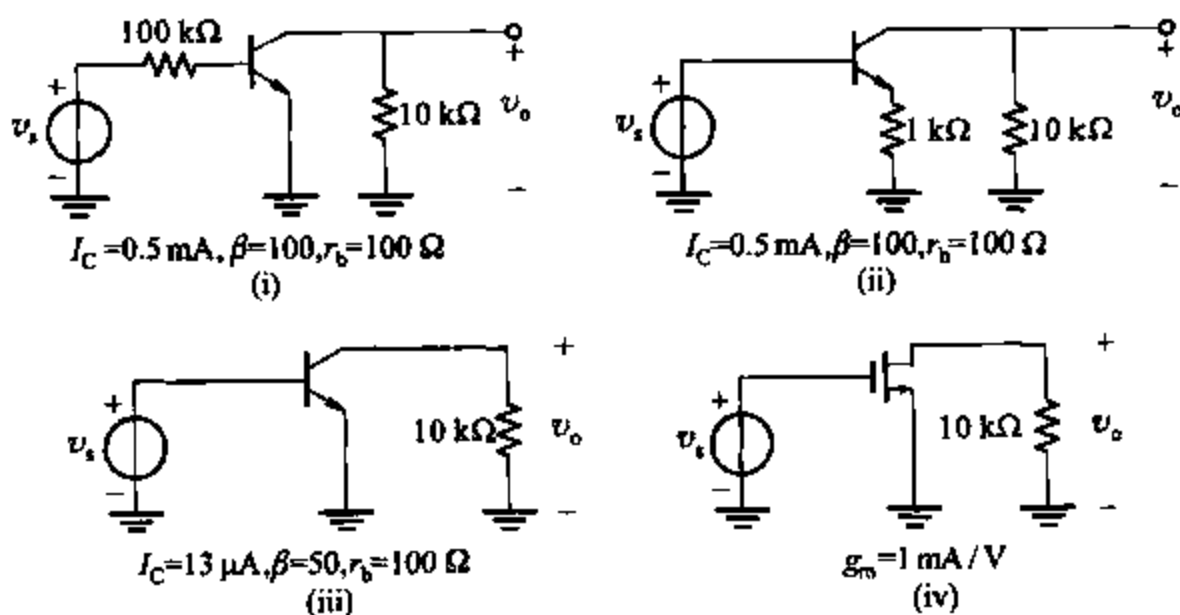


图 11.50 4 个交流原理图实现输入电阻

11.9 一个双极型 BiCMOS 达林顿电路如图 11.51 所示。忽略频率效应, 计算该电路的等价输入噪声电压和电流源, 假设 V_i 的直流值调整为 $I_{C1} = 1$ mA。MOSFET 的参数为 $\mu_n C_{ox} = 60 \mu\text{A}/\text{V}^2$, $V_t = 0.7$ V, $\lambda = 0$, $\gamma = 0$, $W = 100 \mu\text{m}$, $L = 1 \mu\text{m}$ 。双极型晶体管的参数为 $I_s = 10^{-16}$ A, $V_A = \infty$, $\beta = 100$, $r_b = 100 \Omega$ 。用 SPICE 仿真验证计算结果。对 MOSFET 增加 $C_{gs} = 150$ fF, $C_{gd} = 50$ fF, 双极型晶体管增加 $C_{je} = 50$ fF, $f_T = 10$ GHz, 用 SPICE 确定频率, 这里等效输入噪声电压源 $\overline{v_i^2}$ 已扩大两倍。再用 SPICE 确定在该频率下的等效输入噪声电流谱密度。

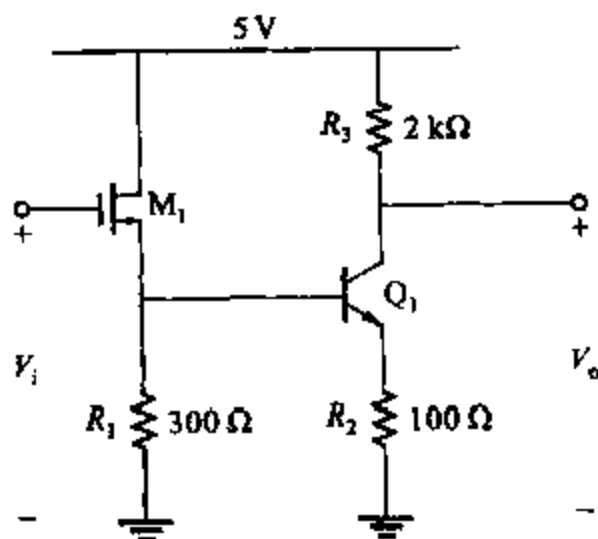


图 11.51 习题 11.9 的 BiCMOS 达林顿电路

11.10 低输入阻抗共基极放大器的交流原理图如图 11.52 所示。

(a) 计算该电路在 Q_1 的发射极的等价输入噪声电压源和电流源, 参数为 $I_{C1} = I_{C2} = 1$ mA, $\beta_1 = \beta_2 =$

100, $r_{in} = r_{in2} = 0$, $f_{T1} = f_{T2} = 400$ MHz。忽略闪烁噪声但包含晶体管的电容效应。用 SPICE 仿真验证计算结果。

(b) 如果 $R_s = 5$ k Ω , 后级的带宽限制到 150 MHz, 计算 i_s 的值, 给出 10 dB 的输出信号 - 噪声比率。

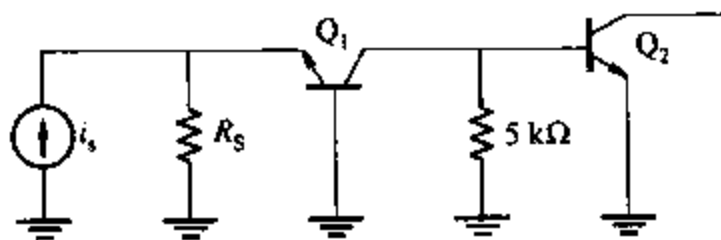


图 11.52 习题 11.10 共基极放大器的交流原理图

11.11 超 β 输入级如图 11.53a 所示。

(a) 忽略闪烁噪声和晶体管的电容效应, 该电路的等效输入噪声电压源 $\overline{v^2}$ 和电流源 $\overline{i^2}$, 参数为 $I_{EE} = 1$ μ A, $\beta_1 = \beta_2 = 5000$, $r_{in1} = r_{in2} = 500$ Ω 。

(b) 如果电路反馈是源电阻 $R_s = 100$ M Ω , 如图 11.53b 所示。计算带宽为 1 kHz 时在 v_i 的等效输入噪声电压。

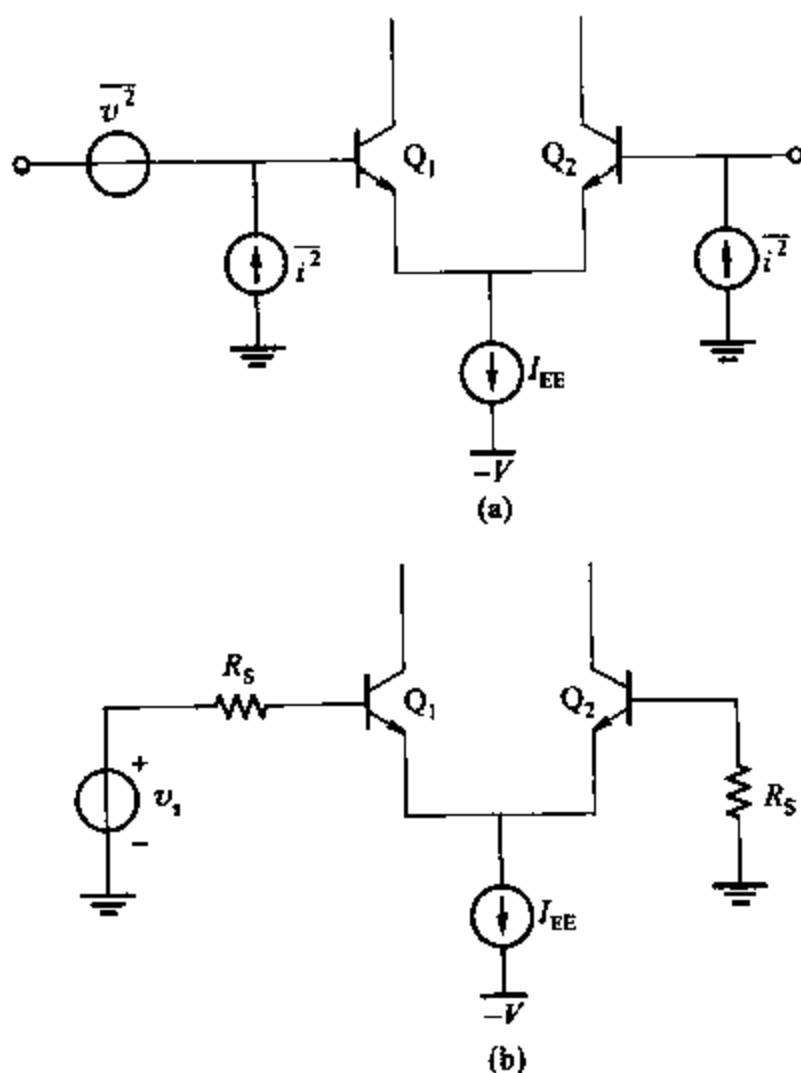


图 11.53 习题 11.11 的超 β 输入级

11.12 如果用双极型晶体管代替 MOS 晶体管重新计算习题 11.11。假设 $C_{gs} = 0$, 参数 $I_C = 0.1$ A, $g_m = 0.5$ mS。

11.13 如果 100 pF 电容连接在图 11.48 中二极管的两端, 忽略闪烁噪声和二极管中的串联电阻, 计算电路的噪声带宽和 v_o 处的总输出噪声。

11.14 如图 11.54 所示差分对输入级电路。

(a) 忽略闪烁噪声, 计算在 Q_1 基极的等效输入噪声电压和电流源的表达式。用 SPICE 仿真验证计算结果。

(b) 假设电路主极点在它的频率响应为 30 MHz 处, $R_s = 50 \Omega$, 计算总输入和输出的噪声电压。参数 $\beta = 100$, $r_b = 200 \Omega$ 。

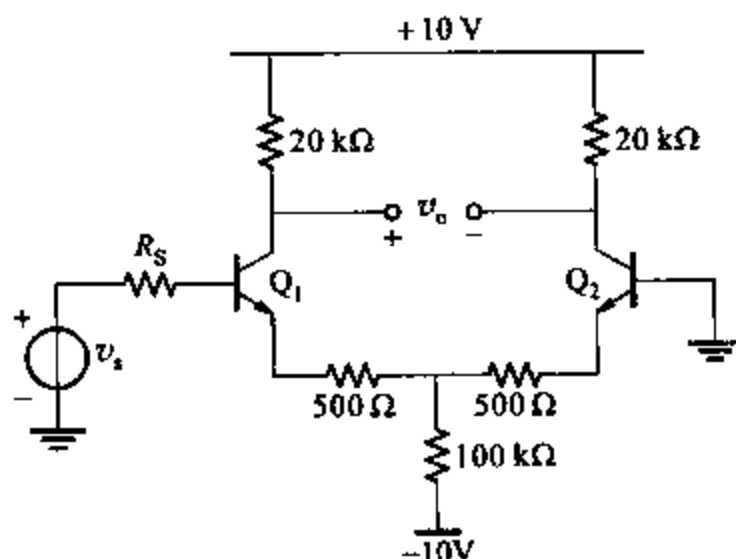


图 11.54 习题 11.14 的差分对电路输入级

11.15 计算源阻抗, 给出最小噪声因数和相应的用分贝表示的噪声因数。晶体管参数如下:

(a) $I_C = 2 \text{ mA}$, $\beta_F = 50$, $r_b = 100 \Omega$ 。

(b) $I_C = 10 \mu\text{A}$, $\beta_F = 100$, $r_b = 300 \Omega$ 。

11.16 如果晶体管有 1 kHz 的闪烁噪声角频率, 重新计算习题 11.15 的问题。并计算在 500 Hz 时的现场噪声因数。

11.17 如果晶体管有 1 kΩ 射极电阻, 重新计算习题 11.15 的问题。

11.18 (a) 忽略闪烁噪声和晶体管的电容效应, 计算用分贝表示的噪声因数, 电路如图 11.54 所示, $R_s = 50 \Omega$ 。

(b) 如果 R_s 等于 (i) 100 Ω 或 (ii) 200 kΩ, 噪声因数增加还是减少? 解释理由。

(c) 如果 $R_s = 200 \text{ k}\Omega$, 每个器件有 10 kHz 的闪烁噪声角频率, 计算低频频率, 此时电路的现场噪声因数为 20 dB。

11.19 (a) 并联反馈放大器如图 11.55 所示。器件用等效输入噪声源, 计算该电路用分贝表示的现场噪声因数, $R_s = 10 \text{ k}\Omega$, 忽略闪烁噪声和电容效应, 数据如下:

$$I_C = 0.5 \text{ mA}, \beta = 50, r_b = 100 \Omega$$

(b) 如果器件 $f_T = 500 \text{ MHz}$, 计算频率, 低频时的噪声因数为 3 dB。

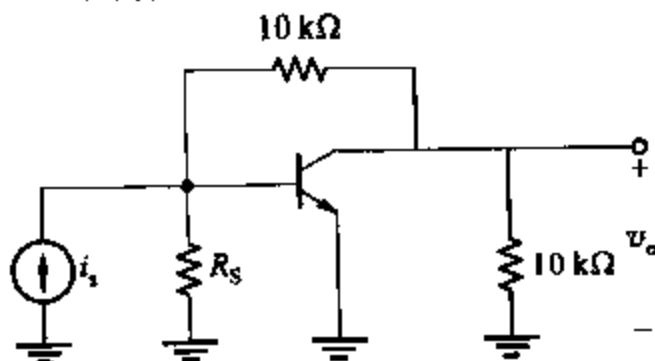


图 11.55 习题 11.19 单级并联反馈放大器的交流原理图

11.20 (a) 忽略电容效应, 计算电路图 11.52 用分贝表示的噪声因数, $R_s = 5 \text{ k}\Omega$ 。用和习题 11.10 相同的数据。

(b) 如果每个器件的闪烁噪声角频率为 1 kHz , 计算低频频率。此时现场噪声因数为 3 dB 在 (a) 的值之上。

11.21 忽略闪烁噪声, 计算对于 MC1553 总的等效输入噪声电压如图 8.21a 所示。令 $\beta = 100$, $r_b = 100 \Omega$, 假设快速衰落处的频率相应为 50 MHz 处。计算电路平均噪声因数, 源电阻为 50Ω 。

11.22 计算如图 8.48 所示的并联-并联反馈电路的等效输入噪声电流, 带宽为 $0 \sim 100 \text{ Hz}$ 。用习题 11.5 中的 MOS 晶体管。忽略式 (11.15) 和式 (11.16) 中的栅极电流噪声。

11.23 如果图 8.48 中的 MOS 晶体管换作双极型晶体管重新计算习题 11.22 中的问题。假设 $I_C = 1 \text{ mA}$, $\beta = 200$, $r_b = 300 \Omega$ 。闪烁噪声的角频率为 $f_s = 5 \text{ kHz}$ 。忽略电容效应。

11.24 图 3.78 所示的 BiCMOS 放大器用于低噪声传输阻抗放大器。输入是电流源, 并联源电容是 $C_s = 1 \text{ pF}$ 。假设 C_s 和 $C_{gd} = 0.5 \text{ pF}$ 为主导频率响应, 计算电路在低频时的等效输入噪声电流谱密度, 在频率为 -3 dB 的传输函数。使用习题 3.17 中的数据。用 SPICE 仿真检查计算结果。同时观察增加 $r_b = 200 \Omega$ 到双极型模型的效果。

11.25 把典型的 MOS 电流源如图 4.4 所示设计成实现最小输出噪声电流的电路。两个晶体管必须相同, 结合在一起的两个晶体管的总栅极面积不能超过 $10 \mu\text{m}^2$ 。选择以下两种不同假设的器件的 W 和 L 。

(a) $1/f$ 噪声占主要作用。

(b) 热噪声占主要作用。

假设 L_d 和 X_d 为零。允许的晶体管的长度或宽度为 $0.6 \mu\text{m}$ 。用 SPICE 仿真验证计算结果。

11.26 对图 6.59 所示的 CMOS 运算放大器, 计算在 100 Hz , 1 kHz 和 10 kHz 下的等效输入噪声电压。用表 2.4 中的 MOS 参数, 并假设对所有工作在放大区的晶体管的直流工作点, $X_d = 0.1 \mu\text{m}$ 。本题假设 M_0 的栅极连接正电源, 且 M_0 的宽长比经过优选消去了右半平面的零点。所有晶体管的闪烁噪声系数为 $K_f = 3 \times 10^{-24} \text{ F} \cdot \text{V}^2$ 。忽略式 (11.15) 和式 (11.16) 中的栅极电流噪声。用 SPICE 验证结果。

11.27 用 SPICE 验证 11.8 节中给定的 741 运放的噪声分析。然后假设式 (11.3) 中 $a = 1$, 晶体管闪烁噪声拐点频率为 1 kHz , 添加闪烁噪声源。在 1 Hz 时哪一器件主导噪声特性?

11.28 (a) 在什么频率下, 噪声谱密度, $\overline{i_g^2}/\Delta f$, 使式 (11.15) 和式 (11.16) 中的栅极电流噪声相等? 假设 $W = 50 \mu\text{m}$, $L = 0.5 \mu\text{m}$, $I_G = 0.05 \text{ fA}$, $I_D = 100 \mu\text{A}$, $V_t = 0.6 \text{ V}$, $k' = 194 \mu\text{A}/\text{V}^2$, $t_{ox} = 80 \text{ \AA}$, $L_d = 0$, $X_d = 0$, $K_f = 3 \times 10^{-24} \text{ F} \cdot \text{V}^2$ 。

(b) 对于该晶体管, 仅考虑栅极电流噪声, 什么带宽 (从 0 到 f_{BW}) 下, 式 (11.15) 中由散粒噪声带来的总输入噪声电流和式 (11.16) 中由耦合热噪声带来的总输入电流相等。

参考文献

1. M. Schwartz. *Information Transmission, Modulation, and Noise*. McGraw-Hill, New York, 1959, Chapter 5.
2. W. B. Davenport, Jr., and W. L. Root. *An Introduction to the Theory of Random Signals and Noise*. McGraw-Hill, New York, 1958, Chapter 7.
3. J. L. Lawson and G. E. Uhlenbeck. *Threshold Signals*. McGraw-Hill, New York, 1950, Chapter 4.
4. A. van der Ziel. *Noise*. Prentice-Hall, New York, 1954, Chapter 5.
5. W. B. Davenport, Jr., and W. L. Root, op. cit., Chapter 9.
6. J. L. Plumb and E. R. Chenette. "Flicker Noise Transistors," *IEEE Transactions on Electron*

Devices, Vol. ED-10, pp. 304 ~ 308, September 1963.

7. R. C. Jaeger and A. J. Broderick. "Low-Frequency Noise Sources in Bipolar Junction Transistors," *IEEE Transactions on Electron Devices*, Vol. ED-17, pp. 128 ~ 134, February 1970.

8. M. Nishida. "Effects of Diffusion-Induced Dislocations on the Excess Low-Frequency Noise," *IEEE Transactions on Electron Devices*, Vol. ED-20, pp. 221 ~ 226, March 1973.

9. R. G. Meyer, L. Nagel, and S. K. Lui. "Computer Simulation of $1/f$ Noise Performance of Electronic Circuits," *IEEE Journal of Solid-State Circuits*, Vol. SC-8, pp. 237 ~ 240, June 1973.

10. R. H. Haitz. "Controlled Noise Generation with Avalanche Diodes," *IEEE Transactions on Electron Devices*, Vol. ED-12, pp. 198 ~ 207, April 1965.

11. D. G. Peterson. "Noise Performance of Transistors," *IRE Transactions on Electron Devices*, Vol. ED-9, pp. 296 ~ 303, May 1962.

12. A. van der Ziel. *Noise in Solid State Devices and Circuits*. Wiley, New York, 1986.

13. A. A. Abidi. "High-Frequency Noise Measurements on FETs with Small Dimensions," *IEEE Transactions on Electron Devices*, Vol. 33, no. 11, pp. 1801 ~ 1805, November 1986.

14. D. K. Shaeffer and T. H. Lee. "A 1.5-V, 1.5-GHz CMOS Low Noise Amplifier," *IEEE Journal of Solid-State Circuits*, Vol. 32, no. 5, pp. 745 ~ 759, May 1997.

15. W. R. Bennett. "Methods of Solving Noise Problems," *Proceedings, IRE*, Vol. 44, pp. 609 ~ 638, May 1956.

16. E. M. Cherry and D. E. Hooper. *Amplifying Devices and Low-Pass Amplifier Design*. Wiley, New York, 1968, Chapter 8.

17. H. A. Haus, et al. "Representation of Noise in Linear Twoports," *Proceedings, IRE*, Vol. 48, pp. 69 ~ 74, January 1960.

18. M. B. Das and J. M. Moore. "Measurements and Interpretation of Low-Frequency Noise in FETs," *IEEE Transactions on Electron Devices*, Vol. ED-21, pp. 247 ~ 257, April 1974.

第十二章 全差分运算放大器

12.1 引言

第六章对集成电路运算放大器的分析主要集中在单输出的运算放大器上。这一章的题目是全差分运算放大器,其对于不同的输入将产生不同的输出。全差分运算放大器与单端输出运算器相比有较多优点,因而其在现代集成电路中有广泛的运用。它们能提供更大的输出电压摆幅,而且不易受共模噪声的影响。同样,偶数阶非线性没有出现在平衡电路的差分输出中。(平衡电路是指电路元件关于其轴线完全对称的电路)这种全差分运算放大器的一个缺点是它需要两个相匹配的反馈网络和共模反馈电路去控制共模输出电压。

在本章中,首先介绍全差分运算放大器的性能,接着介绍一些共模反馈方法。其中涉及了一些全差分 CMOS 运算放大器。本章中有些名词在 3.5 节中介绍简单的全差分放大器(阻性负载差分对)时已经介绍过了。本章中的大部分的电路可以看成是完全对称的。不对称部分的影响将在 12.7 节中介绍。本章中的电路都是 CMOS 电路;然而,大部分描述的技术和布局可以扩张到双极型工艺。

12.2 全差分放大器的性能^{1,2}

图 12.1a 是一个全差分反馈放大器,它与图 12.1b 所示的单端输出反馈放大器有两种区别的方法。运算放大器有两个输出端口和两个同样的提供反馈的电阻网络。全差分运算放大器的布局有很多种,而图 12.2 所示的简单全差分放大器正是这样的例子。它由差分对 $M_1 - M_2$, 有源负载 M_3 和 M_4 以及尾电流源 M_5 组成。

全差分运算放大器比单端输出放大器有更大的输出电压摆幅,当电源电压较小时这是很重要的。这种大的输出电压摆幅是因为有了图 12.1 所示的两个反馈电路。假设运算放大器的每一个输出, V_{o1} , V_{o2} 或 V_o , 能够从 V_{max} 变化到 V_{min} 。而对于图 12.1b 所示的单端输出电路,输出电压的峰-峰值可以和 $V_{max} - V_{min}$ 一样大。在图 12.1a 所示的全差分电路中,如果 V_{o1} 是 V_{max} , V_{o2} 是 V_{min} , 输出的峰-峰值的差是 $V_{max} - V_{min}$ 。因此,差分电路的输出峰-峰值是 $2(V_{max} - V_{min})$ 。因而,全差分运算放大器的输出电压摆幅是和它相似的单端输出的运算放大器的两倍。

较大的输出变化范围会导致较高的信号-噪声比率(信噪比)。忽略运算放大器和反馈电阻 R_f 的噪声,可以看到由输入电阻 R_i 引起的电阻热噪声是唯一的噪声源。如图 12.1b 所示的单端输出的电路中,由 R_i 引起的输出噪声强度为

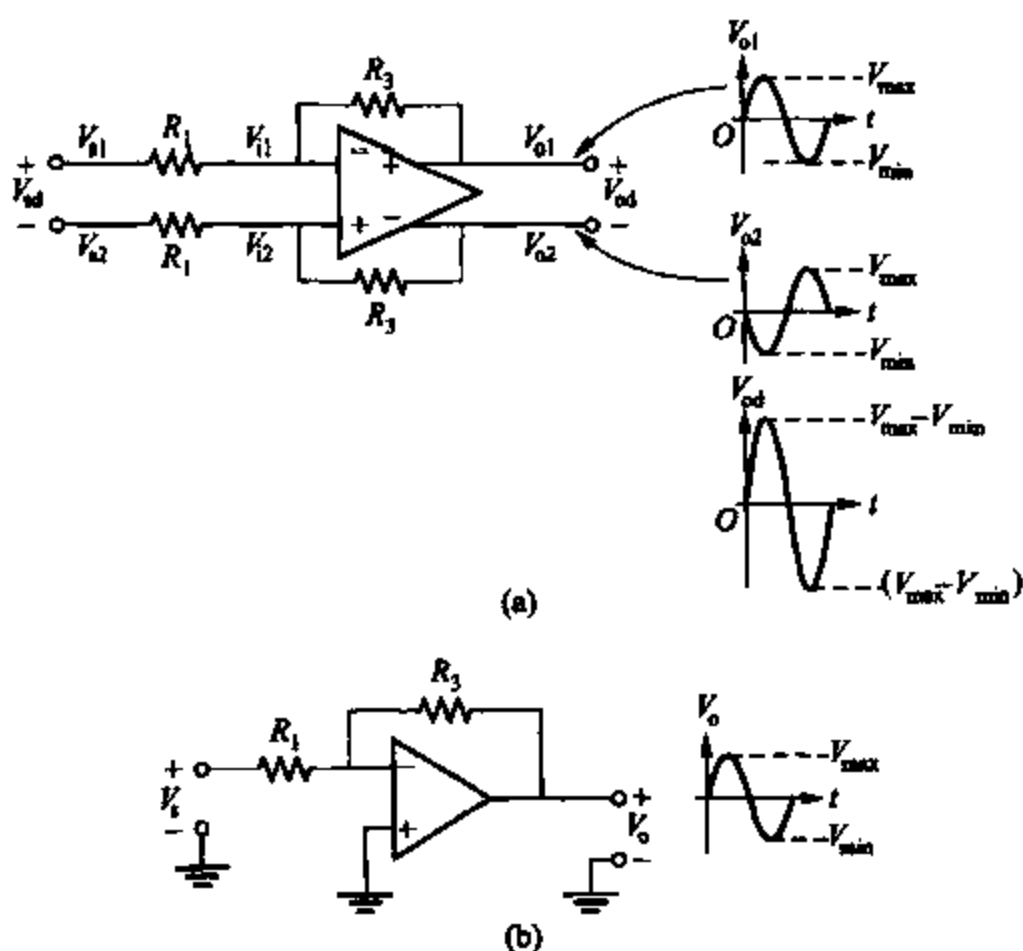


图 12.1 (a)全差分放大器;(b)单输出倒置放大器

$$\overline{v_{oN}^2}(\text{s.e.}) = \left(1 + \frac{R_3}{R_1}\right)^2 4kTR_1(BW_N) \quad (12.1)$$

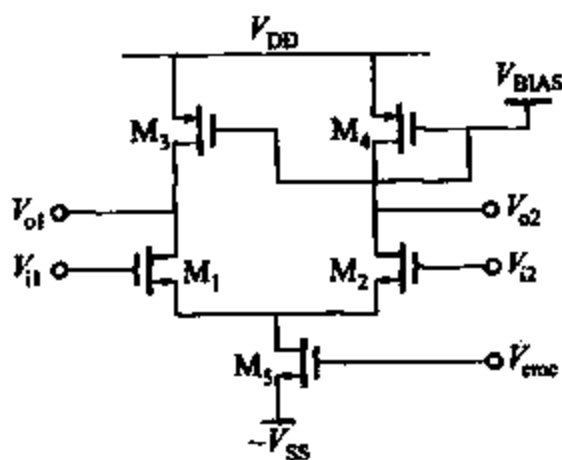


图 12.2 简单的单级全差分运算放大器

其中 BW_N 是闭环放大器的等噪声带宽。在图 12.1 的全差分运算放大器中,由两个 R_1 引起的差分输出噪声强度为

$$\overline{v_{oN}^2}(\text{diff}) = 2 \left(1 + \frac{R_3}{R_1}\right)^2 4kTR_1(BW_N) \quad (12.2)$$

由于由两个 R_1 引起的输出噪声相互间是没有联系的,因而它们增加了总的输出噪声强度。

从式(12.1)和式(12.2)可以看出全差分电路的输出噪声强度是单端输出电路的两倍。既然差分电路的输出信号的峰值是单端输出电路的两倍,其输出信号的最大值就是单端输出电路的4倍。幅度为 $V_{sig(peak)}$ 的最大正弦输出信号的最大输出信噪比(SNR)为

$$SNR_{max} = \frac{\text{输出信号的最大强度}}{\text{输出噪声强度}} = \frac{\frac{V_{sig(peak)}^2}{2}}{\frac{U_{oN}^2}{2}} \quad (12.3)$$

如果两个电路的 R_1 相同而且 R_1 是主噪声源,那么全差分电路的信噪比 SNR 是单端输出电路的两倍或者比其大 3 dB。

全差分运算放大器与单端输出电路相比不易受共模(CM)噪声的影响,比如与模拟电路一样,在相同的底层上集成的数字电路产生的电源噪声。为了解释减少的共模噪声的敏感度,考虑图 12.3 所示的电路。这个图与图 12.1a 相比,多了两个电容 C_{ip} 。每个电容连在运算放大器的输入和电压源 v_n 之间。这里的 C_{ip} 决定了从衬底到每个运算放大器输入的寄生电容值,而 v_n 决定了和衬底相连的电压源上的噪声。寄生电容对等于运算放大器输入端的信号,将引起共模干扰。如果运算放大器是完全对称的而且共模增益为零,共模噪声不会引起共模输出电压。如果运算放大器的共模增益不是零但是很小,而且电路是完全对称的, v_n 会引起很小的共模输出电压但不会影响差分输出电压。如果电路不是完全对称的,运算放大器输入电容耦合会产生非零的差模(DM)输出电压。例如, C_{ip} 电容的不匹配使得在运算放大器两个输入的耦合噪声是不相等的而且会在运放输入端产生差分噪声信号。

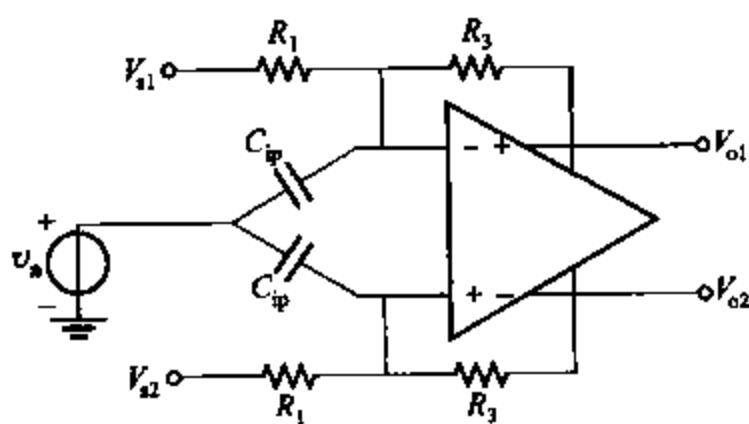


图 12.3 包括了寄生电容 C_{ip} 和噪声源 v_n 的图 12.1a 的倒置放大器

即使没有图 12.3 所示的衬底电容耦合,正电源或者负电源上的噪声也会通过运算放大器上的晶体管耦合到运算放大器的输出端(见 6.2.6 节)。如果电路是平衡的,在运算放大器的每一个输出都会有同样的耦合。因此,对称电路中的电源噪声会改变共模输出而不会影响差模输出。

偶数阶非线性没有出现在对称电路的差分输出中。消除偶数阶非线性可以用图 12.1a 来解释。假设电路是完全对称的但不是完全线性的。首先,考虑当输入为 $V_{i1} = V_x$ 和 $V_{i2} = V_y$, 而且令对应的输出电压为 $V_{o1} = V_x$ 和 $V_{o2} = V_y$ 。在这种情况下,差分输入和输出为

$$V_{id} = V_x - V_y \quad \text{和} \quad V_{od} = V_x - V_y \quad (12.4)$$

接下来,考虑电路的输入相交换,也就是说, $V_{s1} = V_b$ 和 $V_{s2} = V_a$ 。然后输出电压也将被交换 ($V_{o1} = V_y$ 和 $V_{o2} = V_x$), 因为电路是对称的。在这种情况下,

$$V_{od} = V_b - V_a = -(V_a - V_b) \quad \text{和} \quad V_{od} = V_y - V_x = -(V_x - V_y) \quad (12.5)$$

式(12.4)和式(12.5)表明平衡电路的差分输入的极性会使差分输出的极性发生变化。因此,差分输入输出特性 $f()$ 是奇函数;即,如果 $V_{od} = f(V_{id})$, 那么 $-V_{od} = f(-V_{id})$ 。因此,平衡放大器的差分传递特性只存在奇数阶的非线性。因而当差分输入时,差分输出中只会有奇数阶的失真。偶数阶失真可能存在每一个输出 V_{o1} 和 V_{o2} , 但当它们从 V_{od} 中减去时这种输出电压失真是相同的,而且被消除。

在对称的全差分放大器中,小信号差分输出电压是和小信号差分输入电压成比例的,但其独立于如 3.5.4 节中提到的共模输出电压。与此相似,小信号共模输出电压是和小信号共模输入电压成比例的,但与差分输入电压无关。

12.3 对称差分放大器的小信号模型

图 12.4 是一个由对称信号源驱动的对称全差分放大器。图 12.5 所示是一个 T 网络的小信号对称信号源。描述这个模型的方程如下。对 V_{s1} 到地运用 KVL,

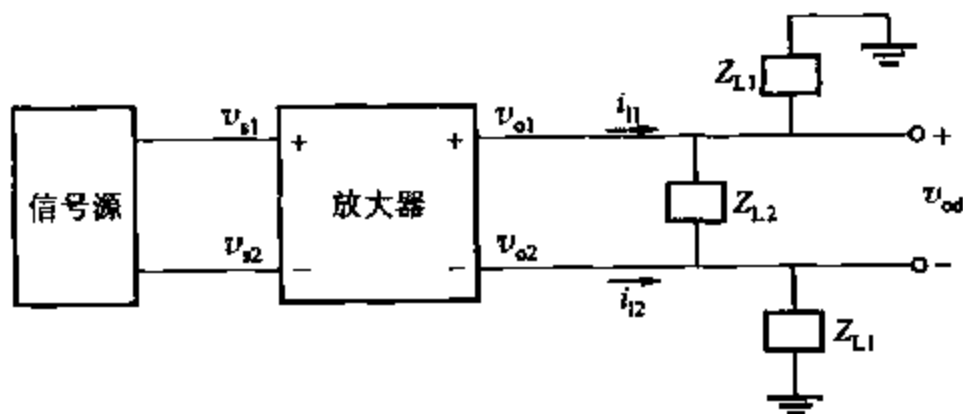


图 12.4 全差分信号源和放大器驱动一个复杂负载的模块图

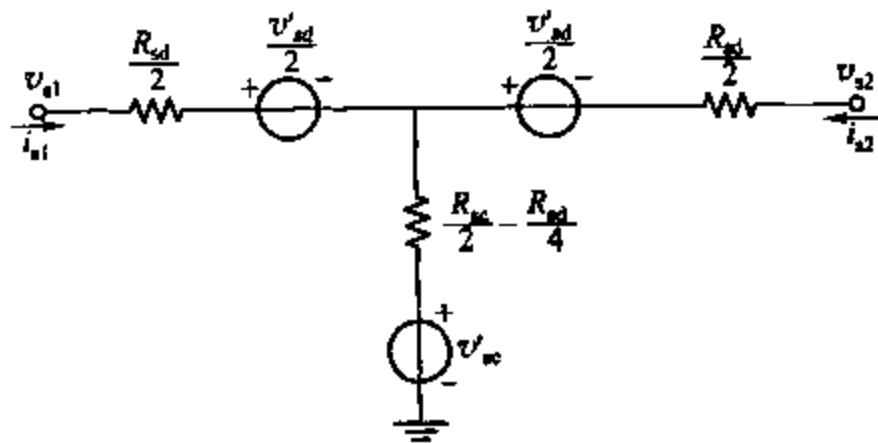


图 12.5 差分信号源的模型

$$v_{s1} = \frac{v'_{sd}}{2} + v'_{sc} + \frac{R_{sd}}{2} i_{s1} + \left(\frac{R_{sc}}{2} - \frac{R_{sd}}{4} \right) (i_{s1} + i_{s2}) \quad (12.6)$$

整理得

$$v_{s1} = \frac{v'_{sd}}{2} + v'_{sc} + \frac{R_{sd}}{2} \frac{i_{s1} - i_{s2}}{2} + R_{sc} \frac{i_{s1} + i_{s2}}{2} \quad (12.7)$$

定义

$$i_{sd} = \frac{i_{s1} - i_{s2}}{2} \quad (12.8)$$

$$i_{sc} = \frac{i_{s1} + i_{s2}}{2} \quad (12.9)$$

那么

$$i_{s1} = i_{sd} + i_{sc} \quad (12.10)$$

$$i_{s2} = -i_{sd} + i_{sc} \quad (12.11)$$

将式(12.8)和式(12.9)代入式(12.7)中得到

$$v_{s1} = \frac{v'_{sd}}{2} + v'_{sc} + \frac{R_{sd}}{2} i_{sd} + R_{sc} i_{sc} \quad (12.12)$$

对 v_{s2} 到地这段电路进行同样的分析得到

$$v_{s2} = -\frac{v'_{sd}}{2} + v'_{sc} - \frac{R_{sd}}{2} i_{sd} + R_{sc} i_{sc} \quad (12.13)$$

通常差模和共模源电压定义为 $v_{sd} = v_{s1} - v_{s2}$ 和 $v_{sc} = (v_{s1} + v_{s2})/2$ 。电压 v'_{sd} 和 v'_{sc} 分别是差模和共模开路源电压。即如果 $i_{sd} = i_{sc} = 0$, 那么 $v_{sd} = v'_{sd}$ 和 $v_{sc} = v'_{sc}$ 。电阻 R_{sd} 和 R_{sc} 分别是与信号源相关的差模和共模电阻。从式(12.12)中减去式(12.13)再整理结果, 可以写成

$$R_{sd} = \left. \frac{v_{sd}}{i_{sd}} \right|_{v'_{sc}=0} \quad (12.14)$$

加上式(12.12)和式(12.13), 发现

$$R_{sc} = \left. \frac{v_{sc}}{i_{sc}} \right|_{v'_{sd}=0} \quad (12.15)$$

这些表达式都很简单, 这主要来自于式(12.8)和式(12.9)中对差模和共模电流的定义以及对差模和共模电压的标准定义。

图 12.4 中放大器的两个等效输入模型如图 12.6 所示。这些模型是对图 3.61、式(3.197)和式(3.198)的扩展, 这是被用来驱动与电阻负载相匹配的差分输入模型。图 12.7 所示是放大器的等效输出模型。图 12.7a 所示模块用了由电压控制的电压源, 其方程为

$$v_{o1} = a_{dm} \frac{v_{id}}{2} + a_{cm} v_{ic} + \frac{R_{od}}{2} i_{od} + R_{oc} i_{oc} \quad (12.16)$$

$$v_{o2} = -a_{dm} \frac{v_{id}}{2} + a_{cm} v_{ic} - \frac{R_{od}}{2} i_{od} + R_{oc} i_{oc} \quad (12.17)$$

其中

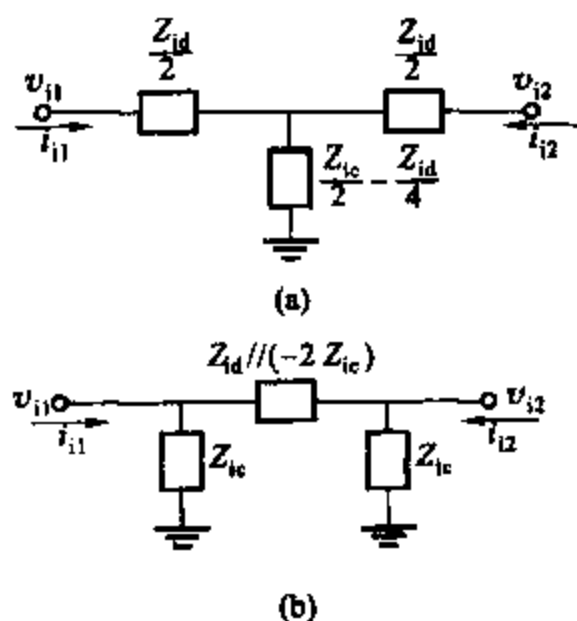


图 12.6 全差分放大器的输入阻抗模型

(a) T 网络模型; (b) π 网络模型

$$a_{dm} = \left. \frac{v_{od}}{v_{id}} \right|_{i_{oc}=0} \quad a_{cm} = \left. \frac{v_{oc}}{v_{ic}} \right|_{i_{od}=0} \quad (12.18)$$

$$R_{od} = \left. \frac{v_{od}}{i_{od}} \right|_{v_{id}=0} \quad R_{oc} = \left. \frac{v_{oc}}{i_{oc}} \right|_{v_{ic}=0} \quad (12.19)$$

和 $v_{id} = v_{i1} - v_{i2}$, $v_{ic} = (v_{i1} + v_{i2})/2$, $v_{od} = v_{o1} - v_{o2}$, $v_{oc} = (v_{o1} + v_{o2})/2$, $i_{od} = (i_{o1} - i_{o2})/2$ 和 $i_{oc} = (i_{o1} + i_{o2})/2$ 。图 12.7b 是一个用由电压控制的电流源代替的模型,其对应的方程为

$$i_{o1} = i_{od} + i_{oc} = G_{md} v_{id} + G_{mc} v_{ic} + \frac{v_{od}}{R_{od}} + \frac{v_{oc}}{R_{oc}} \quad (12.20)$$

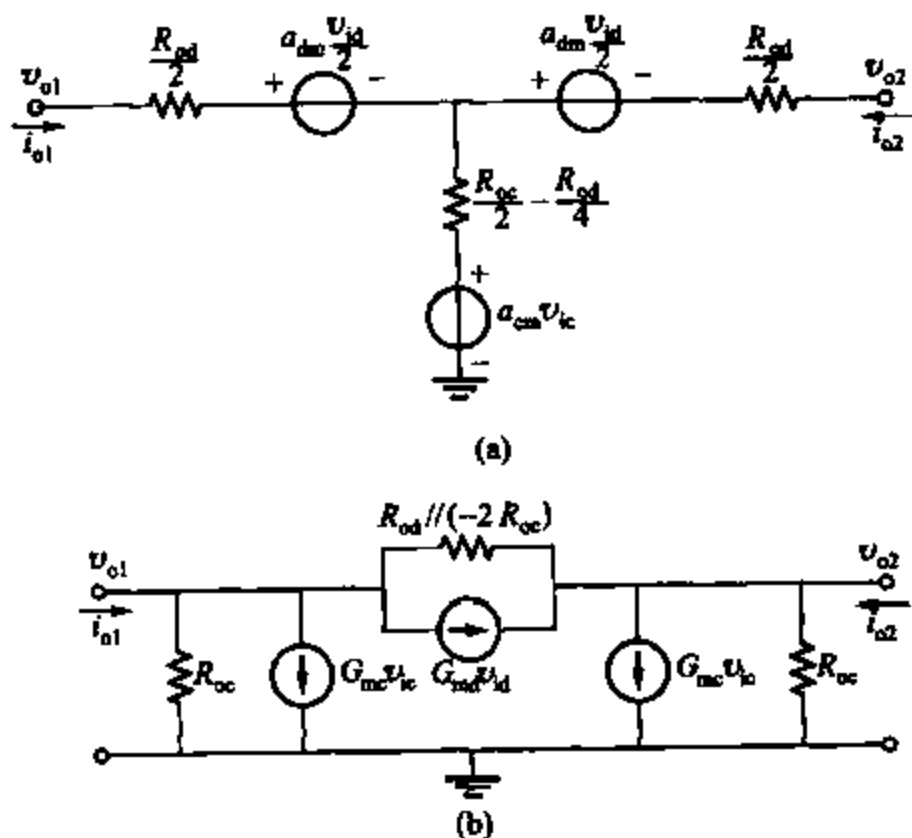


图 12.7 全差分放大器输出部分的模型

(a) 戴维宁网络模型; (b) 诺顿网络模型

$$i_{o2} = -i_{od} + i_{oc} = -G_{md}v_{id} + G_{mc}v_{ic} - \frac{v_{od}}{R_{od}} + \frac{v_{oc}}{R_{oc}} \quad (12.21)$$

其中

$$G_{md} = \left. \frac{i_{od}}{v_{od}} \right|_{v_{oc}=0} \quad (12.22)$$

$$G_{mc} = \left. \frac{i_{oc}}{v_{oc}} \right|_{v_{od}=0} \quad (12.23)$$

图 12.7 模型中参数可以从对应的部分电路中计算出来。

差模和共模输出负载阻抗可也用以下式子算出来。

$$Z_{Ld} = \frac{v_{od}}{i_{ld}} \quad (12.24)$$

$$Z_{Lc} = \frac{v_{oc}}{i_{lc}} \quad (12.25)$$

其中 $i_{ld} = (i_{l1} - i_{l2})/2$, $i_{lc} = (i_{l1} + i_{l2})/2$, i_{l1} 和 i_{l2} 在图 12.4 中已经定义了。全平衡输出负载可以用图 12.6a 或者图 12.6b 中相似的无源网络建模, 其中 Z_{Ld} 和 Z_{Lc} 分别用 Z_{ld} 和 Z_{lc} 代替。

图 12.4 中放大器的半边差模与共模的电路, 信号源和输出负载示于图 12.8 和图 12.9 中。图 12.4 负载网络中差模负载 Z_{Ld} 和共模负载 Z_{Lc} 可以用式(12.24)和式(12.25)来计算, 结果为

$$Z_{Ld} = Z_{L2} // (2Z_{L1}) \quad (12.26)$$

$$Z_{Lc} = Z_{L1} \quad (12.27)$$

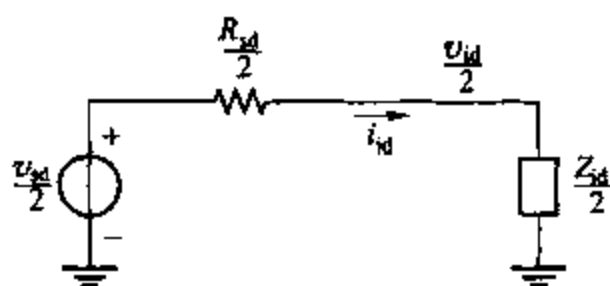
差模和共模负载是不同的, 理由如下。图 12.4 以 Z_{L2} 为中心轴对称。对于纯粹的差模信号, 沿着对称轴的点是交流接地的点(见 3.5.5 节)。因此, 差模负载的半边电路是 Z_{L2} 的一半与 Z_{L1} 并联。然而, 沿着对称轴的点对纯粹的共模信号是开路的(见 3.5.5 节)。因此, Z_{L2} 不影响共模半边电路中的负载。

这些放大器的模型可以被用来做任何平衡全差分放大器, 包括运算放大器。如果模型被简化成与源相关的模型(假设输入阻抗无穷大, 输出阻抗为零), 描述这个模型的方程简化为

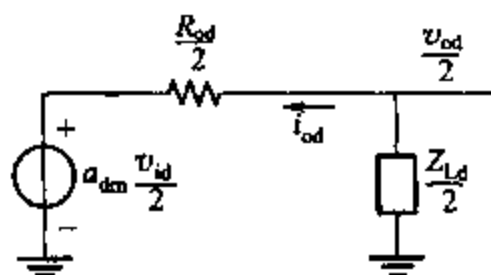
$$v_{od} = v_{o1} - v_{o2} = a_{dm}v_{id} \quad (12.28)$$

$$v_{oc} = \frac{v_{o1} + v_{o2}}{2} = a_{cm}v_{ic} \quad (12.29)$$

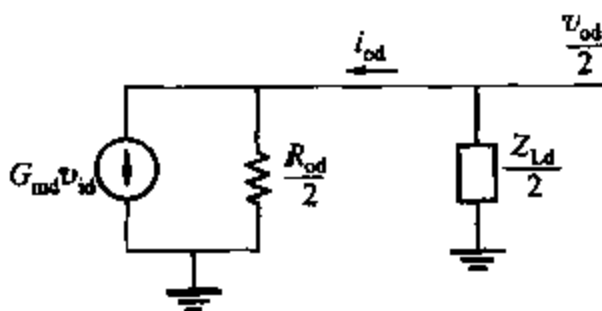
在理想的全差分运算放大器中, $a_{cm} = 0$ 和 $a_{dm} \rightarrow -\infty$ 。如果 $a_{cm} = 0$, v_{ic} 是有限的, 那么 $v_{oc} = 0$ 。如果 $a_{dm} \rightarrow -\infty$, v_{od} 有限, 那么 $v_{id} \rightarrow 0$ 。如图 12.12 所示的平衡全差分运算放大器的简单小信号模型是基于式(12.28)和式(12.29)。由于其简单, 这个模型在接下来的章节中在关键的地方将被用来例证。



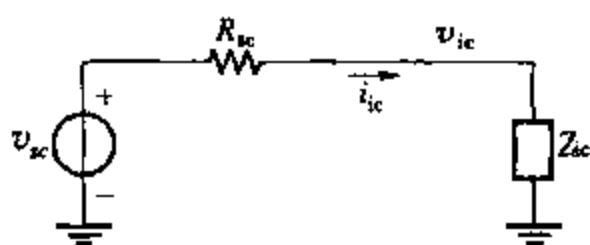
(a)



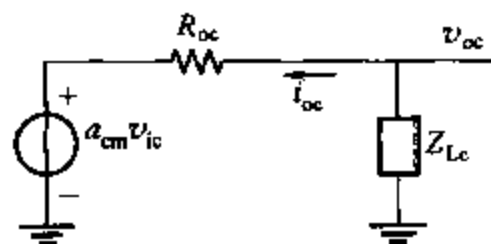
(b)



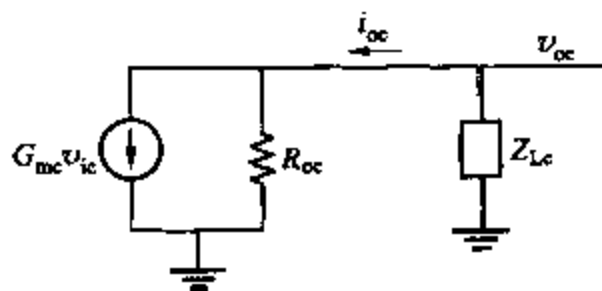
(c)

图 12.8 全差分信号源和放大器的
差模部分电路(a) 输入部分; (b) 用戴维宁等效电路的输出部分;
(c) 诺顿等效电路的输出部分

(a)



(b)



(c)

图 12.9 全差分信号源和放大器的
共模部分电路(a) 输入部分; (b) 用戴维宁等效电路的输出部分;
(c) 用诺顿等效电路的输出部分

12.4 共模反馈

图 12.11a 应用了图 12.10 中的理想运算放大器, 是对图 12.1a 中的全差分反馈放大器的重画。如图 12.11a 所示, 对称轴是图中的虚线。控制源 a_{cm} 画了两次, 在对称轴的每边都画了一次。共模半边电路如图 12.11b 所示。这里所有和对称轴相交的结点都和交流接地

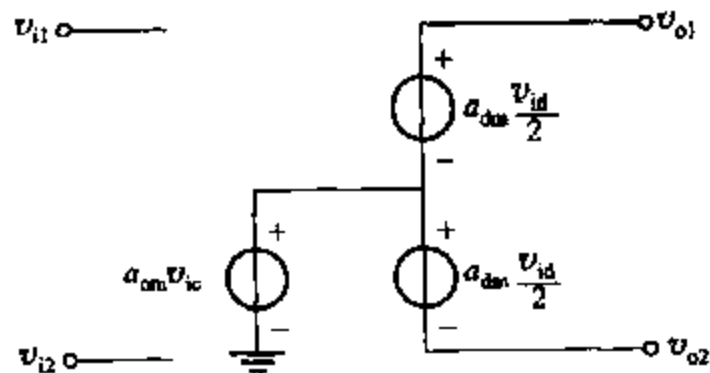


图 12.10 平衡全差分运算放大器的简单小信号模型, 假设输入阻抗无穷大和输出阻抗为零

点相连。用这个半边电路且 $a_{dm} \rightarrow -\infty$, 差模增益为

$$\frac{v_{od}}{v_{sd}} = \frac{v_{od}}{v_{s1} - v_{s2}} = -\frac{R_3}{R_1} \quad (12.30)$$

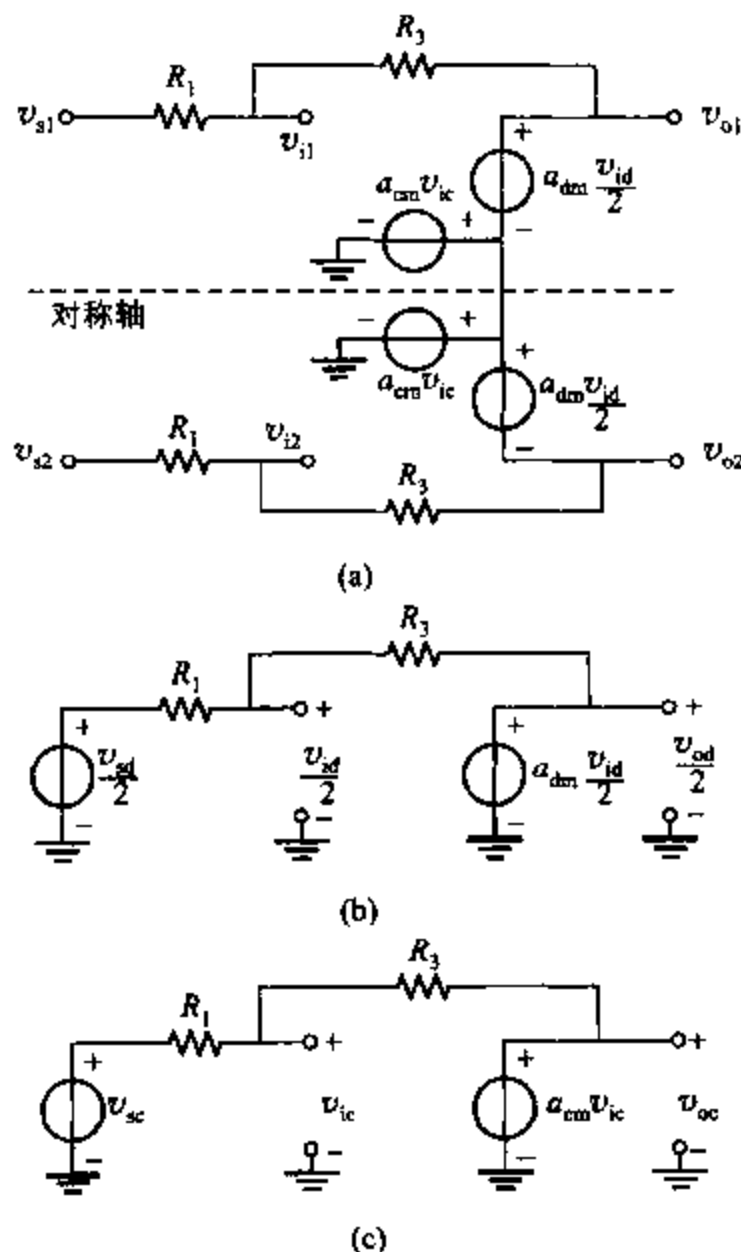


图 12.11 (a) 应用了图 12.10 中运算放大器模型的图 12.1a 的反相反馈放大器;

(b) 差模部分电路; (c) 共模部分电路

这样, 差模输出电压是由差模增益决定, 差模增益是由图 12.11b 中差模反馈环路精确决定的。然而, 共模输出电压是由不同的反馈环路决定的。图 12.1a 中的共模半边电路如图 12.11c 所示。如果 $a_{cm} = 0$, 闭路共模增益 v_{oc}/v_{sc} 为零, 且图 12.11c 中共模反馈环路的环增益(反馈比)为零。因此, 共模输出电压 v_{oc} 是独立于共模运算放大器输入电压 v_{ic} 和共模电压源 v_{sc} 。实际上, 运算放大器的 $|a_{cm}|$ 是非零的, 但是很小, 这里用了一个尾电流源的差分输入对, 因为尾电流源为共模信号提供了局部反馈且使得输入级的共模增益很小。如果 $|a_{cm}|$ 很小, 图 12.11c 中共模反馈环的环增益很小, 且反馈环几乎无法控制共模输出电压。其结果如下节所示, 由高环增益的差分反馈环来控制共模输出电压。

12.4.1 低频的共模反馈

对于图 12.2 的运算放大器, 理想工作点使 $M_1 \sim M_5$ 偏置在放大区, 且将共模输出电压

V_{OC} 的直流值设置在所有晶体管工作在放大区时的运算放大器输出电压摆幅的最大值。然而,如 4.3.5.1 节所描述的, V_{OC} 对不匹配和元件变化是很敏感的,且电路对偏置不稳定的点是不实用的。(4.3.5.1 节在图 4.24a 中描述了这个电路,它是图 12.2 加上两个二极管连接的晶体管和两个用来设置漏极直流的理想电流源。)在图 12.2 中精确地设置 V_{OC} 来达到想要的电压而在实际上是不可能的,因为 I_{D5} 与 $|I_{D3}| + |I_{D4}|$ 是独立的。

为了把 V_{OC} 设置为想要的直流电压 V_{CM} ,它使所有的晶体管工作在放大区且使输出电压范围为最大的电压值,必须调整 V_{BIAS} 或者 V_{CSS} 以至于当 $V_{SD3} = V_{SD4} = V_{DD} - V_{CM}$ 时使 $I_{D5} = |I_{D3}| + |I_{D4}|$,这也使 $V_{OC} = V_{CM}$ 。将重点放在对 V_{CSS} 的调整上。调整 V_{CSS} 使得 $V_{CM} = V_{OC}$,在实际中要求运用反馈。在电路中加上一个负反馈来调整 V_{CSS} 使得 $V_{CM} = V_{OC}$ 。图 12.12 画出了这样反馈环路的模块图,这将被看成是共模反馈环路。这个增加的模块被称作共模检测模块。一个共模检测模块(即共模探测器)计算共模输出电压, $V_{oc} = (V_{o1} + V_{o2})/2$ 。这个电压减去想要的共模输出电压 V_{CM} 。 $V_{oc} - V_{CM}$ 的差被增益为 a_{cms} 的放大器按比例调节。再加上直流电压 V_{CSBIAS} ,结果就是 V_{cms} ,即

$$V_{cms} = a_{cms}(V_{oc} - V_{CM}) + V_{CSBIAS} \quad (12.31)$$

V_{cms} 驱动一个新的运算放大器的输入,也称为 CMC(共模控制)。CMC 的输入被选定,这样改变 V_{cms} 就能改变 V_{oc} 但对 V_{id} 没有影响,如果电路是完全平衡的。(图 12.12 所示的 V_{cms} 和 V_{cmc} 是等效的。当提及运算放大器的共模控制输入时用 V_{cmc} ,而提及共模检测电路的输出时用 V_{cms} 。)对于图 12.12 所示的运算放大器,共模控制输入是 M_5 的栅极。如果共模反馈环路的增益太高,负反馈将迫使 $V_{oc} \approx V_{CM}$ 且 $V_{cms} \approx V_{CSBIAS}$ 。晶体管 M_5 为 M_1 和 M_2 提供尾电流。当 $V_{CM} = V_{oc}$ 时偏置电压 V_{CSBIAS} 被用来提供 V_{cms} 的直流部分使得 $|I_{D3}| + |I_{D4}| = I_{D5}$ 。

从 V_{cms} 到 V_{oc} 的小信号增益的大小一般都远大于单位 1。例如,如图 12.2 所示的运算放大器,其增益很大因为它是共模源 M_5 的增益,其在运算放大器的输出端有很大的负载电阻。(这个增益在下面的例子中可以计算出。)

通常从 V_{cms} 到 V_{oc} 的增益足够大能为共模反馈环路提供所需的所有增益。因此,共模检测放大器的 a_{cms} 能够有低增益和宽带宽。因为共模检测放大器是在共模反馈环路中,放大器的宽的带宽能简化共模反馈环路的频率补偿。如图 12.12 所示如果 $V_{oc} = V_{CM}$,则 $V_{cms} = V_{CSBIAS}$ 。实际上,偏置电压 V_{CSBIAS} 通常在共模检测放大器电路中产生。因此,设计共模检测放大器,使得当它的差分输入电压为零,它的输出电压等于单端输出共模控制的输入名义上的偏置电压。对于图 12.2 所示的运算放大器,偏置电压为 $V_{CSS} - V_{SS}$ 。实际的能产生这种输出偏置电压的共模检测放大器将在 12.5 节中讲述。

图 12.10 所示的简单运算放大器被修改成包括图 12.13a 所示的共模控制输入的电路。控制源 a_{cmc} 模拟了从这个新输入到 v_{oc} 的小信号电压增益。即

$$a_{cmc} = \left. \frac{v_{oc}}{v_{cmc}} \right|_{v_{ic}=0} \quad (12.32)$$

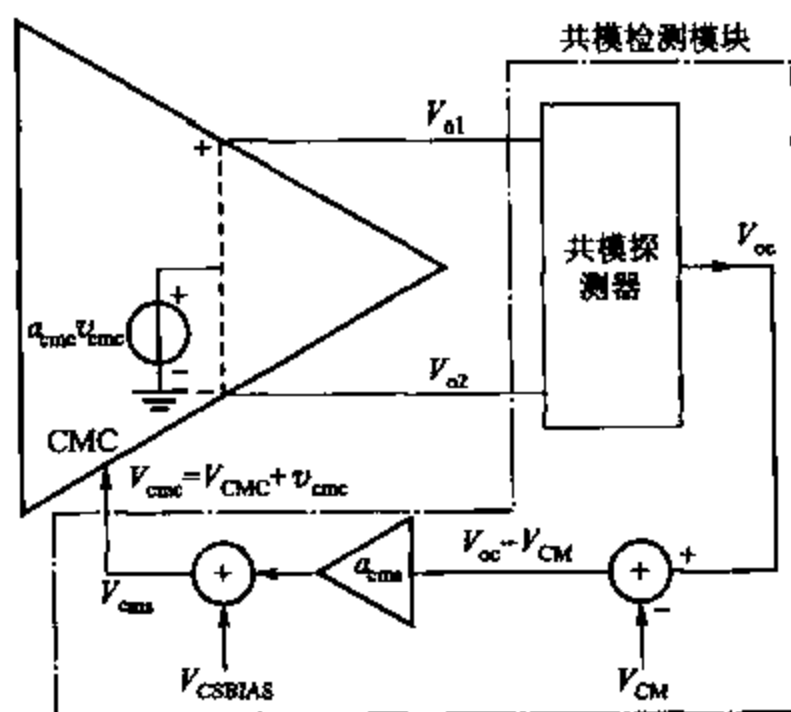


图 12.12 共模反馈环路的理论模块图

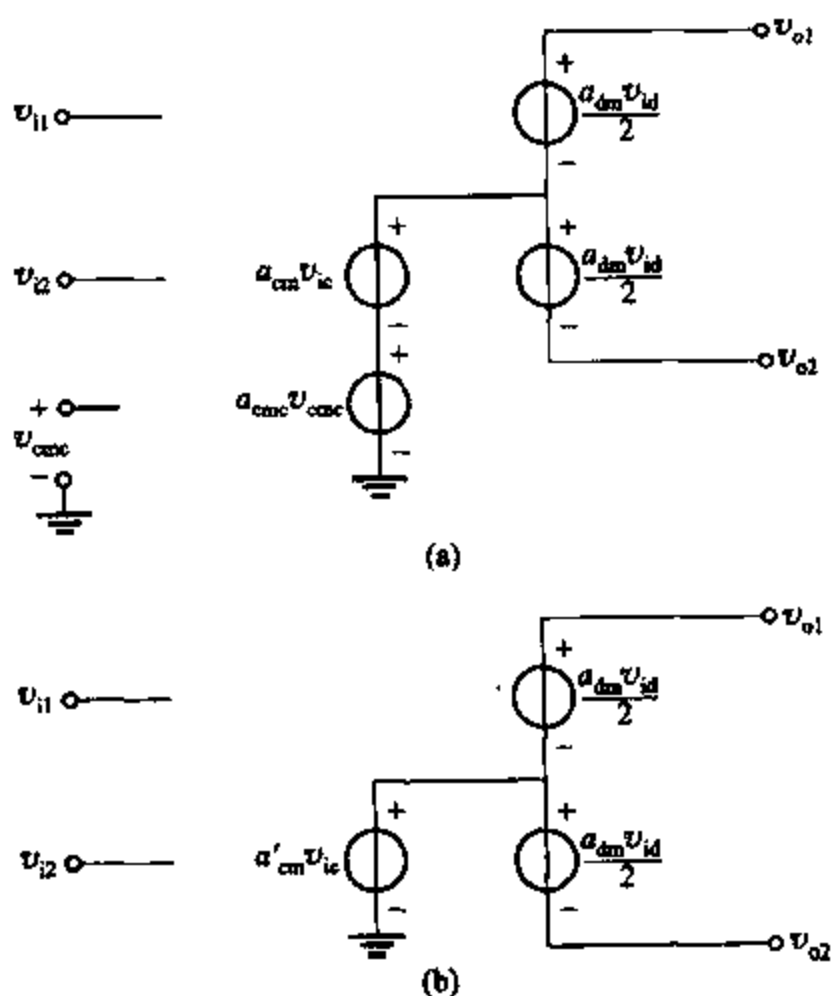


图 12.13 图 12.10 的简单运算放大器

(a) 包括共模控制增益 a_{cmc} ; (b) 用等效控制源 a'_{cm} 代替 a_{cm} 和 a_{cmc} 的控制源

当包括这个增益时,式(12.29)中的共模输出电压方程变为

$$v_{oc} = a_{cm} v_{ic} + a_{cmc} v_{cmc} \quad (12.33)$$

示例

对于图 12.2 所示的运算放大器, 计算图 12.13a 中模型的三个电压增益。选用表 2.3 中 $0.8 \mu\text{mCMOS}$ 模型参数, 且对所有的器件 $|V_{ov}| = |V_{GS} - V_t| = 0.2 \text{ V}$ 且 $L_{eff} = 0.8 \mu\text{m}$ 。设 $I_{DS} = 200 \mu\text{A}$, $|V_{Ap}| = 20 \text{ V}$ 和 $V_{An} = 10 \text{ V}$ 。 (V_A 值和式 (1.163) 中的一样, 且采用表 2.3 中的数据 $L_{eff} = 0.8 \mu\text{m}$ 。) 忽略衬底效应。差模部分电路如图 12.14a 所示。这是一个有源负载共源放大器。低频差模增益为

$$a_{dm} = \frac{v_{od}}{v_{id}} = -g_{m1}(r_{o1} // r_{o3}) \quad (12.34)$$

将式 (1.181), $I_{D1} = |I_{D3}|$ 代入式 (12.34) 得

$$a_{dm} = -\frac{2I_{D1}}{V_{ov1}} \left(\frac{V_{A1}}{I_{D1}} // \frac{|V_{A3}|}{|I_{D3}|} \right) = -\frac{2}{V_{ov1}} \frac{V_{A1}|V_{A3}|}{V_{A1} + |V_{A3}|} = -\frac{2}{0.2} \times \frac{10 \times 20}{10 + 20} = -66.7$$

共模半边电路如图 12.14b 所示。为了组成这个半边电路, 通过把 M_5 变成两个等效的并行元件, 每一个称为 M_{5h} 且有 $(W/L)_{5h} = (W/L)_5/2$ ($W_{5h} = W_5/2$, $L_{5h} = L_5/2$) 和 $I_{D5h} = I_{D5}/2$, 原来的电路转变成为一个对称的电路。这个部分电路有两个输入, v_{ic} 和 v_{cmc} 。首先, 当 $v_{ic} = 0$ 时可得到从 v_{cmc} 到 v_{oc} 的增益。这个电路由共源 M_{5h} , 共栅 M_1 和有源负载 M_3 组

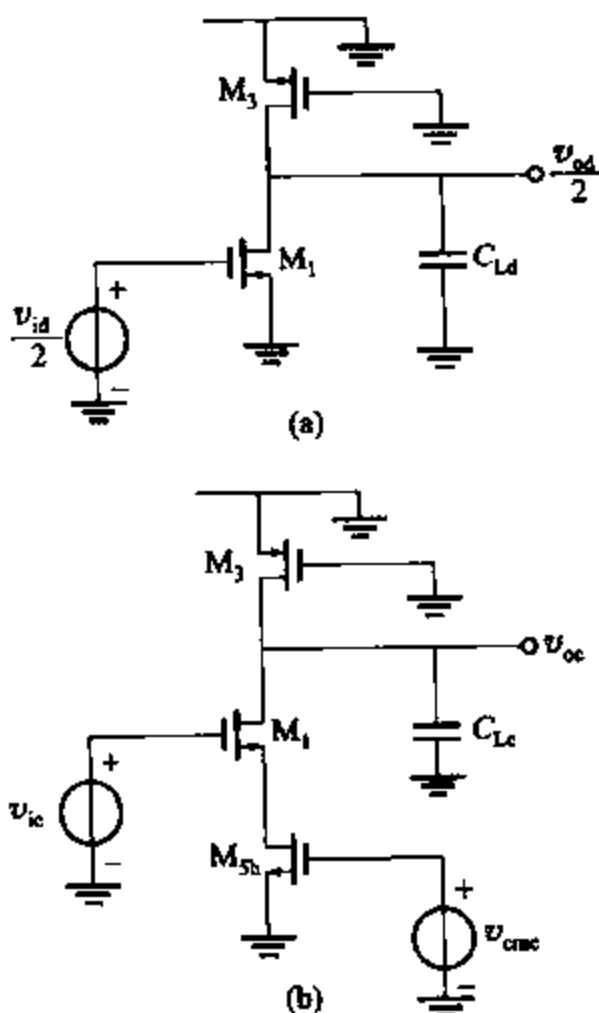


图 12.14 (a) 图 12.2 的差模部分电路, 包括输出负载电容;
(b) 图 12.2 的共模部分电路, 包含输出负载电容

成。其低频增益为

$$a_{\text{cmc}} = \frac{v_{\text{oc}}}{v_{\text{cmc}}} = -g_{\text{m5h}}(R_{\text{o(down)}} // r_{\text{o3}}) \quad (12.35)$$

其中 $R_{\text{o(down)}}$ 为从 M_1 的漏极看进去的电阻,其值由下式决定:

$$R_{\text{o(down)}} = r_{\text{o1}}(1 + g_{\text{m1}}r_{\text{o5h}}) \approx r_{\text{o1}}(g_{\text{m1}}r_{\text{o5h}}) \quad (12.36)$$

在式(12.36)和式(1.181)中用近似值,且在式(12.35)中 $I_{\text{D1}} = |I_{\text{D3}}| = I_{\text{D5h}}$,得到

$$\begin{aligned} a_{\text{cmc}} &= -\frac{2I_{\text{D5h}}}{V_{\text{ov5h}}} \left\{ \left[\frac{V_{\text{A1}}}{I_{\text{D1}}} \left(\frac{2I_{\text{D1}}}{V_{\text{ov1}}} \frac{V_{\text{A5h}}}{I_{\text{D5h}}} \right) \right] // \frac{|V_{\text{A3}}|}{|I_{\text{D3}}|} \right\} = -\frac{2}{V_{\text{ov5h}}} \frac{V_{\text{A1}} \left(\frac{2V_{\text{A5h}}}{V_{\text{ov1}}} \right) |V_{\text{A3}}|}{V_{\text{A1}} \left(\frac{2V_{\text{A5h}}}{V_{\text{ov1}}} \right) + |V_{\text{A3}}|} \\ &= -\frac{2}{0.2} \frac{10 \times \frac{2 \times 10}{0.2} \times 20}{10 \times \frac{2 \times 10}{0.2} + 20} = -196 \end{aligned}$$

最后,计算在 $v_{\text{cmc}} = 0$ 时的从 v_{ic} 到 v_{oc} 的增益。在这个电路里, M_1 是一个有负反馈电阻的共源放大器,这个电阻是 M_{5h} 的输出电阻。增益为

$$a_{\text{cm}} = \frac{v_{\text{oc}}}{v_{\text{ic}}} = -\frac{g_{\text{m1}}}{1 + g_{\text{m1}}r_{\text{o5h}}}(R_{\text{o(down)}} // r_{\text{o3}}) \approx -\frac{1}{r_{\text{o5h}}}(R_{\text{o(down)}} // r_{\text{o3}}) \quad (12.37)$$

如果 $g_{\text{m1}}r_{\text{o5h}} \gg 1$ 则这个近似值是比较精确的。在式(12.36)和式(1.181)使用近似值,且在式(12.37)中有 $I_{\text{D1}} = |I_{\text{D3}}| = I_{\text{D5h}}$,得

$$\begin{aligned} a_{\text{cm}} &= -\frac{I_{\text{D5h}}}{V_{\text{A5h}}} \left\{ \left[\frac{V_{\text{A1}}}{I_{\text{D1}}} \left(\frac{2I_{\text{D1}}}{V_{\text{ov1}}} \frac{V_{\text{A5h}}}{I_{\text{D5h}}} \right) \right] // \frac{|V_{\text{A3}}|}{|I_{\text{D3}}|} \right\} = -\frac{2}{V_{\text{A5h}}} \frac{V_{\text{A1}} \left(\frac{2V_{\text{A5h}}}{V_{\text{ov1}}} \right) |V_{\text{A3}}|}{V_{\text{A1}} \left(\frac{2V_{\text{A5h}}}{V_{\text{ov1}}} \right) + |V_{\text{A3}}|} \\ &= -\frac{1}{10} \frac{10 \times \frac{2 \times 10}{0.2} \times 20}{10 \times \frac{2 \times 10}{0.2} + 20} = -1.96 \end{aligned} \quad (12.38)$$

在这个例子中, $|a_{\text{cmc}}|$ 远大于 $|a_{\text{cm}}|$, 因为式(12.35)中的跨导远大于式(12.37)中的负反馈跨导。

共模反馈环路 CMFB 用负反馈使得 $V_{\text{oc}} \approx V_{\text{CM}}$ 。如果 V_{CM} 通过产生 V_{CM} 电路参数的变化而使得其设计值发生小的变化, V_{oc} 会发生相同的变化以至于 V_{oc} 随 V_{CM} 变化。从图 12.12 所示得到共模反馈环路的闭环小信号增益 $\Delta V_{\text{oc}}/\Delta V_{\text{CM}}$ 为

$$A_{\text{CMFB}} = \frac{\Delta V_{\text{oc}}}{\Delta V_{\text{CM}}} = \frac{v_{\text{oc}}}{v_{\text{cm}}} = \frac{a_{\text{cms}}(-a_{\text{cmc}})}{1 + a_{\text{cms}}(-a_{\text{cmc}})} \quad (12.39)$$

如果 $a_{\text{cms}}(-a_{\text{cmc}}) \gg 1$, 那么 $A_{\text{CMFB}} \approx 1$ 且 $\Delta V_{\text{oc}} \approx \Delta V_{\text{CM}}$ 。

从 v_{ic} 到 v_{oc} 的共模增益受共模反馈环路的影响。这个增益可以用图 12.12 中的共模反馈模块图和图 12.13a 中的运算放大器的模型计算。当共模反馈存在时,这被称之为 a'_{cm} , 运算放大器的共模增益将随着差模输入信号的变小而置零。用式(12.31),小信号的共模检

测电压和小信号共模输出电压相关,为

$$v_{\text{cms}} = a_{\text{cms}} v_{\text{dc}} \quad (12.40)$$

使用这个方程,式(12.33)和 $v_{\text{cms}} = v_{\text{cmc}}$,得到

$$a'_{\text{cm}} = \left. \frac{v_{\text{oc}}}{v_{\text{ic}}} \right|_{\text{with CMFB}} = \frac{a_{\text{cm}}}{1 + a_{\text{cms}}(-a_{\text{cm}})} \quad (12.41)$$

因此,如果 $|a_{\text{cms}}(-a_{\text{cm}})| \gg 1$, $|a'_{\text{cm}}| \ll |a_{\text{cm}}|$ 。

共模反馈的平衡差分放大器的共模增益能用图 12.13a 或者由式(12.41)决定的 a'_{cm} 的模块来确定。这些模型都是等效的,因为共模反馈环路中的控制源 a_{cmc} 的影响包括在 a'_{cm} 中。

示例

在上一个运算放大器例子中,当 a'_{cm} 共模反馈环路是有源的时,计算从 v_{ic} 到 v_{oc} 的共模增益。假设 $a_{\text{cm}} = 1$ 。

用 $a_{\text{cms}} = 1$ 代替上例式(12.41)中的值,则

$$a'_{\text{cm}} = \left. \frac{v_{\text{oc}}}{v_{\text{ic}}} \right|_{\text{with CMFB}} = \frac{-1.96}{1 + 1 \times 196} = -0.01$$

比较这个结果和式(12.38),可以看到共模反馈的共模增益已经比原来的共模增益少两个数量级。

12.4.2 共模反馈环路中的稳定性和补偿

既然共模反馈环路是一个负反馈环路,则稳定性是一个重要的指标。为说明这个问题考虑图 12.2 所示的运算放大器加上负载电容,且用图 12.12 所示的共模反馈设计。共模反馈环路的增益为 $(-a_{\text{cmc}})a_{\text{cms}}$ 。共模反馈环路的主极点 p_{ic} 由负载电容和图 12.14b 所示的共模半边电路中的输出电阻共同决定。忽略所有的非主极点且运用式(12.35),得到

$$a_{\text{cms}}(s) = -\frac{g_{\text{msh}}(R_{\text{p(down)}} // r_{\text{od}})}{1 + s(R_{\text{od(down)}} // r_{\text{od}})C_{\text{Lc}}} \quad (12.42)$$

在高频($\omega \gg |p_{\text{ic}}| = 1/(R_{\text{od(down)}} // r_{\text{od}})C_{\text{Lc}}$),式(12.42)简化为

$$a_{\text{cmc}}(j\omega) \big|_{\omega \gg |p_{\text{ic}}|} \approx -\frac{g_{\text{msh}}}{j\omega C_{\text{Lc}}} \quad (12.43)$$

这个方程从下面这个资料得到,即:在高频时 M_{sh} 的漏极电流流入负载电容。由式(12.43), $|a_{\text{cmc}}| = 1$ 的频率为

$$\omega_{\text{u,cm}} = \frac{g_{\text{msh}}}{C_{\text{Lc}}} \quad (12.44)$$

在共模反馈环路中存在非主极点,这是因为在图 12.14b 中 M_1 源极电容的存在和共模检测电路的 $a_{\text{cmc}}(s)$ 增益中的极点的存在。如果式(12.43)中的增益波动是因为主极点没有为 CMFB 提供足够的相位裕度,则可能减少 CMFB 的单位增益频率来增加相位裕度。由式

(12.44)可知,可通过增加共模负载电容 C_{Lc} 减少 $\omega_{\mu,cm}$ 。然而,增加运算放大器的输出电容将既增加共模负载电容也增加差模负载电容,正如式(12.26)和式(12.27)所示。CMFB 增益可能比差模环路增益需要更小的总增益频率,因为共模反馈环路可能比差模环路有更高的频率极点。例如,共模检测电路的 $a_{cm}(s)$ 的极点和图 12.14b 中 M_1 的源极电容相关的极点都是共模反馈环路的极点。然而,它们不是差模反馈环路的极点,因为在差模部分电路中 M_1 是接地的。这样,式(12.43)中所要求的负载电容为了给共模反馈环路提供足够的相位裕度可能导致比期望的差模负载电容更大,从而使得差模反馈环路过补偿。而这种过补偿将增加差模反馈环路的相位裕度,也将减少差模环路增益的单位增益带宽和差模闭环增益的 3 dB 带宽,当差模反馈电路为了放大宽带宽的差模信号而要求高带宽时,这是不希望得到的情况。

为了解决这个问题,式(12.44)表明减少 $g_{msh} = g_{sh}/2$ 将减少共模反馈环路的 a_{cm} 的单位增益频率,且增加共模反馈环路的相位裕度。假设尾偏置电流 I_{DS} 不能改变,这个减少量可以通过减少 $(W/L)_s$ 来达到。然而,减少 $(W/L)_s$ 将增加 V_{ovs} ,这将影响运算放大器的共模输入范围。作为选择,在 g_{msh} 上的减少量可以通过把 M_s 分为两个并行的晶体管来实现,这在图 12.15 中分别标为 M_{s1} 和 M_{s2} 。晶体管 M_{s1} 有栅极偏置电压且有恒漏极电流。 M_{s2} 栅极实际上就相当于 CMC 的输入。为了保持运算放大器的偏置电流和图 12.2 中所示的一致,希望

$$I_{DS1} + I_{DS2} = I_{DS} \quad (12.45)$$

为了保持运算放大器的共模输入范围不变,要求

$$V_{ovs1} = V_{ovs2} = V_{ovs} \quad (12.46)$$

从式(1.181),式(12.45)和式(12.46),得到

$$g_{m52} = \frac{2I_{DS2}}{V_{ovs2}} < g_{m5} = \frac{2I_{DS}}{V_{ovs}} \quad (12.47)$$

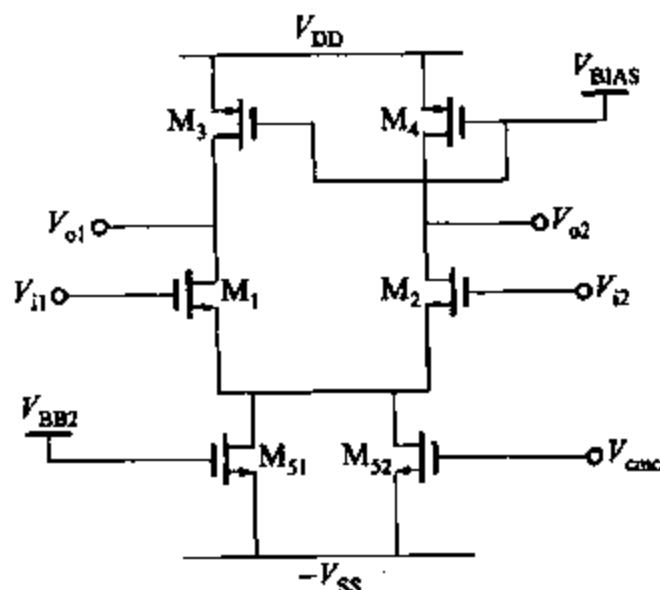


图 12.15 图 12.2 所示的运算放大器,使用具有常数 V_{gs1} 电压的 M_{s1} 来代替 M_s ,并且使 $V_{gs2} = V_{cmf}$

对于图 12.15 中的电路, $g_{m52h} = g_{m52}/2$ 代替了式(12.42), 式(12.43)和式(12.44)中的 $g_{m5h} = g_{m5}/2$ 。这种方法的弊端是减少式(12.42)中的跨导。并减少直流条件下的共模控制增益 $|a_{cmc}|$ 的幅度。

12.5 共模反馈电路

在这一节中,要讲述的是能检测电路输出电压和能产生有 $V_{oc} - V_{CM}$ 功能的信号(电流或者电压)的电路。这些电路是共模反馈环路的一部分且将被用来当作共模检测电路。为了简化,这些电路用图 12.2 中的简单全差分放大器来描述。

12.5.1 运用电阻分配器和放大器的 CMFB

直接检测共模输出电压的方法是用两个等效的电阻,如图 12.16a 所示。^{3,4} 在两个电阻之间的电压为

$$V_{oc} = \frac{V_{o1} + V_{o2}}{2} \quad (12.48)$$

这个电压减去想要的共模输出电压 V_{CM} , 再经过图 12.16b 中所示的差分共模检测放大器放大。这个差分共模检测放大器是由共源对 $M_{21} - M_{22}$, 二极管连接的负载 M_{23} 和 M_{24} 及尾电流源 M_{25} 组成。这个放大器的输出将驱动运算放大器的共模控制输入, 其值为

$$V_{cms} = a_{cms} (V_{oc} - V_{CM}) + V_{CSBIAS} \quad (12.49)$$

如果 $V_{oc} = V_{CM}$, 则 $V_{cms} = V_{CSBIAS}$ 。因此, 对于图 12.16b 中的电路, 当 $I_{D23} = I_{D25}/2$ 则 $V_{CSBIAS} = V_{GS23} - V_{SS}$ 。选定 V_{GS23} 的值(或者, 等效值, I_{D23} 和 $(W/L)_{23}$) 以便当 $V_{oc} = V_{CM}$ 时 I_{D5} 等于图 12.2 中 $|I_{D3}| + |I_{D4}|$ 的设计值。在式(12.49)中, a_{cms} 是共模检测放大器的小信号电压增益, 即

$$a_{cms} = \left. \frac{v_{cms}}{v_{oc}} \right|_{\text{共模反馈环路开路}} = \frac{1}{2} \frac{g_{m21}}{g_{m23}} \quad (12.50)$$

这里, 假设共模检测放大器的共模增益在幅度上远小于它的差模增益。式(12.50)中的

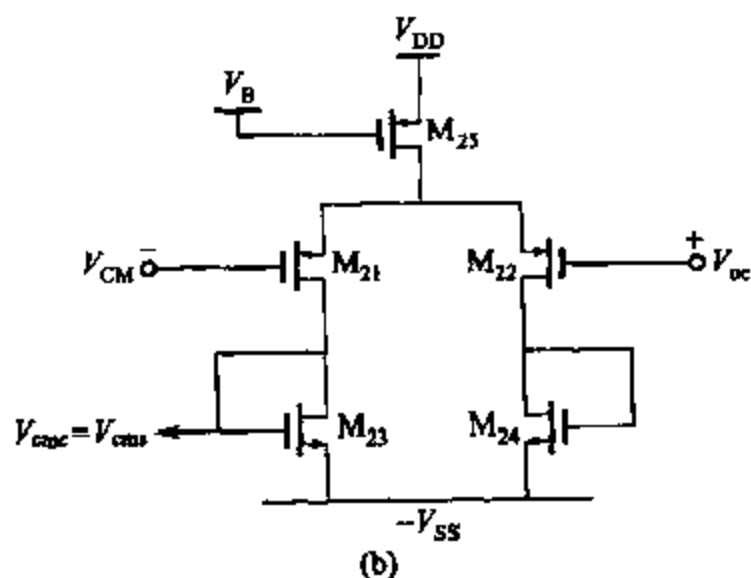
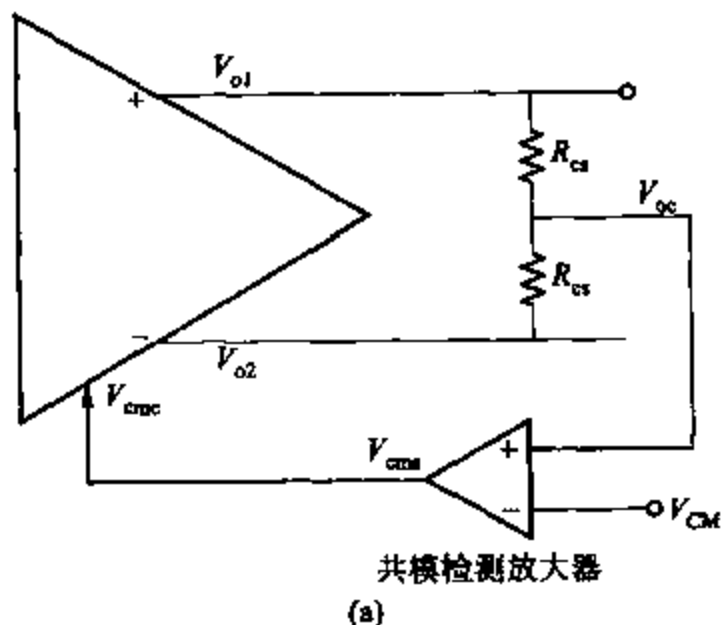


图 12.16 (a)使用分压电阻来检测 V_{oc} 和共模放大器; (b) 共模放大器的电路图, 可以用在图 12.2 所示的运算放大器中

$\frac{1}{2} \frac{g_{m21}}{g_{m23}}$ 因子是因为输出仅从差分放大器的一边得到。

示例

确定 V_{CM} 的值,使图 12.2 中的差分运算放大器的输出范围最大。用图 12.16a 中的共模反馈电路且设计图 12.16b 中的共模检测放大器。假设共模检测电阻 R_{cs} 很大且当计算运算放大器的小信号电压增益时可以忽略不计。运用上一个例子中的关于 $V_{DD} = V_{SS} = 2.5 \text{ V}$ 的数据和假设。并假设 $V_{ic} = 0$ 。忽略衬底效应。

对于图 12.2 中的运算放大器,如果其差模增益的幅度很大且运算放大器在差模负反馈环路中工作(例如,如图 12.1a 所示), $V_{id} \approx 0$ 。因此,由于 $V_{ic} = 0$ 运算放大器的两个输入端都将接地;即 $V_{i1} = V_{ic} + V_{id}/2 \approx 0$ 且 $V_{i2} = V_{ic} - V_{id}/2 \approx 0$ 。输出 V_{o1} 在 M_1 进入三极管区时达到其最低限制值,这在 $V_{gs1} = V_{T1}$ 时发生,因此

$$V_{o1(\min)} = -V_{i1} + V_{i1} \approx -V_{i1} = -0.7 \text{ V}$$

(衬底效应将使 V_{i1} 增加而 $V_{o1(\min)}$ 减少。)当 M_3 进入三极管区时产生输出上限,且

$$V_{o1(\max)} = V_{DD} - |V_{ov3}| = 2.5 - 0.2 \text{ V} = 2.3 \text{ V}$$

为了达到最大的输出范围,共模输出直流电压 V_{oc} 应当在范围的上下限之间,为

$$V_{oc} = \frac{V_{o1(\max)} + V_{o1(\min)}}{2} = \frac{2.3 + (-0.7)}{2} \text{ V} = 0.8 \text{ V}$$

因此,选择 $V_{CM} = 0.8 \text{ V}$ 。因而差分输出电压的峰值为

$$V_{od(\text{peak})} = V_{o1(\max)} - V_{o2(\min)} = V_{o1(\max)} - V_{o1(\min)} = 2.3 - (-0.7) = 3.0 \text{ V}$$

为了设计图 12.16b 所示的共模检测放大器,必须选择一个低频增益值。在共模反馈环路中,环路增益为 $(-a_{cmc})a_{cms}$ 。由前述的例子可知, $a_{cmc} = -196$ 。如果设计 $a_{cms} = 1$,共模反馈环路增益为 196,且式(12.39)给出了 $A_{CMFB} = 0.995$ 。因此, V_{oc} 将随着 V_{CM} 的变化而变化。选定图 12.16b 中共模检测放大器的增益,由式(12.50)得

$$a_{cms} = \frac{1}{2} \frac{g_{m21}}{g_{m23}} = \frac{1}{2} \frac{\sqrt{2k'_p(W/L)_{21}|I_{21}|}}{\sqrt{2k'_n(W/L)_{23}I_{123}}} = \frac{1}{2} \frac{\sqrt{k'_p(W/L)_{21}}}{\sqrt{k'_n(W/L)_{23}}} = 1 \quad (12.51)$$

在 $V_{oc} = V_{CM}$ 时共模检测放大器的直流输出电压应当等于在共模控制运算放大器输入中需要的直流电压,即

$$-V_{SS} + V_{GSS} = -V_{SS} + V_{G5} + V_{ov5}$$

如果 M_5 和 M_{23} 有相等的过驱动电压,则这个直流电压是由共模检测放大器产生的。假设 $r_o \rightarrow \infty$,匹配 V_{ov5} 和 V_{ov23} 要求 M_5 和 M_{23} 有相等的漏极电流与 W/L 的比值

$$\frac{I_{D5}}{(W/L)_5} = \frac{I_{D23}}{(W/L)_{23}} \quad (12.52)$$

在式(12.51)和式(12.52)中有三个未知量: I_{D23} , $(W/L)_{23}$ 和 $(W/L)_{21}$ 。因此,这就存在很多种可能。(注意 $(W/L)_5$ 可以由 $V_{ov5} = 0.2 \text{ V}$ (假设的)和 $I_{D5} = 200 \mu\text{A}$ 决定。)

一种简单的解决办法是 $I_{D5} = I_{D23}$ 且 $(W/L)_{23} = (W/L)_5$ 。那么 $(W/L)_{21}$ 可以由式 (12.51) 决定。而这种方法简单,它要求在共模检测放大器中的直流电流和运算放大器的一样大。式 (12.51) 和式 (12.52) 可以在 $I_{D23} < I_{D5}$ 解出来,这将减少共模检测放大器的消散功率。然而,当 I_{D23} 减少时, $M_5 - M_{23}$ 的镜像电流源的极点幅度将减少。为了例证这一点,将忽略所有的电容,除栅源电容 M_5 和 M_{23} 之外,且假设 L_{23} 固定。那么镜像电流源的非主极点的大小为

$$|p_{nd}| = \frac{g_{m23}}{C_{gs5} + C_{gs23}} = \frac{\frac{2I_{D23}}{V_{ov23}}}{C_{gs5} + (2/3)C_{ox}W_{23}L_{23}} \quad (12.53)$$

因为二极管连接的 M_{23} 的小信号电阻为 $1/g_{m23}$ (假设 $r_{o23} \gg 1/g_{m23}$)。如果 I_{D23} 以因子 x 放大且如果 M_5 不变化, W_{23} 必须也以因子 x 发生变化来满足式 (12.52)。在这种情况下,式 (12.53) 中的极点值减少因为其分子以因子 x 发生变化,但其分母由于常数项 C_{gs5} 的存在以比 x 更大的因子发生变化。这个极点出现在共模反馈环路增益中。因此,由于 I_{D23} 的减少极点幅值将减少,而共模反馈环路的相位裕度也将减少。

最后,必须验证在 $V_{CM} = 0.8 \text{ V}$ 时,包括共模输入电压的共模检测放大器的共模输入范围。当 M_{25} 进入三极管区且 $|V_{DS25}| = |V_{ov25}|$ 时,共模输入电压的上限发生了变化;因此,可以得到

$$\begin{aligned} V_{IC} &< V_{DD} - |V_{ov25}| - |V_{GS21}| = V_{DD} - |V_{ov25}| - |V_{tp}| - |V_{ov21}| \\ &= (2.5 - 0.2 - 0.7 - 0.2) \text{ V} = 1.4 \text{ V} \end{aligned}$$

当 M_{21} (或者 M_{22}) 进入三极管区 (当 $V_{GS21} = V_{GS22}$) 时,产生共模输入电压的下限,因而

$$\begin{aligned} V_{IC} &> -V_{SS} + V_{GS23} - |V_{GS21}| = -V_{SS} + (V_{in} + V_{ov23}) - |V_{tp}| \\ &= [-2.5 + (0.2 + 0.7) - 0.7] \text{ V} = -2.3 \text{ V} \end{aligned}$$

共模输入电压的值为 0.8 V 正好在这个范围之内。因此,所有的晶体管和假设的一样工作在放大区。

在这种共模反馈方法中,共模检测放大器的输入是理想的常数,这简化了设计。这种共模检测电路的一个缺点是共模检测放大器的电阻 R_o 和输入电容增加了共模检测电路的传输函数中的一个极点,因而也增加了共模反馈环路的极点。电容 C_o 可以和每一个检测电阻并联,通过共模检测电路的左边平面零点来减少高频极点的影响。(参见习题 12.18。)

这种共模检测电路的另一个弊端是检测电阻 R_o 加重了差模部分电路的运算放大器的输出,因为在电阻间的结点是差模接地点。这个负载将减少开环差分电压增益,除非 R_o 远大于差模半边电路的输出电阻。

为了避免阻性负载,电压缓冲器可以添加在运算放大器输出和电阻 R_o 之间。源极跟随器在图 12.17 中用作缓冲器。其中一个潜在的问题是每个源极跟随器将在其输出和输入之间产生直流偏移量 V_{GS} 。为了避免由这些偏移量引起共模工作点的漂移,电压 V_{CM} 能被等效的源极跟随器缓冲,这样,运算放大器的输出电压和 V_{CM} 与偏移量相等。然而,这些偏移量限制了运算放大器的输出摆幅,因为每个与运算放大器输出相连的源极跟随器晶体管

$$I_{\text{cms}} = \frac{I_{26}}{4} - \frac{g_{m21A}}{2} (V_{oc} - V_{CM})$$

$M_3 - M_5$ 被用作电流源。共模反馈环路将调节 I_{cms} 使得

$$|I_{D3}| + |I_{D4}| + 2I_{\text{cms}} = I_{D5}$$

如果 $V_{oc} = V_{CM}$, M_{21A} , M_{21B} 和 M_{22} , 则得到 $2I_{\text{cms}} = I_{26}/2$ 。因此, I_{26} 应当被选定使得当所有的元件工作在放大区时, 有

$$|I_{D3}| + |I_{D4}| + \frac{I_{26}}{2} = I_{D5}$$

这种方法的一个好处是可以避免图 12.2 和图 12.16 中镜像电流源 $M_5 \sim M_{23}$ 有关的极点。然而, M_{21A} 和 M_{21B} 增加了运算放大器输出的电阻和电容负载。如果运算放大器用共射共基组合型的元件, M_{21A} 和 M_{21B} 能连接低阻抗共源共栅组合结点来减少负载的影响。

12.5.2 使用两个差分对的 CMFB

图 12.19 是一个简化了的只用晶体管的共模反馈电路。这里, $M_{21} \sim M_{24}$ 都是匹配的。源耦合对 $M_{21} - M_{22}$ 和 $M_{23} - M_{24}$ 一起检测共模输出电压和产生一个与 V_{oc} 和 V_{CM} 的差成比例的输出。为了说明这点, 首先假设两个源耦合对的差分输入 $V_{o1} - V_{CM}$ 和 $V_{o2} - V_{CM}$ 足够小以便可以进行小信号分析。再假设这些源耦合对的共模增益为零。在这种假设下, M_{22} 和 M_{23} 的漏极电流为

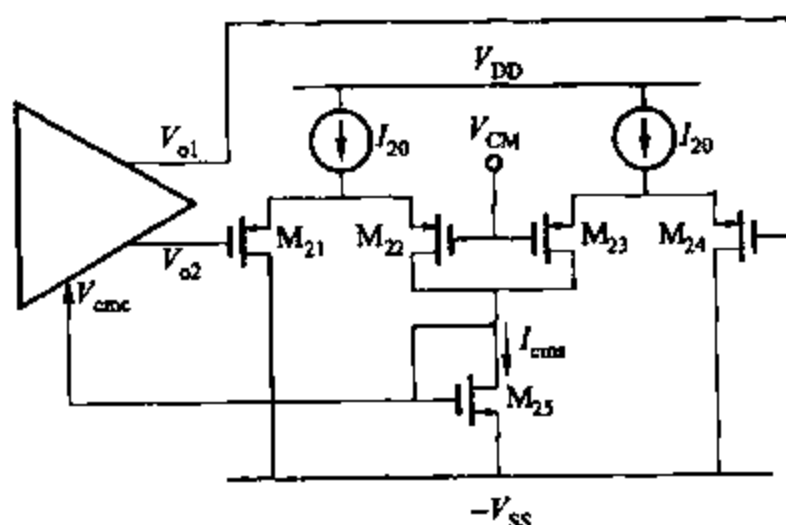


图 12.19 两个差分对的共模反馈方案, 这个电路能被应用在图 12.2 中的运算放大器

$$I_{d22} = -\frac{I_{20}}{2} - g_{m22} \frac{(V_{o2} - V_{CM})}{2} \quad (12.54)$$

$$I_{d23} = -\frac{I_{20}}{2} - g_{m23} \frac{(V_{o1} - V_{CM})}{2} \quad (12.55)$$

因为 $g_{m22} = g_{m23}$, 这些电流在 M_{25} 处聚合成共模传感器输出电流, 有

$$I_{\text{cms}} = I_{d25} = -I_{d22} - I_{d23} = I_{20} + g_{m22} \left(\frac{V_{o1} + V_{o2}}{2} - V_{CM} \right)$$

$$= I_{20} + g_{m22}(V_{\alpha} - V_{CM}) \quad (12.56)$$

上面的表达式表明通过 M_{25} 的电流包括直流 I_{20} 加上一个与 $V_{\alpha} - V_{CM}$ 成比例的项。电流 I_{D25} 被图 12.2 中的 M_5 镜像来产生运算放大器的尾电流,这个电流控制了共模输出电压。

共模检测电路的直流输出应当提供共模控制输入所需的直流电压来使得 $V_{\alpha} = V_{CM}$ 。如果 $V_{\alpha} = V_{CM}$, M_{25} 的漏极电流为

$$I_{D25} = |I_{D22}| + |I_{D23}| = \frac{I_{20}}{2} + \frac{I_{20}}{2} = I_{20} \quad (12.57)$$

选定 $I_{20} = |I_{D3}| + |I_{D4}|$ 和 $(W/L)_{25} = (W/L)_5$ 是设计的一种方案。至于图 12.16b 中的共模检测放大器, I_{20} 的值可以更小,但减少电流会引起与镜像电流源 $M_5 \sim M_{25}$ 相关的极点的幅度减少。(参见与式(12.53)相关的内容)。这个电路图没有增加运算放大器的输出电阻,但增加了与源耦合对 $M_{21} \sim M_{24}$ 相关的输出电容。

上面对共模检测电路的分析是假设 $M_{21} \sim M_{24}$ 总工作在放大区且电压 $V_{o1} - V_{CM}$ 和 $V_{o2} - V_{CM}$ 能看成是小信号输入。即使这些电压变大,共模反馈环路只要 $M_{21} \sim M_{24}$ 仍存在就会继续工作。然而,若晶体管离开了放大区,小信号分析就不正确了。若在输出范围的某一部分,运算放大器输出变得足够大能使 $M_{21} \sim M_{24}$ 中的任何一个截止,则在那段输出部分共模反馈环路将不会正常工作。 $M_{21} \sim M_{24}$ 在整个输出范围内仍存在的要求限制了运算放大器的输出范围。输入电压范围对差分对中的晶体管也存在,它与晶体管的栅极过载电压相联系。(参见式(3.161))因此,为了使 $M_{21} \sim M_{24}$ 保持很大的 V_{o1} 和 V_{o2} , $M_{21} \sim M_{24}$ 要有很大的过载能力。相对而言,用电阻来检测共模输出电压的电路没有这种输出范围限制,因为共模检测放大器是由 V_{α} 驱动的, V_{α} 是一个理想的常数,而不像 V_{o1} 和 V_{o2} 包括共模和差模成分。

式(12.56)显示出这个共模检测电路设计得非常好,因为它产生的输出电流包括了一个常数项加上一个与 $V_{\alpha} - V_{CM}$ 成比例的项。这个结果是以线性的小信号分析为基础的。然而共模检测电路的差分对的输入包括大信号,因为运算放大器的差模输出电压可以很大。下面,对电路的大信号进行分析。 M_{25} 的漏极电流为

$$I_{D25} = -I_{D22} - I_{D23} \quad (12.58)$$

$M_{21} \sim M_{24}$ 对的差分输入为 $V_{o2} - V_{CM}$ 。应用式(3.159)和式(1.161)得到

$$\begin{aligned} -I_{D22} &= \frac{I_{20}}{2} + \frac{k'_p}{4} \left(\frac{W}{L} \right)_{22} (V_{o2} - V_{CM}) \sqrt{4V_{ov22}^2 - (V_{o2} - V_{CM})^2} \\ &\approx \frac{I_{20}}{2} + \frac{k'_p}{4} \left(\frac{W}{L} \right)_{22} \left(-\frac{V_{od}}{2} + V_{\alpha} - V_{CM} \right) \sqrt{4V_{ov22}^2 - (V_{od}/2)^2 + (V_{\alpha} - V_{CM})V_{od}} \\ &= \frac{I_{20}}{4} + \frac{k'_p}{4} \left(\frac{W}{L} \right)_{22} \left(-\frac{V_{od}}{2} + V_{\alpha} - V_{CM} \right) \sqrt{4V_{ov22}^2 - (V_{od}/2)^2} \sqrt{1 + \frac{(V_{\alpha} - V_{CM})V_{od}}{4V_{ov22}^2 - (V_{od}/2)^2}} \\ &\approx \frac{I_{20}}{2} + \frac{k'_p}{4} \left(\frac{W}{L} \right)_{22} \left(-\frac{V_{od}}{2} + V_{\alpha} - V_{CM} \right) \sqrt{4V_{ov22}^2 - (V_{od}/2)^2} \end{aligned}$$

$$\times \left[1 + \frac{1}{2} \left(\frac{(V_{oc} - V_{CM}) V_{od}}{4V_{ov22}^2 - (V_{od}/2)^2} \right) - \frac{1}{8} \left(\frac{(V_{oc} - V_{CM}) V_{od}}{4V_{ov22}^2 - (V_{od}/2)^2} \right)^2 + \dots \right] \quad (12.59)$$

在上面的近似中假设 $|V_{oc} - V_{CM}| \ll |V_{od}|$ 且 $\sqrt{1+x} \approx 1 + x/2 - x^2/8 + \dots$, 其中

$$x = \frac{(V_{oc} - V_{CM}) V_{od}}{4V_{ov22}^2 - (V_{od}/2)^2}$$

用在最后一行。

$M_{23} - M_{24}$ 对的差分输入为 $V_{o1} - V_{CM}$ 。对这个差分对进行同样的分析, 有

$$\begin{aligned} -I_{d23} &\approx \frac{I_{20}}{2} + \frac{k'_p}{4} \left(\frac{W}{L} \right)_{23} \left(\frac{V_{od}}{2} + V_{oc} - V_{CM} \right) \sqrt{4V_{ov23}^2 - (V_{od}/2)^2} \\ &\times \left[1 - \frac{1}{2} \left(\frac{(V_{oc} - V_{CM}) V_{od}}{4V_{ov23}^2 - (V_{od}/2)^2} \right) - \frac{1}{8} \left(\frac{(V_{oc} - V_{CM}) V_{od}}{4V_{ov23}^2 - (V_{od}/2)^2} \right)^2 + \dots \right] \end{aligned} \quad (12.60)$$

将式(12.59)和式(12.60)代入式(12.58)中, $V_{ov22} = V_{ov23}$ 且 $(W/L)_{22} = (W/L)_{23}$ 得到

$$\begin{aligned} I_{cms} = I_{d25} &\approx I_{20} + \frac{k'_p}{2} \left(\frac{W}{L} \right)_{23} (V_{oc} - V_{CM}) \sqrt{4V_{ov23}^2 - (V_{od}/2)^2} \\ &\times \left[1 - \frac{1}{4} \left(\frac{V_{od}^2}{4V_{ov23}^2 - (V_{od}/2)^2} \right) - \frac{1}{8} \left(\frac{(V_{oc} - V_{CM}) V_{od}}{4V_{ov23}^2 - (V_{od}/2)^2} \right)^2 + \dots \right] \end{aligned} \quad (12.61)$$

若 $|V_{od}/2| \ll |2V_{ov23}|$, 这个方程简化为式(12.56)。为了解释式(12.61), 首先考虑 $V_{oc} = V_{CM}$ 的情况。式(12.6)表明共模检测输出电流是一个常数 $I_{cms} = I_{20}$, 鉴于 I_{cms} 是个常量, 式(12.59)和式(12.60)表明若 V_{od} 非零且时变, 而且 I_{d22} 和 I_{d23} 是 V_{od} 的非线性函数, 那么 I_{d22} 和 I_{d23} 不是常量(参见图 3.51)。然而, 由于 V_{od} 非零 I_{d22} 的变化是与 V_{od} 引起的 I_{d23} 的变化相反; 因而, 当这些电流汇集成 I_{cms} 后便抵消了。另外, 考虑当 $V_{oc} \neq V_{CM}$ 时的情况。由于元件的不匹配, 共模反馈环路中的有限增益或者 V_{oc} 的交流成分的存在, V_{oc} 可能不等于 V_{CM} 。当 $V_{oc} \neq V_{CM}$, 式(12.61)表明含有影响 I_{cms} 的项包括 V_{od}^2 。因此, 即使晶体管都是完全匹配的, 这个共模传感器不可能像式(12.49)描述的那样是理想共模传感器。包含 V_{od}^2 的项源于与差分对 $M_{21} - M_{22}$ 和 $M_{23} - M_{24}$ 有关的非线性平方律, 这使得 $V_{o1} - V_{CM}$ 和 $V_{o2} - V_{CM}$ 转化成电流。 I_{cms} 对 V_{od}^2 的独立性会引起直流共模输出电压的漂移。而且, 若 V_{od} 不是常数, 这个独立性会在 V_{oc} 上产生一个交流分量。

12.5.3 使用工作在三极管区的晶体管的 CMFB

另一个共模反馈电路图如图 12.20 所示。⁶ 这里把图 12.2 所示的简单运算放大器重新绘制, 其中, M_5 被 $M_{30} \sim M_{32}$ 代替。晶体管 $M_{30} \sim M_{35}$ 是共模反馈环路的一部分。这里, M_{31} , M_{32} , M_{34} 和 M_{35} 工作在三极管区, 而 M_{30} , M_{33} 和 M_{36} 工作在放大区。期望得到的共模输出电压 V_{CM} 与 M_{34} 和 M_{35} 的栅极连接在一起。为了简单描述这个电路, 假设 $M_{30} \sim M_{35}$ 都是匹配的且忽略衬底效应。在对这个共模反馈方案进行数学上的分析前, 先进行直观上的说明。首先, 假设图 12.20 中的运算放大器的输出只有共模成分; 也就是说, $V_{o1} = V_{o2} = V_{oc}$ 。而 M_{31} 和 M_{32} 的栅极电压等于 V_{oc} 。因为 $|I_{D3}| = |I_{D4}| = I_1$, M_{30} 的漏极电流必须等于两倍 I_1

将式(12.64)和式(12.65)代入式(12.62)且 $(W/L)_{31} = (W/L)_{35}$ 得到

$$\begin{aligned}
 I_{\text{cms}} &\approx I_1 \frac{2k'_n \left(\frac{W}{L}\right)_{35} \left(V_{\text{oc}} + V_{\text{SS}} - V_{\text{in}} - \frac{V_{\text{ds35}}}{2}\right)}{k'_n \left(\frac{W}{L}\right)_{35} \left(V_{\text{CM}} + V_{\text{SS}} - V_{\text{in}} - \frac{V_{\text{ds35}}}{2}\right)} = 2I_1 \frac{V_{\text{oc}} + V_{\text{SS}} - V_{\text{in}} - \frac{V_{\text{ds35}}}{2}}{V_{\text{CM}} + V_{\text{SS}} - V_{\text{in}} - \frac{V_{\text{ds35}}}{2}} \\
 &= 2I_1 \frac{V_{\text{CM}} + V_{\text{SS}} - V_{\text{in}} - \frac{V_{\text{ds35}}}{2}}{V_{\text{CM}} + V_{\text{SS}} - V_{\text{in}} - \frac{V_{\text{ds35}}}{2}} + 2I_1 \frac{V_{\text{oc}} - V_{\text{CM}}}{V_{\text{CM}} + V_{\text{SS}} - V_{\text{in}} - \frac{V_{\text{ds35}}}{2}} \quad (12.66) \\
 &= 2I_1 + 2I_1 \frac{V_{\text{oc}} - V_{\text{CM}}}{V_{\text{CM}} + V_{\text{SS}} - V_{\text{in}} - \frac{V_{\text{ds35}}}{2}}
 \end{aligned}$$

上面的表达式表明运算放大器的尾电流 I_{cms} 为常数项 $2I_1$ 加上与 $V_{\text{oc}} - V_{\text{CM}}$ 有关的项。若 $|I_{\text{D3}}| = |I_{\text{D4}}| = I_1$, 那么 KCL 要求 $I_{\text{cms}} = 2I_1$, 将这个值代入式(12.66)得到 $V_{\text{oc}} \approx V_{\text{CM}}$, 如期望的那样。实际上, 不匹配会使得 V_{oc} 偏离 V_{CM} 。例如, 若 M_3 和 M_4 的漏极电流大于 I_1 , 那么式(12.66)表明 V_{oc} 必须大于 V_{CM} 来迫使 I_{cms} 大于 $2I_1$ 。

可以看到假设 V_{oc} 增加, 这里的共模反馈环路是一个负反馈环路, 那么 M_{31} 和 M_{32} 的栅-源电压增加, 这反过来使得 I_{cms} 增加。因为 M_3 和 M_4 有固定的栅-源电压, 所以增加 I_{cms} 会使得 $V_{\text{sd3}} = V_{\text{sd4}}$ 增加。在 $V_{\text{sd3}} = V_{\text{sd4}}$ 上的增加会使得 V_{oc} 下降且抵消 V_{oc} 上的假定的增加。在稳定状态, 共模反馈环路迫使 $V_{\text{oc}} \approx V_{\text{CM}}$ 。

这个电路的一个限制是输出电压摆幅足够大足以使 M_{31} 或者 M_{32} 中的一个关闭时, 共模反馈环路都将不正常工作。因此, 运算放大器的输出都不允许在 $-V_{\text{SS}}$ 的阈值电压内变动。这样, 运算放大器的输出摆幅被共模反馈电路限制了。另一个限制是这里的共模反馈环路的小信号增益小于前面的方案, 因为三极管区的 M_{31} 或者 M_{32} 的跨导小于它工作在放大区的跨导。(参见习题 12.19。)减少共模反馈环路增益将减少共模反馈环路施加在共模输出电压上的控制。这里的共模反馈环路的带宽也小于前面方案的带宽, 由于 M_{31} 和 M_{32} 的低跨导的原因。共模反馈环路的带宽要求见 12.8 节。

12.5.4 开关电容共模反馈

为了克服前面两个共模反馈方案的运算放大器输出摆幅的限制, 也为了避免运算放大器的输出电阻负载, 电容可以用来检测共模输出电压。若图 12.16 中共模检测电阻 R_{c} 用电容代替, 并移除输出电阻负载, 但这些电容在直流时都是开路的。为了避免直流偏置问题, 开关电容被用作共模检测器。如图 12.21 所示, 开关电容共模反馈电路通常用开关电容放大器和滤波器(参见 6.1.7 节)。这里的网络由开关 $S_1 \sim S_6$ 和电容 $C_1 \sim C_2$ 组成, 来检测共模输出电压并且把它从期望的共模输出电压 V_{CM} 中减去。电压 V_{CSBIAS} 是直流偏置电压。在图 6.8 中, 假设当其控制信号为高平时, 开关闭合, 控制信号为低平时, 开关打开, 由两个不相重叠的时钟 ϕ_1 和 ϕ_2 控制(即 ϕ_1 和 ϕ_2 都不会同时为高平)。在这一节中, 假设这些开

关都是理想的。实际上,开关 $S_1 \sim S_6$ 都是用 MOS 管实现的。和前面的方案一样,使用图 12.2 中的简单运算放大器作为图 12.21 中的运算放大器。

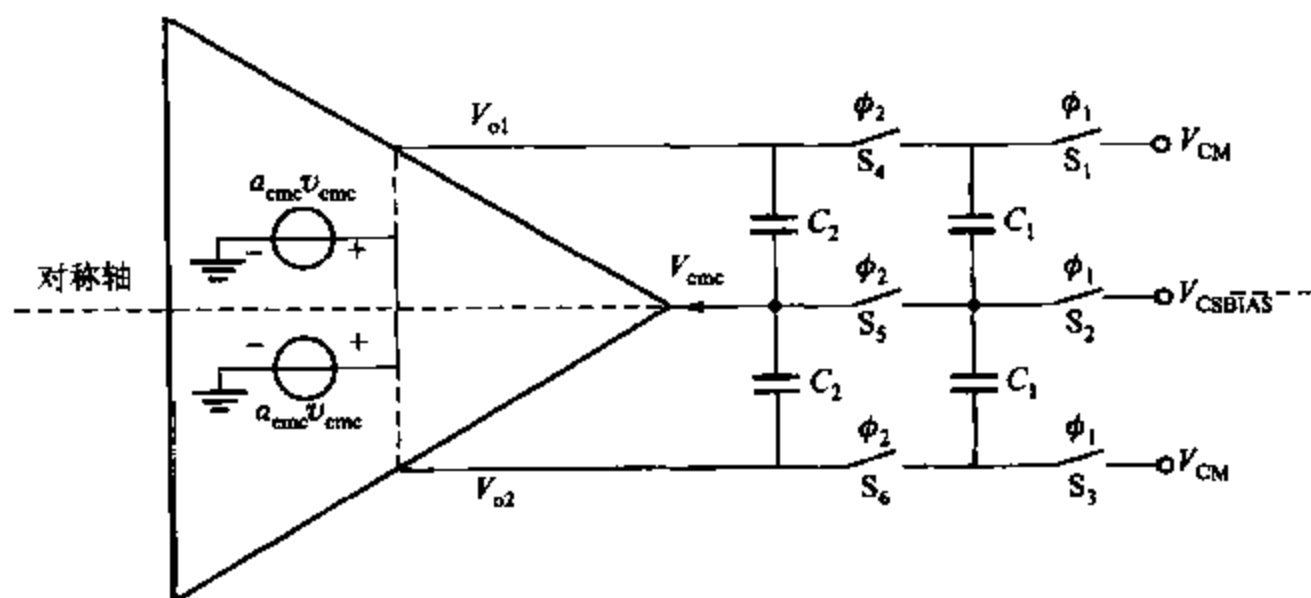


图 12.21 运用开关电容的共模反馈电路

开关共模反馈是线性的、平衡的和离散的电路。因此,对称轴(参见图 12.21 的虚线)上的所有点对差分信号都是接地的。运算放大器共模控制输入是沿着对称轴的,所以 V_{cmc} 有共模成分但没有差模成分。因此,开关电容电路是一个很好的共模传感器。为了说明 V_{cmc} 取决于实际的和期望的共模输出电压的差,考虑图 12.22a 中的共模半边电路。电容 C_2 不是开关而是连接 V_{cmc} 和 V_{oc} 。因为 V_{cmc} 是图 12.2 中 M_5 的栅极电压,这里有一个从 V_{cmc} 到 V_{oc} 的电压增益,它由控制源 a_{cmc} 模拟。把这个半边电路与图 6.10a 比较,可以看到 C_2 越过增益级和电容 C_1 形成开关电容积分器。因为其输出 V_{oc} 是与和 C_1 相连的开关连在一起的,所以这个积分器在负反馈环路中。

当 ϕ_1 为高平时, C_1 充电到 $V_{CM} - V_{CSBIAS}$ 。当 ϕ_2 为高平时, C_1 连接在 V_{oc} 和 V_{cmc} 之间。在稳定阶段, V_{oc} 是一个常量因为应用的电压 V_{CM} 和 V_{CSBIAS} 都是直流电压,且开关电容积分器工作在负反馈环路内。在 V_{oc} 变为常量后,当 ϕ_2 为高平时 C_1 不会给 C_2 充电。如果当 ϕ_1 为高平时, C_1 充电这种条件是满足的,而当 ϕ_2 为高平时也一样。或者为

$$Q(\phi_1) = C_1(V_{CM} - V_{CSBIAS}) = Q(\phi_2) = C_1(V_{oc} - V_{cmc}) \quad (12.67)$$

这个方程化简为

$$V_{CM} - V_{oc} = V_{CSBIAS} - V_{cmc} \quad (12.68)$$

如果 V_{CSBIAS} 等于名义上的共模控制输入所要求的偏置电压,且若 $|a_{cmc}| \gg 1$, 则 $V_{cmc} \approx V_{CSBIAS}$ 。那么式(12.68)化简为

$$V_{oc} \approx V_{CM} \quad (12.69)$$

和期望的一致。对于图 12.2 中的运算放大器,偏置电压 V_{CSBIAS} 通过流经二极管连接的 M_5 到 $-V_{SS}$ 的电流 $|I_{D3}| + |I_{D4}|$ 产生,如图 12.22b 所示。 M_3 和 M_4 的复制品在运算放大器中有同样的源极和栅极连接且复制了如图 12.2 所示的电流 $|I_{D3}|$ 和 $|I_{D4}|$ 。电压 V_{CSBIAS} 是 M_5

为栅极沟道和交叠电容都是 W 成比例,如式(1.187)和式(2.45)所示),所以在低开关电阻和小的充电值转移之间存在一个交替。从式(12.71)可知,增加 C_1 会减少在 V_{α} 上的充电效应,但当 ϕ_2 为高平时,增加 C_1 可以增加运算放大器输出的电容负载。

12.6 全差分运算放大器

这节要讲述的是一些全差分运算放大器。每个运算放大器对应的单端输出部分在前面的章节中已经提到了(第六章介绍的低频工作和第九章介绍的补偿)。接着一级运算放大器之后,首先介绍两级运算放大器。

12.6.1 全差分二级运算放大器

全差分二级运算放大器如图 12.23 所示。与图 6.16 比较其单端输出部分,两个不同点是增加了 $M_9 - M_{10}$,这是共源级 $M_6 - M_7$ 的复制,用来产生第二级的输出,而移除 M_3 上的栅漏连接是为了得到一个对称的输入级。输入级是图 12.2 所示差分级的补充版本。共模控制输入是尾电流源 M_5 的栅极。若 M_5 的栅极电压改变,在 $M_1 - M_4$ 上的漏极电流将改变相同的数量。因此, V_{ds3} 和 V_{ds4} 改变量相同。电压改变量被共源级 $M_6 - M_7$ 和 $M_9 - M_{10}$ 加以放大,使输出电压 V_{o1} 和 V_{o2} 变化相同,这将改变 V_{α} 。因此,共模输出电压能被与 M_5 栅极相连的共模反馈环路控制。

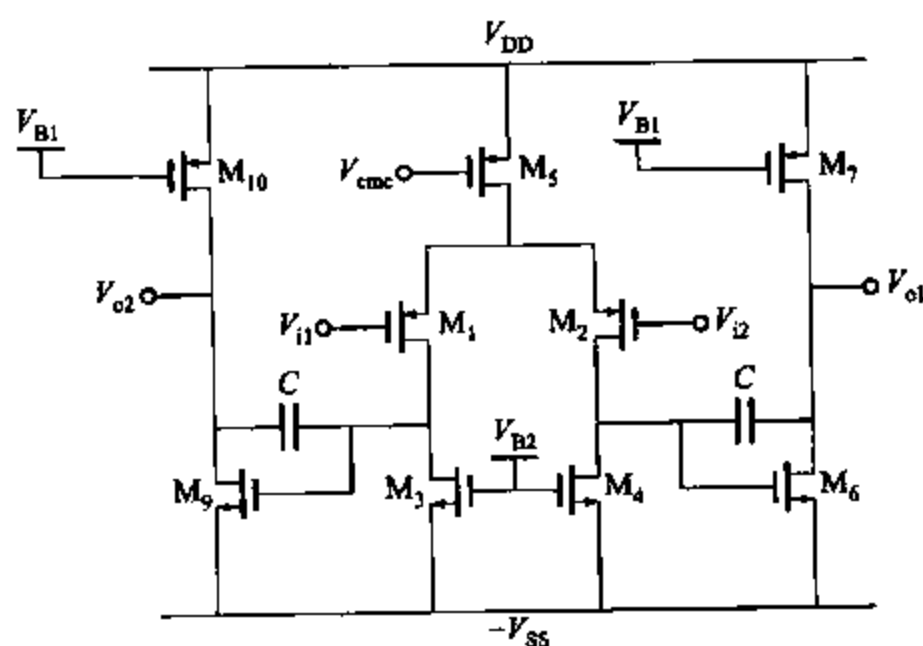


图 12.23 全差分二级 CMOS 运算放大器

在图 12.23 中,两个密勒补偿电容 C 把第二级的对称部分连接起来,这些电容既补偿差模半边电路也补偿共模半边电路,如图 12.24 所示。虽然没有画出来,但第九章讲述的用来消除右边平面零点的方案都可以用在这里,其零点是与利用补偿电容的前馈相关的。

图 12.24a 所示的差模半边电路是两个有源负载共源放大器的级联。低频差模增益为

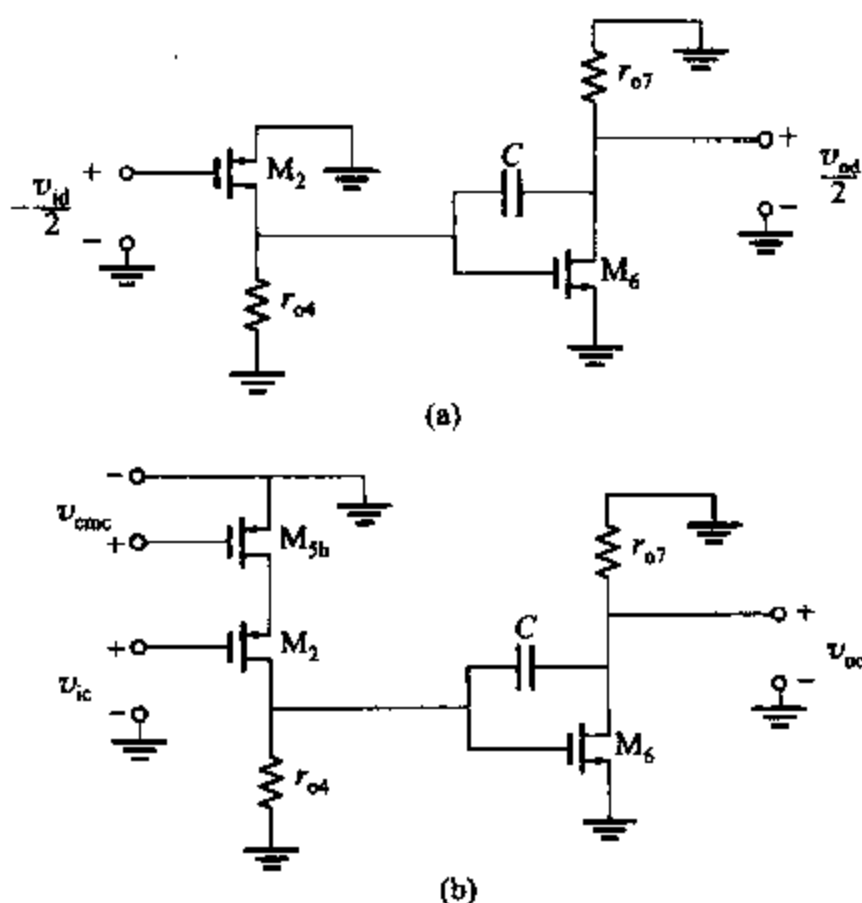


图 12.24 (a) 图 12.23 的差模部分电路; (b) 共模部分电路

$$a_{dm0} = \frac{v_{od}}{v_{id}} = -g_{m2}(r_{o2} // r_{o4})g_{m6}(r_{o6} // r_{o7}) \quad (12.72)$$

密勒补偿型的第二级电路可以用图 9.21 中的电路模型, 其中 $R_1 = r_{o2} // r_{o4}$, $g_m = g_{m6}$, $R_2 = r_{o6} // r_{o7}$, $C_1 = C_{1d}$ 且 $C_2 = C_{2d}$ 。(在图 12.24a 中第二级输入的电容 C_{1d} 和负载电容 C_{2d} 没有明确画出来)。因此, 差模半边电路的极点 p_{1d} 和 p_{2d} 可以由式(9.32)和式(9.33)确定。假设运算放大器工作在反馈环路, 差模反馈环路的反馈因子 f_{dm} 与频率无关, 且右边平面的零点已经被消除了。为了得到 45° 的相位裕度, 差模环路增益应当在频率为 $|p_{2d}|$ 时为单位 1。因为 $|增益| \times 频率$ 从 p_{1d} 到 p_{2d} 是不变的, 由于那里的单极点偏离, 可以得到

$$|a_{dm0} f_{dm} p_{1d}| = 1 \cdot |p_{2d}| \quad (12.73)$$

将式(12.72)、式(9.32)和式(9.33)代入式(12.73)得到

$$\frac{g_{m2}}{C} f_{dm} = \frac{g_{m6}}{C_{2d}} \quad (12.74)$$

假设差模负载电容 C_{2d} 和补偿电容 C 都比内结点电容 C_{1d} 大很多。若其他值已知, 补偿电容由式(12.74)决定。

共模半边电路如图 12.24b 所示。共模和差模部分电路的第一级是不同的, 但第二级是相同的。重点看共模反馈环路, 假设 $v_{ic} = 0$ 。(在后面将假设 v_{ic} 非零。)在共模半边电路中, 第一级由具有共栅极 M_2 的共源极 M_{5h} 和有源负载 M_4 组成。如图 12.14b 所示, M_{5h} 是 M_5 的一半, 即 $(W/L)_{5h} = (W/L)_5/2$ 和 $I_{D5h} = I_{D5}/2$ 。第一级后面是共源 $M_6 - M_7$ 第二级。低频共模控制增益为

$$a_{cm0} = \frac{v_{oc}}{v_{cmc}} \approx g_{m5h} [(r_{o2} g_{m2} r_{o5h}) // r_{o4}] g_{m6} (r_{o6} // r_{o7}) \quad (12.75)$$

与共源共栅 M_1 的源极相连的电容在共模控制增益中引入了一个极点 p_x 。若 $|p_x|$ 远大于来自密勒补偿第二级的式(9.33)中非主导极点 $|p_{2c}|$ 的幅值,极点 p_x 可以忽略,且增益 a_{cmc} 可以近似看作有两个由式(9.32)和(9.33)决定的极点。这些极点和差模增益的极点不同,理由有两点。首先,在差模和共模半边电路上的输出负载电容是不同的,且在第一级半边电路上的输出电阻是不同的。由前馈产生的零点和差模增益相同,它们可以如第九章讲述的一样被消除掉。为了简化接下来的分析,假设共模反馈环路的所有极点和零点除与密勒补偿相关的两个极点以外都可以忽略。为了得到 45° 的相位裕度,共模反馈环路增益应当在 $|p_{2c}|$ 开始下降到单位 1。因此

$$|a_{cm0} a_{cm0} p_{1c}| = 1 \cdot |p_{2c}| \quad (12.76)$$

其中 a_{cm0} 为共模检测电路的低频增益

$$a_{cm0} = \frac{v_{cmc}}{v_{ic}} \bigg|_{\omega=0, \text{共模反馈环路开路}} = \frac{v_{cms}}{v_{oc}} \bigg|_{\omega=0, \text{共模反馈环路开路}} \quad (12.77)$$

把式(12.75)和式(9.32),式(9.33)代入式(12.76)且由 $R_1 \approx r_{o2} g_{m2} r_{o5h}$ 得到

$$\frac{g_{m5h}}{C} |a_{cm0}| \approx \frac{g_{m6}}{C_{2c}} \quad (12.78)$$

假设共模负载电容 C_{2c} 和补偿电容 C 都远大于内结点电容 C_{1c} 。共模反馈环路的补偿电容可以在式(12.78)中得到。

理想情况下,式(12.74)和式(12.78)中的补偿电容值应当是相等的,且共模反馈和差模环路应当每一个都有 45° 的相位裕度。实际上,这些值是很难相等的。若 C 的值比式(12.74)和式(12.78)给出的值大,一个反馈环路将有 45° 的相位裕度,而另一个将有比 45° 更大的相位裕度,因为其过补偿了。过补偿的缺点是环路增益的单位增益频率和闭环带宽比最佳补偿时小得多。若更大的 C 被用来补偿差模反馈环路,用这个补偿电容将使得共模反馈环路过补偿。因为共模反馈理想上只工作在直流信号,减少其带宽可能是可行的。(关于这方面内容见 12.8 节)。若更大的 C 被用来补偿共模反馈环路,这个补偿电容将使得差模环路过补偿。然而,通过过补偿来减少差模反馈环路的带宽通常是不可行的,因为这个环路工作在差模输入信号,这可能有很宽的带宽。

选择用更大的 C 值能最佳补偿共模反馈环路但过补偿差模环路如下所述。若 g_{m5h} 按比例减少来满足式(12.78),式(12.74)中的可以给出差模环路中 45° 相位裕度的 C 值可以被采用。这种方案给出了两种反馈环路的 45° 相位裕度而不用牺牲差模环路的带宽。减少 $(W/L)_5$ 可以使得 $g_{m5h} = g_{m5}/2$,但这种缩放会使运算放大器的共模输出范围减少,因为减少 $(W/L)_5$ 将增加 $|V_{ov5}|$ 。另一种解决的方法是把 M_5 分割成两个并联的晶体管,其中一个栅极与偏置电压相连,另一个与共模控制相连,正如 12.4.2 节和图 12.15 所示。这种方案的一个缺点是减少 g_{m5h} 会使得 $|a_{cm0}|$ 减少,这可以从式(12.75)得到。

忽略由共模检测电路强加的限制,得到图 12.23 所示的每一个运算放大器的输出可以

摆动直到第二级中的晶体管进入三极管区。 V_{o1} 的最大值为 $V_{DD} - |V_{ov7}|$, 而其最小值为 $-V_{SS} + V_{ov6}$ 。因此, 差分输出电压的峰值为

$$\begin{aligned} V_{od(\text{peak})} &= V_{o1(\text{max})} - V_{o2(\text{min})} = V_{o1(\text{max})} - V_{o1(\text{min})} = V_{DD} - |V_{ov7}| - (-V_{SS} + V_{ov6}) \\ &= V_{DD} + V_{SS} - V_{ov6} - |V_{ov7}| \end{aligned} \quad (12.79)$$

当 $|V_{ds5}| = |V_{ov5}|$ 晶体管从放大区到三极管区时, 运算放大器的共模输入范围被尾电流源限制在正值范围内; 因此, 可以得到

$$V_{IC} < V_{DD} - |V_{GS1}| - |V_{ov5}| \quad (12.80)$$

当输入晶体管 M_1 (或者 M_2) 进入三极管区域, 产生共模输入范围的下限, 所以

$$V_{IC} > -V_{SS} + V_{GS6} + V_{d1} \quad (12.81)$$

示例

把 6.3.5 节和 9.4.3 节中的单端二级运算放大器修改为全差分运算放大器。它将用于图 12.25 中的反馈电路, 当时钟为高电平时, 它表现为开关电容电路中的连接 (假设这些开关是理想的)。电容值为 $C_S = 2 \text{ pF}$, $C_F = 5 \text{ pF}$ 和 $C_L = 2 \text{ pF}$ 。设计为 1 V 输出范围峰值和 45° 的相位裕度或者在差模和共模反馈环路中更大。用 $V_{DD} = V_{SS} = 1.65 \text{ V}$, 设计成共模输出电压为零。

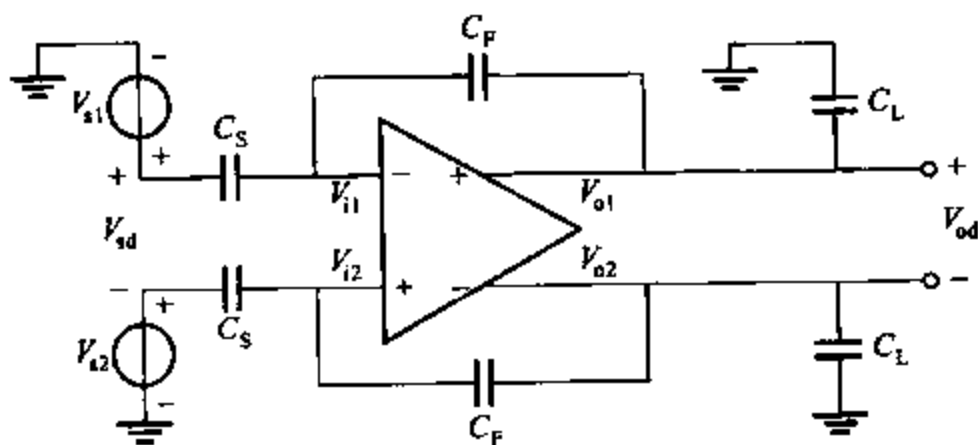


图 12.25 有电容负载和反馈的全差分运算放大器

首先, 设计元件来满足偏置和低频的要求进而补偿放大器。采用 6.3.5 节例子中的元件大小和偏置电流, 在 $L_{\text{drawn}} = 1 \mu\text{m}$, $|I_{D1}| = |I_{D2}| = 100 \mu\text{A}$ 和 $I_{D6} = 400 \mu\text{A}$ 的条件下, 有

$$(W/L)_1 = (W/L)_2 = 77 \quad (W/L)_3 = (W/L)_4 = 4 \quad (W/L)_5 = 25$$

$$(W/L)_6 = (W/L)_9 = 16 \quad (W/L)_7 = (W/L)_{10} = 50$$

在此例中, 这些值得到理论上的直流增益 $a_{\text{dnt0}} = -7500$ 和仿真增益 $a_{\text{dnt0}} = -6200$ 。

对于共模反馈, 用图 12.26 中的两个差分对。因为图 12.23 中的输入级是图 12.2 中运算放大器的补充, 图 12.26 中的共模反馈电路是图 12.19 中电路的补充, 通过 M_5 和 M_{25} 形成镜像电流源控制运算放大器的尾电流 I_{D5} 。共模检测输出 V_{cmx} 也是从 M_{21} 和 M_{24} 的漏极得到的, 这使得增益 a_{cmx} 为负。这里的倒置是必须的, 用来满足共模反馈环路中的负反馈,

因为共模检测增益 a_{cm} 在这个二级运算放大器的低频时是正的。选择 M_{25} 来匹配 M_5 , 所以它们形成单位增益的镜像电流源。因为想得到尾电流 $|I_{DS}| = 200 \mu A$, 即

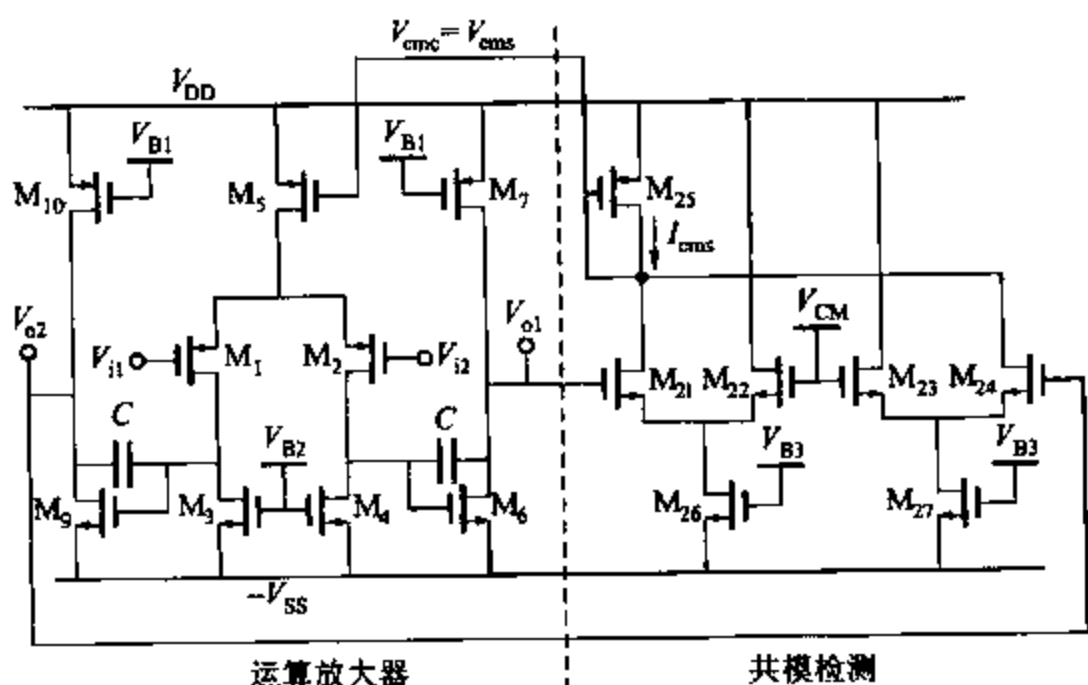


图 12.26 采用图 12.19 中的共模反馈电路的全差分二级 CMOS 运算放大器

$$|I_{DS}| = I_{DS} = I_{DS} = 200 \mu A$$

因此, $M_{21} \sim M_{24}$ 的每个晶体管上有 $100 \mu A$ 的漏极电流。这些晶体管必须在整个运算放大器的输出摆幅范围内仍工作在放大区。对于差分输出电压的峰值为 $1 V$, 每个运算放大器的输出 (V_{o1} 或 V_{o2}) 必须摆动 $\pm 0.5 V$ 。从式(3.161)知道, 只要差分输入电压小于 $\sqrt{2} V_{ov}$, 差分对中的晶体管仍工作在放大区。因此, 对于 $M_{21} \sim M_{24}$ 希望 $\sqrt{2} V_{ov} = 0.5 V$ 或者 $V_{ov} = 0.35 V$ 。从式(1.157), 可以得到

$$\left(\frac{W}{L}\right)_{21} = \left(\frac{W}{L}\right)_{22} = \left(\frac{W}{L}\right)_{23} = \left(\frac{W}{L}\right)_{24} = \frac{2I_{D21}}{k'_n(V_{ov21})^2} = \frac{2 \times 100}{194 \times 0.35^2} = 8.4$$

现在剩下决定元件的参数大小来匹配 M_{26} 和 M_{27} 。每个元件相当于 $200 \mu A$ 的电流源。因为这些晶体管相当于电流源, 它们必须总是工作在放大区。重点看 M_{26} , 希望 $V_{ov26} < V_{ds26(min)}$ 。为了决定 $V_{ds26(min)}$, 考虑当 V_{o1} 波动到其最小值时 M_{21} 恰好关闭的极端情况。在这种情况下, M_{22} 上流过 $200 \mu A$ 电流, 且

$$V_{gs22(max)} = V_{t22} + \sqrt{\frac{2I_{D22(max)}}{k'_n(W/L)_{22}}} = V_{t22} + \sqrt{\frac{2 \times 200}{194 \times 8.4}} = V_{t22} + 0.5 V$$

M_{22} 的栅极电压为 $V_{CM} = 0$ 。因此, M_{22} 的最小源极电压, 也就是 M_{26} 的最小漏极电压为

$$\begin{aligned} V_{sb22(min)} &= V_{ds26(min)} = V_{gs22(min)} - (-V_{SS}) = V_{CM} - V_{gs22(max)} + V_{SS} \\ &= 0 - (0.5 + V_{t22}) + 1.65 = 1.15 - V_{t22} \end{aligned} \quad (12.82)$$

因为 V_{sb22} 非零, M_{22} 的阈值电压由式(1.140)得到

$$V_{t22} = V_{t0} + \gamma[\sqrt{V_{sb22} + 2\phi_f} - \sqrt{2\phi_f}] \quad (12.83)$$

用表 2.4 中的数据, 式(1.141)和式(2.28), 计算 $|\phi_t| = 0.33 \text{ V}$ 和 $\gamma = 0.28 \text{ V}^{1/2}$ (假设 V_{sb22} 很小且用 $N_A + N_s$ 当作式(1.141)中的有效的衬底掺杂)。解式(12.82)和式(12.83)得到 $V_{d2} = 0.67 \text{ V}$, $V_{s22(\min)} = -1.17 \text{ V}$, 和

$$V_{sb22(\min)} = V_{ds26(\min)} = 1.15 - V_{d2} = (1.15 - 0.67) \text{ V} = 0.48 \text{ V}$$

如果选择 $V_{ov26} = 0.38 \text{ V}$ (允许在 V_{CM} 上有 -0.1 V 的漂移), 那么

$$\left(\frac{W}{L}\right)_{26} = \frac{2I_{D26}}{k'_n(V_{ov26})^2} = \frac{2 \times 200}{194 \times (0.38)^2} \approx 14$$

同样, 因为 M_{26} 和 M_{27} 匹配则 $(W/L)_{27} = 14$ 。

在 9.4.3 节的例子中, 3.2 pF 的补偿电容为单位反馈因子和 5 pF 负载提供了 45° 的相位裕度。这个例子的独立电压源 V_{s1} 和 V_{s2} 设置为零的差模部分电路图如图 12.27a 所示。这里, 已经假设 C_L 远大于共模检测元件 $M_{21} \sim M_{24}$ 的输入电容。两个反馈网络连接了负反馈电路中的两个半边电路。反馈因子小于 1 的原因是因为它被由 C_F 和 C_S 形成的电容分压器分开了。同样, 反馈网络影响了输出端的电容负载。如图 12.27a 所示的上面的差模半边电路重新画在图 12.27b 中, 其反馈环路断开。这里, 电容 C_{idh} 是差模半边电路中从 M_1 的栅极看进去的电容, 它和从 M_2 的栅极看进去的电容是一样的。从 M_2 的栅极看进去, 可以知道 C_{gs2} 和交叠电容 C_{gd2} 按式(7.5)中的密勒效应增加, 因此

$$\begin{aligned} C_{idh} &= C_{gs2} + C_{gd2}(1 - a_{dm1}) \approx \frac{2}{3} C_{ox} W_2 L_2 + C_{dl} W_2 (1 - a_{dm1}) \\ &= \frac{2}{3} \times 4.43 \frac{\text{fF}}{\mu\text{m}^2} \times 77 \mu\text{m} \times 0.82 \mu\text{m} + 0.35 \frac{\text{fF}}{\mu\text{m}^2} \times 77 \mu\text{m} \times (1 + 137) = 3.9 \text{ pF} \end{aligned}$$

这里, 用 $L_2 = 1 \mu\text{m} - 2L_d = 0.82 \mu\text{m}$ 和 $a_{dm1} = -g_{m2}(r_{o2} // r_{os}) = -137$ 来计算第一级的低频增益。这些值是从 6.3.5 节的例子中得来的。在差模半边电路中从输出到地面的总的电容负载为

$$C_{2d} = C_L + \frac{C_F(C_S + C_{idh})}{C_F + C_S + C_{idh}} = \left[2 + \frac{5 \times (2 + 3.9)}{5 + 2 + 3.9} \right] \text{ pF} = 4.7 \text{ pF} \quad (12.84)$$

这里, 已经假设 C_L 远大于结点电容和运算放大器的其他寄生电容。差模反馈因子为

$$f_{dm} = \frac{v_o/2}{v_{od}/2} \Big|_{\text{开环}} = \frac{C_F}{C_F + C_S + C_{idh}} = \frac{5}{5 + 2 + 3.9} = 0.459 \quad (12.85)$$

将式(12.84)和式(12.85)及从 9.4.3 节的例子中得到的 $g_{m1} = g_{m2}$ 和 g_{m6} 值代入式(12.74)中, 得到

$$C \approx \frac{g_{m2}}{g_{m6}} C_{2d} f_{dm} = \frac{1.0}{1.55} (4.7 \text{ pF}) (0.459) = 1.39 \text{ pF} \quad (12.86)$$

这个补偿电容给出了差模半边电路中的 45° 相位裕度 (忽略右边平面的零点)。

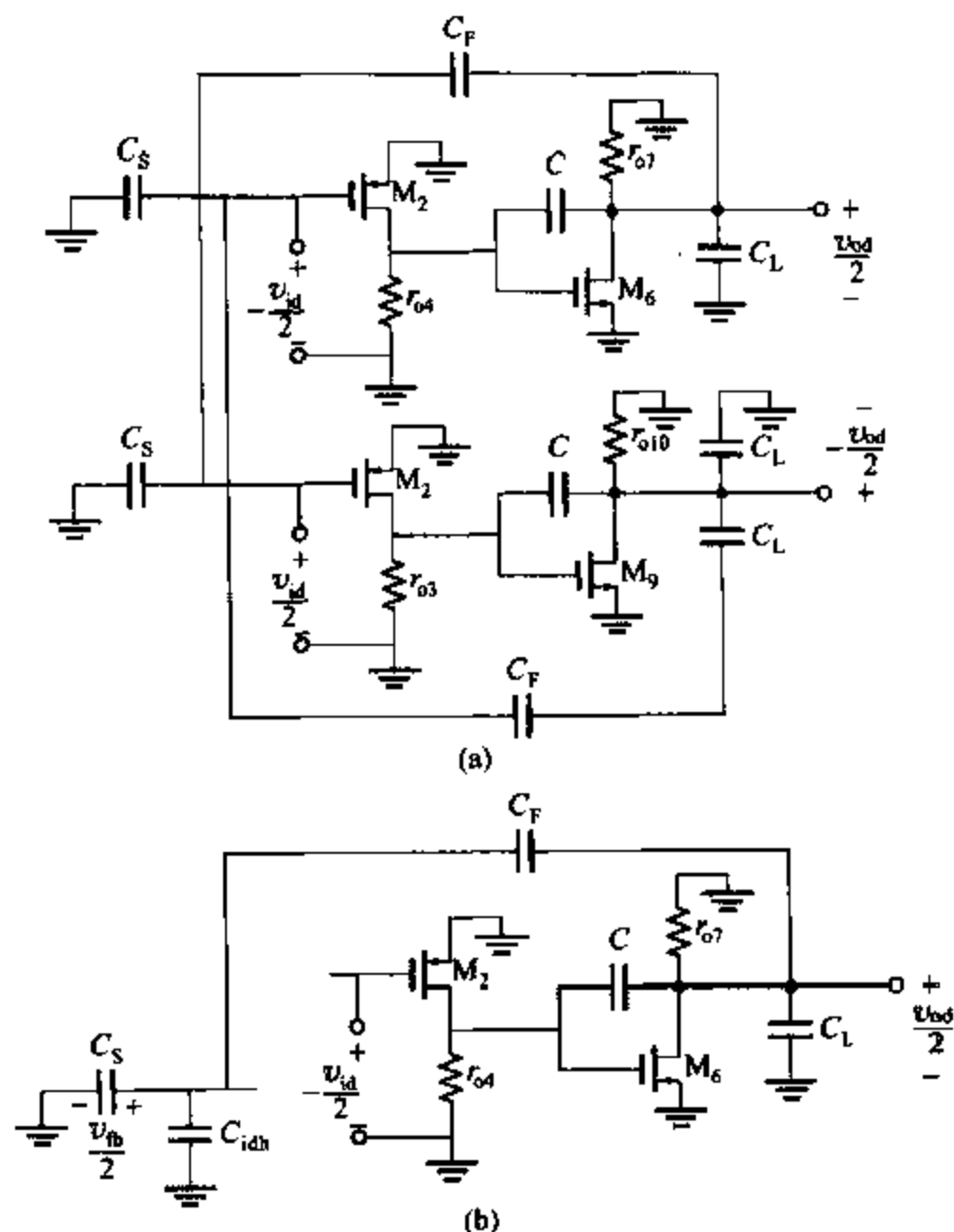


图 12.27 (a) 图 12.25 和 12.26 的差模半边电路; (b) 有断开反馈环路的(a)图上部分的差模半边电路

图 12.28a 所示的共模半边电路的源电压 V_{s1} 和 V_{s2} 设置为零。只有上半部分的共模半边电路详细地画了出来。在两个共模半边电路之间连接着电容反馈网络。图 12.28b 简单画出了上部分的共模半边电路。简化的关键是电容 C_F , 其在图 12.28a 中与较下面的共模半边电路(M_1 的栅极)的输入连在一起, 现在和 M_2 的栅极连在一起。这个变化不会影响共模分析, 因为在两个共模半边电路上的器件和信号是等同的。

在图 12.28b 中的共模半边电路, 这有两个反馈环路。其中一个环路是包括了共模检测模块的共模反馈环路。这个环路称作为环 #1。这个环路是负反馈环路, 因为在环路中有三个反相级: 有源负载共源级 M_{s1} 和 M_6 及反相共模检测电路。环路的低频增益很大, 因为每个共源级提供了足够的电压增益。另一个反馈环路经过运算放大器从 v_{ic} 到 v_{oc} 再返回从 v_{oc} 到输入 v_{ic} , 通过由 C_F 和 C_S 形成的电容分配器, 这个环称为环 #2。这里, 环 #2 是一个正反馈环路, 因为它包含两个反相增益级。这个反馈环路是稳定的, 然而, 因为环 #2 上的环增益, 是前增益 a'_{cm} 与通过电容分配器反馈因子的乘积, 其幅度在所有频率上都比前一个

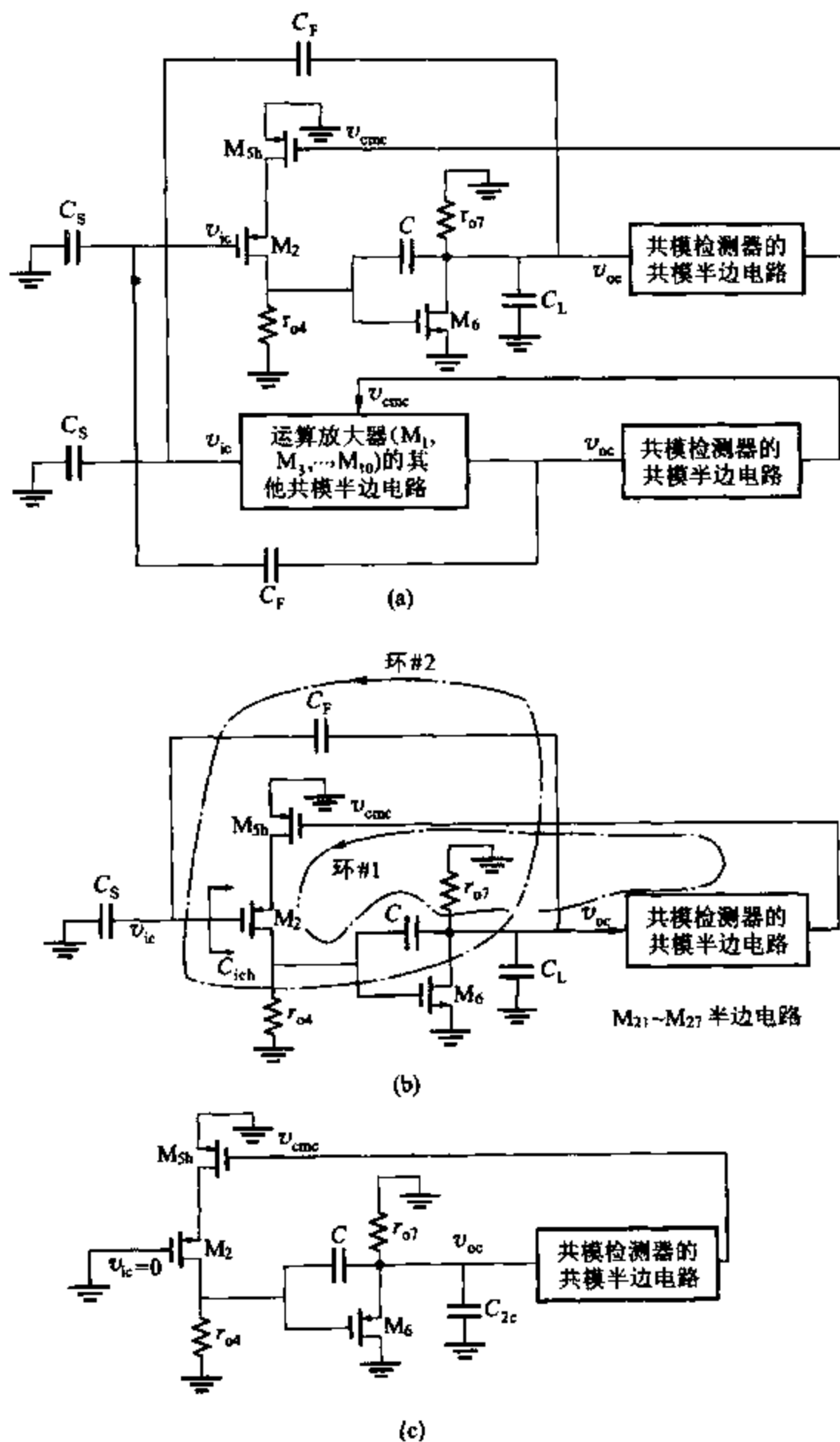


图 12.28 (a) 图 12.25 和 12.26 的共模电路;

(b) (a)图的上部分共模半边电路的简化图;

(c) 图(b)中的共模半边电路,重点在共模反馈环路(环#1)

要小。这个环路的前增益 a'_{cm} 在共模反馈(环#1)工作时为 $a'_{cm} = v_{oc}/v_{ic}$, 由于共模反馈环

路(环#1)的存在它小于单位增益,共模反馈环路使得 $v_{oc} \approx 0$ 。(参见习题 12.27。)为了解释这个低增益,首先考虑有环#1的共模半边电路不工作。在这种情况下,若 v_{oc} 非零, I_{ds} 发生变化,这使得 V_{gs6} 发生变化且产生一个非零的 v_{oc} 。当共模反馈环#1能工作时,这个环路检测任何非零的 v_{oc} 和调节 V_{cmc} 使得 I_{ds} 发生变化,而这将阻碍 I_{ds} 发生变化进而使得 $v_{oc} \approx 0$ 。

这两个环路的环路增益的幅度响应图如图 12.29 所示,这是忽略了除主极点和与图 12.28b 中的密勒补偿增益相关的 p_{1c} 和 p_{2c} 两个非主极点以外的所有零点和极点。这里,环#1假设被补偿,使得它的单位增益频率等于 $|p_{2c}|$,这给出了 45° 的相位裕度。因为环#2是稳定的,只需考虑高增益共模反馈环路(环#1)的稳定性和补偿。

这个共模反馈环路如图 12.28c 所示。这里,集总的负载电容 C_{2c} 包括由于 C_L 而存在的输出负载和电容反馈网络,包括图 12.28b 中从 M_2 栅极看进去的电容 C_{ich} 。这个电容小于 C_{ich} ,因为 M_2 有提供给局部共模反馈的很大的源负反馈电阻。这个反馈增加了从 M_2 的栅极看进去的阻抗(减少电容)。同样,这个反馈减少了从这个栅极到 M_2 的漏极的电压增益,这由于 C_{gd2} 而减少了密勒输入电容。因此,假设 $C_{ich} \ll C_S$,则有

$$C_{2c} = C_L + \frac{C_F(C_S + C_{ich})}{C_F + C_S + C_{ich}} \approx C_L + \frac{C_F C_S}{C_F + C_S} = \left(2 + \frac{5 \times 2}{5 + 2}\right) \text{ pF} = 3.43 \text{ pF}$$

这里,也假设 C_L 远大于共模检测部分电路的输入电容。为了用式(12.78)计算共模反馈环路中给出 45° 相位裕度的补偿电容,必须找到通过共模检测电路的直流小信号增益。在图 12.26 中, i_{cms} 流入二极管连接的 M_{25} , 因此,若 $r_{o25} \gg 1/g_{m25}$ 则有

$$v_{cmc} = -\frac{i_{cms}}{g_{m25}} \quad (12.87)$$

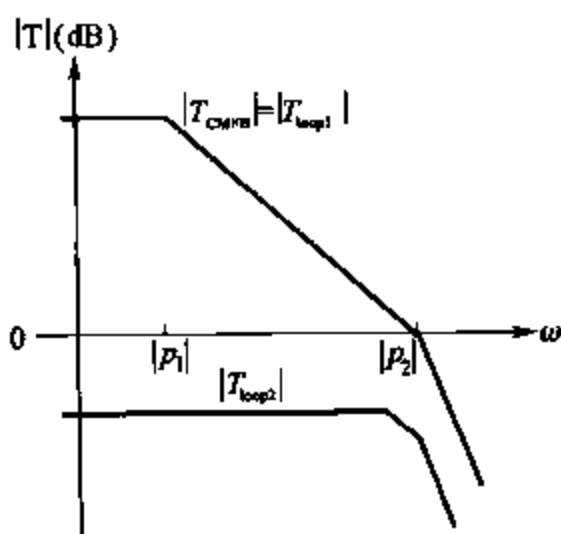


图 12.29 图 12.28b 中的共模半边电路的两个反馈环路的环路增益图

式(12.56)的小信号版本为 $i_{cms} = g_{m22} v_{oc} = g_{m21} v_{oc}$ 。应用这个表达式和式(12.87),增益 a_{cms} 在低频时为

$$\begin{aligned}
 |a_{cm0}| &= \left| \frac{v_{cm0}}{v_{oc}} \right|_{\text{共模反馈环路开路}} = \left| \frac{v_{cm0}}{i_{cm0}} \right| \left| \frac{i_{cm0}}{v_{oc}} \right|_{\text{共模反馈环路开路}} \\
 &= \frac{g_{m21}}{g_{m25}} = \frac{\frac{2I_{D21}}{V_{ov21}}}{\frac{2|I_{D25}|}{|V_{ov25}|}} = \frac{2 \times 100}{\frac{0.35}{0.5}} = 0.71
 \end{aligned} \quad (12.88)$$

在共模反馈环路的 45° 相位裕度时解式(12.78), 且运用式(12.88)和 9.4.3 节中的例子的 g_{m6} 值, 得到

$$\begin{aligned}
 C &= \frac{g_{m5h}}{g_{m6}} |a_{cm0}| C_{2c} = \frac{(g_{m5}/2)}{g_{m6}} |a_{cm0}| C_{2c} \\
 &= \frac{\frac{2 \times 200 \mu\text{A}}{0.5 \text{ V}} \times \frac{1}{2}}{1.55 \text{ mA/V}} \times 0.71 \times 3.43 \text{ pF} = 0.63 \text{ pF}
 \end{aligned} \quad (12.89)$$

从式(12.86)和式(12.89)可知, 需要比共模反馈环路中更大的补偿电容来补偿差模环路。因此, 采用 $C = 1.39 \text{ pF}$ 将得到差模反馈环路的 45° 相位裕度且大于共模反馈环路的 45° , 这是可以接受的。

为了验证这个设计, 在 $C = 1.39 \text{ pF}$ 的电容和阻值为 758Ω 的电阻 R_z 的条件下, 用 SPICE 模拟这个运算放大器, 在 9.4.3 节中这是用来消除右半平面的。SPICE 模型是基于表 2.4 中的数据。对全差分电路用发达的技术来模拟差模和共模反馈环路的相位裕度。¹¹ 差模反馈环路有模拟的 43° 相位裕度和 53 MHz 的单位增益频率。共模反馈环路有 62° 的相位裕度和 24 MHz 的单位增益频率。因此, 共模反馈环路是过补偿的。改变补偿电容为 0.63 pF , 从式(12.89)可知这能给出共模反馈环路的 45° 相位裕度, 发现共模反馈环路的模拟相位裕度变为 41° , 但差模相位裕度降为不可接受的 29° 。这些模拟结果验证了这一节中的公式对补偿电容给出的合理的估计。

在前面的例子中, 运算放大器的输出摆幅被共模反馈电路的线性输入范围限制了。输出摆幅通过用开关电容或者共模检测的电阻分配器可以增加。

图 12.23 中的运算放大器的共模反馈方案的一种选择为把 M_5 的栅极和直流电压连接起来且用 $M_3 - M_4$ 的栅极当作共模控制的输入。在这种情况下, 图 12.28c 中的共模部分电路的第一增益级由共源 M_4 和一个共源共栅有源负载组成。同样, 与 M_2 的源极上的电容相关的极点不是共模反馈环路的单一路径。

12.6.2 全差分伸缩共源共栅运算放大器

全差分共源共栅运算放大器如图 12.30 所示。比较它的单端输出补充部分与图 6.25 中的第一级, 主要的不同点是从晶体管 M_3 和 M_{3A} 上去掉了二极管的连接点。同样, 这里, 共源共栅晶体管 $M_{1A} \sim M_{4A}$ 的栅极都连接到偏置电压。运算放大器的输出都是从 M_{1A} 和 M_{2A} 的漏极接出来的。余下的电路是对称的, 每个输出负载有一个共源共栅电流源。图 12.30 所示布局的优点是差模信号路径只由 n 沟道的晶体管组成。即只有 n 沟道晶体管传

导时变电流。p 沟道晶体管传导恒定电流。这种配置使得运算放大器的速度最大,因为 n 沟道晶体管有比 p 沟道更高的迁移率和 f_T (若沟道长度和过驱动电压相同)。一种共模反馈方案是通过把 $M_3 - M_4$ 的栅极和直流偏置电压相连来设置电流(设置二极管用的晶体管为镜像电流源的输入),且用 M_5 的栅极作为共模控制的输入。在这种情况下,共模控制的低频增益 $|a_{cm0}|$ 能变得很大,因为 $M_1 - M_2$ 和 $M_{1A} - M_{2A}$ 提供 NMOS 两级级联,而 $M_{3A} - M_{4A}$ 提供 PMOS 的一级级联。这种级联增加了输出电阻,但 NMOS 的两级级联引入了 $a_{cm}(s)$ 的高频极点。

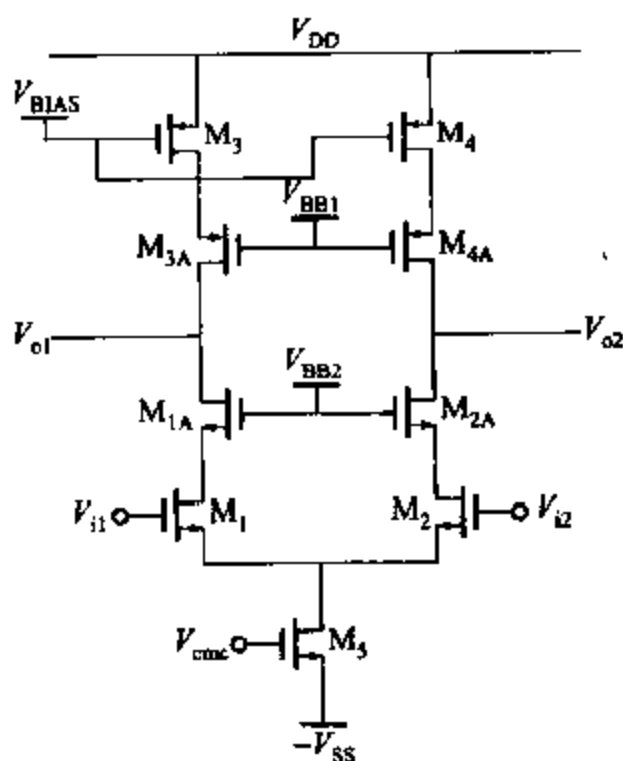


图 12.30 全差分 CMOS 伸缩共射共基运算放大器

共模反馈的另一种方案为,通过把 M_5 的栅极和直流偏置电压连接起来且用 M_3 和 M_4 的栅极作为共模控制的输入。这种方案在共模控制增益路径上有一级级联,这引入了 $a_{cm}(s)$ 的高频极点。然而,这里共模反馈环路的放大元件为 p 沟道的 M_3 和 M_4 ,若它们的沟道长度和过驱动电压一样,这比 n 沟道的 M_5 的迁移率和 f_T 更低。

差模和共模反馈环路在运算放大器的输出端被负载电容补偿。共模反馈环路的相位裕度在没有改变负载电容时是可以改变的,通过把与共模控制输入相连的晶体管分割成并联的晶体管,如 12.4.2 节所述和图 12.15 所示。

12.6.3 全差分折叠式共源共栅运算放大器

全差分折叠式的共源共栅运算放大器如图 12.31 所示。比较图 6.28 所示的单端输出的对应部分,主要的不同点是 M_3 和 M_{3A} 上的二极管连接点已经去掉了。余下的电路是对称的,且输出是从 M_{1A} 和 M_{2A} 的漏极引出来的。

为了满足 KCL,流入 M_3 , M_4 和 M_5 的总电流必须等于流过 M_{11} 和 M_{12} 的总的漏极电流。

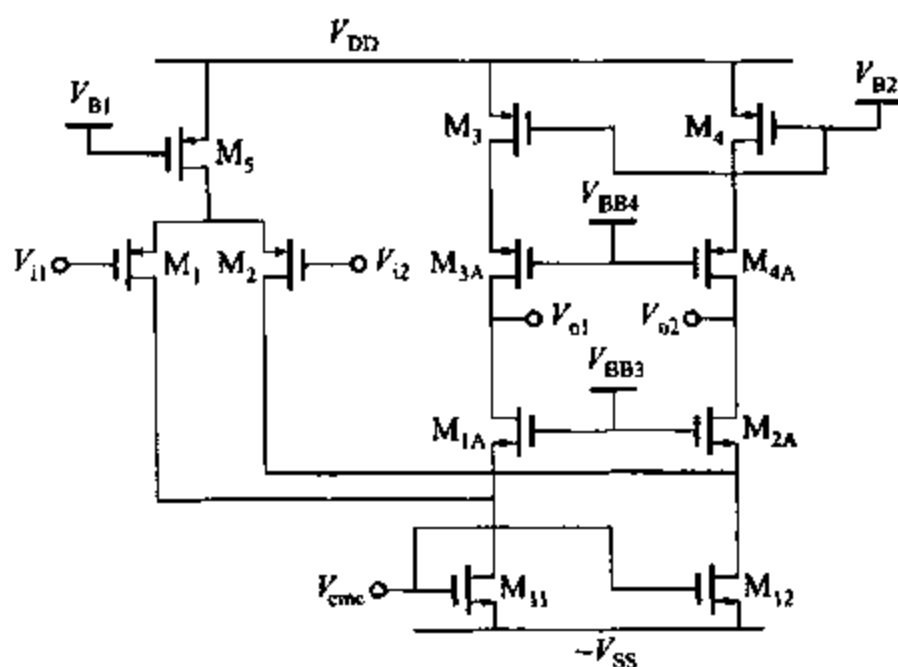


图 12.31 全差分 CMOS 折叠式的共射共基运算放大器

为了满足 KCL 所有的晶体管工作在放大区且要精确地设置 V_{ce} , 采用共模反馈。共模控制输入端可能看成是 M_5 的栅极, $M_3 - M_4$ 的栅极和 $M_{11} - M_{12}$ 的栅极, 如图 12.31 所示。最后一点, 共模反馈环路比其他两种情况包含更少的结点, 且增益 a_{cmc} 由共源 n 沟道晶体管 M_{11} (或者 M_{12}) 提供, 若 $(W/L)_{11} \approx (W/L)_3$, 这比 p 沟道 M_3 (或者 M_4) 有更大的 g_m , 因为 $k'_n > k'_p$ 和 $I_{D11} > |I_{D3}|$ 。

差模和共模反馈环路都被运算放大器的输出电容补偿。

有源共源共栅放大器组成的折叠式共源共栅运算放大器如图 6.30 所示,其能被转变成全差分运算放大器。至于折叠式的共源共栅放大器,在共模控制输入上有三种选择。

12.6.4 有两个差分输入级的差分运算放大器

上面所讲的全差分运算放大器有两个输入终端来接收一个差分输入。这种运算放大器能被用于如图 12.32 所示的放大器,积分器和微分器中。为了实现有很大输入阻抗的全差分同相增益级,需要有四个输入终端的运算放大器。两个输入连到反馈网络而另两个输入连到差分信号源,如图 12.33 所示。假设运算放大器的从 v_{id1} 和 v_{id2} 到 v_{od} 的增益很大,负反馈迫使 $v_{id2} \approx 0$ 和 $v_{id1} \approx 0$ 。这两对输入由两个源耦合对产生,如图 12.34 中所示的两级运算放大器。两个源耦合对, $M_1 - M_2$ 和 $M_{1x} - M_{2x}$, 分担了一对电流源负载。假设输入对是匹配的,差分小信号电压增益从任何输入都是相同的;因此

$$v_{od} = a_{dm1}(v_{id1} + v_{id2}) \quad (12.90)$$

运算放大器的共模输入范围必须足够大以包括全部输入信号的范围 V_{S1} 和 V_{S2} , 因为它们直接连接到运算放大器的输入。在运算放大器上, 共模反馈环路可以通过控制产生那些电流的晶体管的栅极电压来调节 I_1 或者 I_2 。

12.6.5 中和

在全差分运算放大器中,有一种称为电容中和的技术可以用来减少由于密勒效应(参见

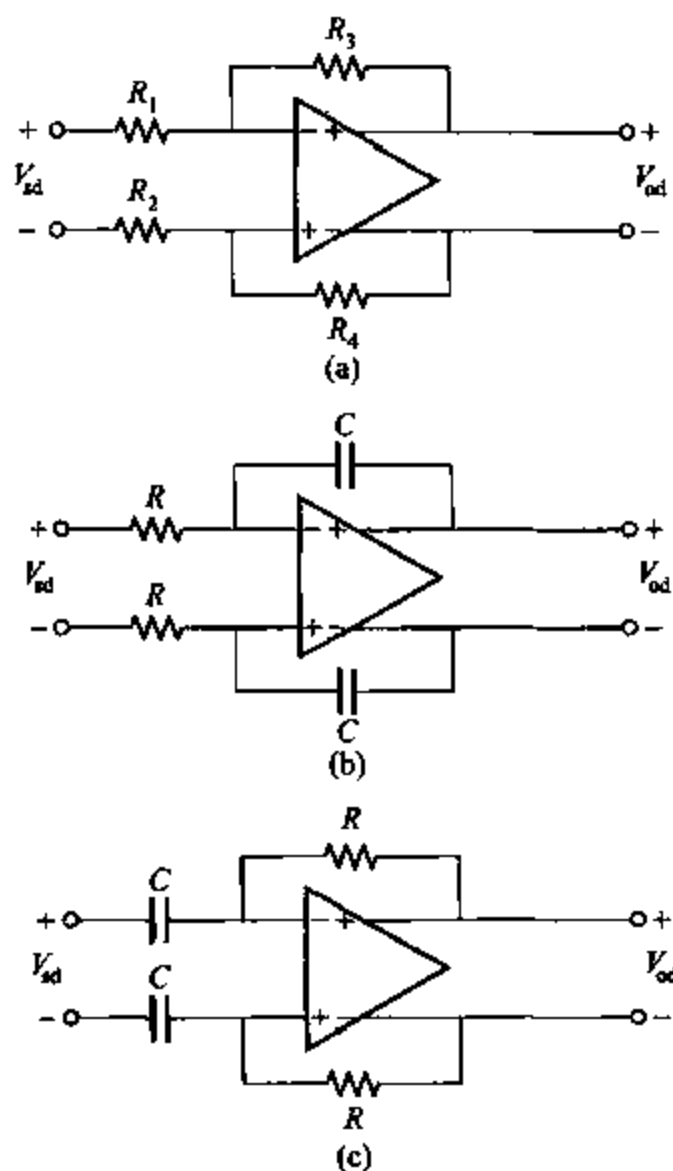


图 12.32 (a) 全差分反相增益级;
(b) 全差分积分器;(c) 全差分微分器

第七章)而产生的运算放大器输入电容成分。减少输入电容将增加输入阻抗,这是不期望的。中和电路见图 12.35a。很明显, M_1 和 M_2 是栅-漏交叠的电容。首先,忽略电容 C_n 的中和电路。那么从每个运算放大器的输入(关于地)看进去的差模电容为

$$C_{idh} = C_{gs1} + C_{gd1}(1 - a_{dm1}) \quad (12.91)$$

其中 a_{dm1} 是从 M_1 的栅极到漏极的低频差模增益:

$$a_{dm1} = \left. \frac{v_{d1}}{(v_{id}/2)} \right|_{\omega=0} \quad (12.92)$$

因为运算放大器是平衡的,通过每个电容 C_n 的低频电压增益为 $-a_{dm1}$ 。因此,当 C_n 被包括进去,式(12.91)中的电容变为

$$C_{idh} = C_{gs1} + C_{gd1}(1 - a_{dm1}) + C_n(1 + a_{dm1}) \quad (12.93)$$

若 $C_n = C_{gd1}$, 式(12.93)化简为

$$C_{idh} = C_{gs1} + 2C_{gd1} \quad (12.94)$$

若 $|a_{dm1}| > 1$ 其值比式(12.91)中的值要小。这里当 $C_n = C_{gd1}$ 在 C_{gd1} 上的密勒效应被消除了,因为通过 C_n 的增益是通过 C_{gd1} 的增益的相反值。为了使得 $C_n = C_{gd1}$, 匹配管 M_{21} 和 M_{22}

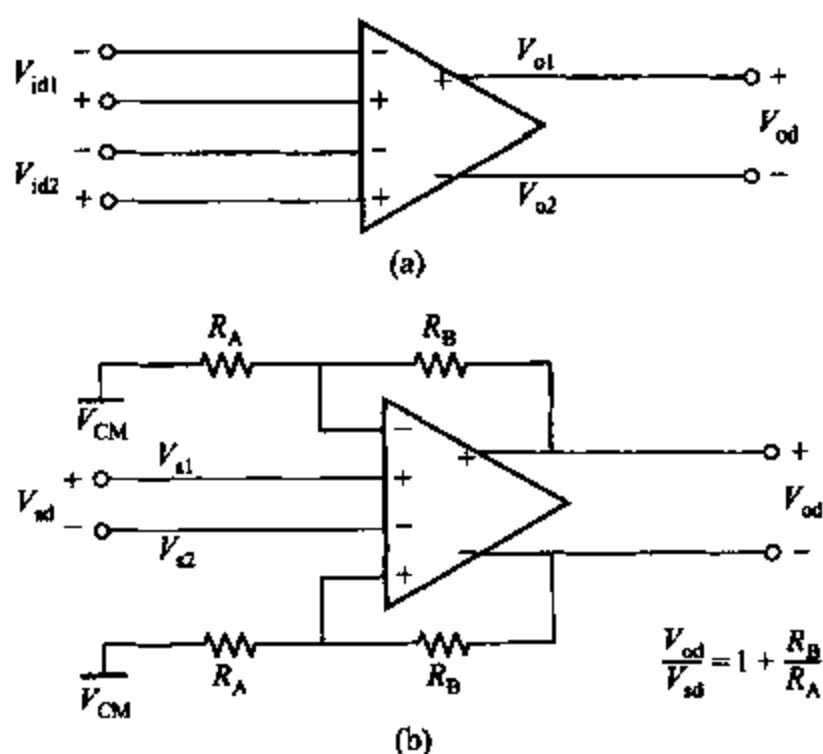


图 12.33 (a) 有两对输入的运算放大器;
(b) 同相全差分反馈放大器

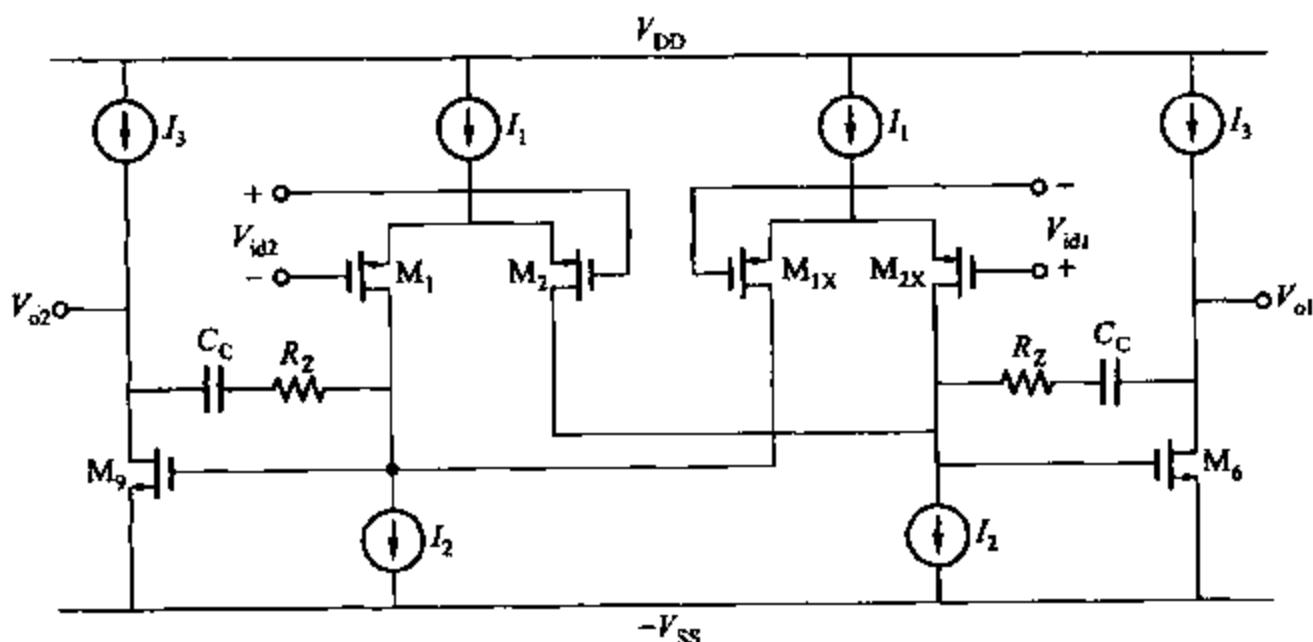


图 12.34 双极输入的两级运算放大器简化电路

可以用如图 12.35b 中所示的电容 C_n 来实现。^{13,14} 这些晶体管工作在截止区, 因为 $V_{GD1} < V_{t1}$ 和 $V_{GD2} < V_{t2}$ 而 M_1 和 M_2 工作在放大区。电容 C_n 既有栅漏交叠的电容也有栅源交叠的电容。设置 $C_n = C_{gd1}$ 得到

$$C_{gd1} = C_{gd} W_1 = C_n = C_{gd1} + C_{gs1} = 2C_{gd} W_{21} \quad (12.95)$$

其中 C_{gd} 是每单位宽度交叠的电容。因此, 若 $W_{21} = W_1/2$, 则 $C_n = C_{gd1}$ 。精确匹配 C_n 和 C_{gd1} 在这里不是关键。例如, 若 C_n 稍大于 C_{gd1} , 电容 C_{gd1} 将稍小于式(12.94)中的值。这种技术的缺点是在 M_{21} 和 M_{22} 的源极和漏极相连的地方, 相关的结点电容增加了, 减少了与那

当电路是完全平衡且没有零漂时,这些交叉增益为零,否则,如 3.5.4 节中所示。如图 12.32a 所示的反馈电路中的反相放大器,运算放大器上或者反馈网络的不平衡产生非零的交叉增益项。

示例

计算图 12.32a 中的反相放大器的小信号增益。为了简化,假设运算放大器是平衡的,有无限大的输入阻抗,零输出阻抗, $a_{dm} \rightarrow -\infty$ 和 $a'_{cm} = -0.1$ 。(这个 a'_{cm} 是共模增益,包括共模反馈环路效应。)运算放大器间的电阻在 $R_3 = R_4 = 5 \text{ k}\Omega$ 情况下是匹配的,但连接源信号的电阻是不匹配的,其中 $R_1 = 1.01 \text{ k}\Omega$ 和 $R_2 = 0.99 \text{ k}\Omega$ 。因此,这个电路中仅有的不平衡根源源于 R_1 和 R_2 的不匹配。

将用 3.5.6.9 节中介绍的耦合半边电路分析这个电路。这两个耦合的半边电路如图 12.36 所示。这个电路通过非零的不匹配的电阻耦合。

$$\Delta R = R_1 - R_2 = 0.02 \text{ k}\Omega$$

图中的电阻 R 是不匹配电阻的平均值,即

$$R = \frac{R_1 + R_2}{2} = 1 \text{ k}\Omega$$

令差模半边电路中的 $a_{dm} \rightarrow -\infty$ 得到

$$\frac{v_{od}}{2} = -\frac{R_3}{R} \left(\frac{v_{sd}}{2} - i_{Rc} \frac{\Delta R}{2} \right) \quad (12.98)$$

分析共模半边电路得到

$$v_{oc} = -\frac{R_3}{R} \left(v_{sc} - \frac{i_{Rd}}{2} \frac{\Delta R}{2} \right) \frac{1}{1 + \left[\frac{R + R_3}{(-a'_{cm})R} \right]} \quad (12.99)$$

从这些方程和耦合部分电路,可以确切地看出输入和输出的关系。然而,对于小的不匹配,3.5.6.9 节中描述的近似方法简化了分析,且为手工计算提供了足够的精度。在近似计算中简化的关键是电流 i_{Rd} 和 i_{Rc} 从它们各自的半边电路中估算出来,忽略不匹配的影响。如果在图 12.36a 中不匹配被忽略(即若 $\Delta R = 0$),那么

$$\frac{i_{Rd}}{2} \approx \hat{i}_{Rd} = \frac{v_{sd}}{2R} \quad (12.100)$$

因为 $v_{id}/2 = 0$ (因为 $a_{dm} \rightarrow -\infty$)。忽略图 12.36b 中的电阻的不匹配,有

$$i_{Rc} \approx \hat{i}_{Rc} = \frac{v_{sc}}{R + R_3} \left[1 + \frac{R_3}{R} \cdot \frac{1}{1 + \left(\frac{R + R_3}{-a'_{cm} R} \right)} \right] \quad (12.101)$$

将式(12.101)代入式(12.98)得到

$$\frac{v_{od}}{2} = -\frac{R_3}{R} \left\{ \frac{v_{sd}}{2} - v_{sc} \frac{\Delta R}{2(R + R_3)} \left[1 + \frac{R_3}{R} \cdot \frac{1}{1 + \left(\frac{R + R_3}{-a'_{cm} R} \right)} \right] \right\} \quad (12.102)$$

将式(12.100)代入式(12.99)中得到

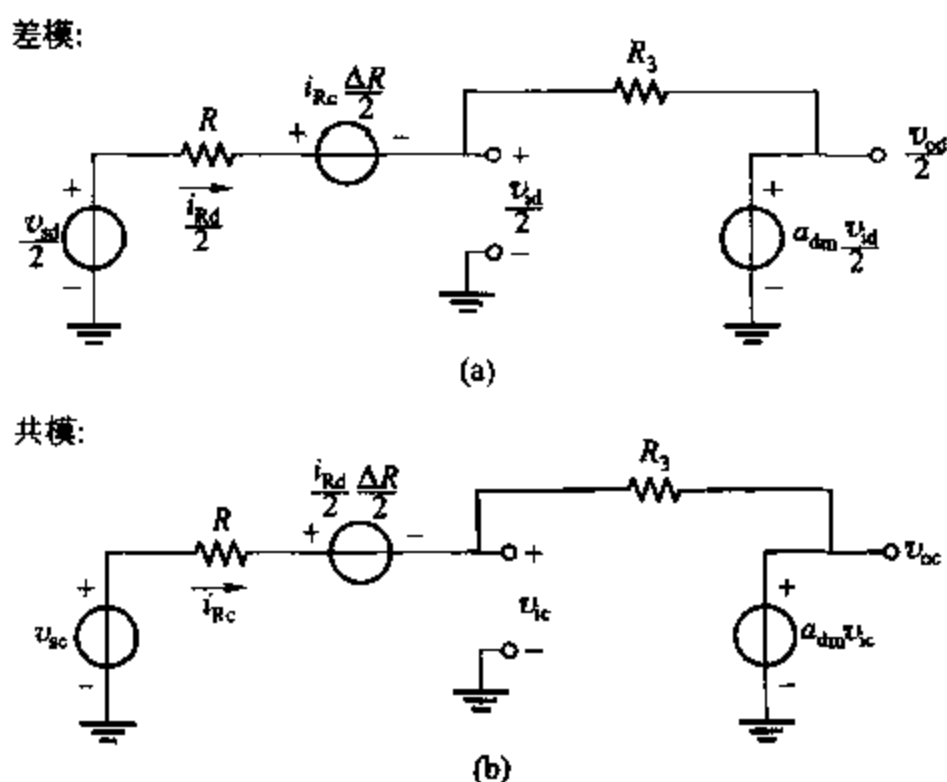


图 12.36 耦合图 12.32a 中有平衡运算放大器和
不匹配反馈网络的增益级半边电路
(a) 差模半边电路; (b) 共模半边电路

$$v_{\alpha} = -\frac{R_3}{R} \left(v_{\alpha} - v_{id} \frac{\Delta R}{4R} \right) \frac{1}{1 + \left[\frac{R + R_3}{(-a_{cm})R} \right]} \quad (12.103)$$

由式(12.102)得

$$\begin{aligned} A_{dm} &= \left. \frac{v_{od}}{v_{id}} \right|_{v_{\alpha}=0} = -\frac{R_3}{R} = -\frac{5}{1} = -5 \\ A_{cm-dm} &= \left. \frac{v_{od}}{v_{\alpha}} \right|_{v_{id}=0} = \frac{R_3}{R} \cdot \frac{\Delta R}{(R + R_3)} \left[1 + \frac{R_3}{R} \cdot \frac{1}{1 + \left(\frac{R + R_3}{-a_{cm}R} \right)} \right] \\ &= \frac{5}{1} \times \frac{0.02}{(1+5)} \left[1 + \frac{5}{1} \times \frac{1}{1 + \left(\frac{1+5}{0.1 \times 1} \right)} \right] = 0.018 \end{aligned}$$

由式(12.103)得

$$\begin{aligned} A_{cm} &= \left. \frac{v_{\alpha}}{v_{ic}} \right|_{v_{id}=0} = -\frac{R_3}{R} \cdot \frac{1}{1 + \left[\frac{R + R_3}{(-a_{cm})R} \right]} = -\frac{5}{1} \times \frac{1}{1 + \left[\frac{1+5}{0.1 \times 1} \right]} = -0.082 \\ A_{dm-cm} &= \left. \frac{v_{\alpha}}{v_{id}} \right|_{v_{ic}=0} = \frac{R_3}{R} \frac{\Delta R}{4R} \frac{1}{1 + \left[\frac{R + R_3}{(-a_{cm})R} \right]} \\ &= \frac{5}{1} \times \frac{50.02}{4 \times 1} \times \frac{1}{1 + \left(\frac{1+5}{0.1 \times 1} \right)} = 0.000\ 41 \end{aligned}$$

电阻不匹配引起闭环放大器的非零交叉增益项。这个电路的精确分析基本上得到的是和上面一样的增益。

不匹配运算放大器的模型(但为了简化,假设输入阻抗无限大和零输出阻抗)如图12.37所示。这个模型对应的方程为

$$v_{od} = a_{dm} v_{id} + a_{cm-dm} v_{ic} + a_{cmc-dm} v_{cmc} \quad (12.104)$$

$$v_{oc} = a_{cm} v_{ic} + a_{dm-cm} v_{id} + a_{cmc} v_{cmc} \quad (12.105)$$

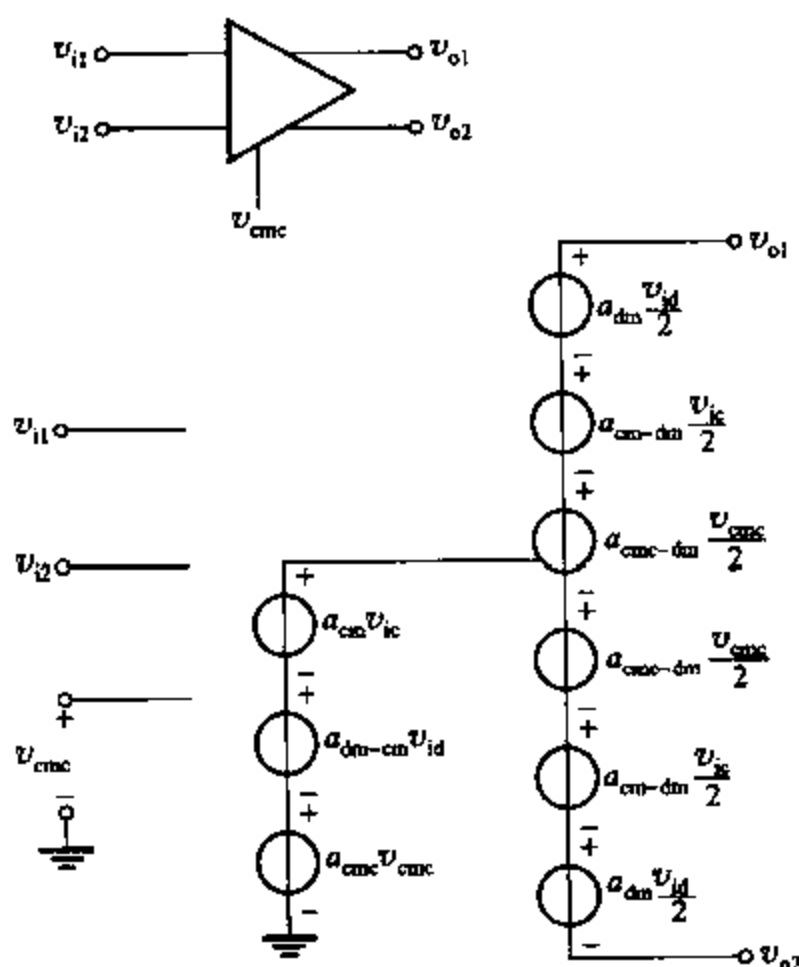


图 12.37 包括交叉增益,假设无限大输入阻抗和零输出阻抗的全差分放大器的简单小信号模型

当运算放大器完全平衡时交叉增益项 a_{cm-dm} , a_{dm-cm} 和 a_{cmc-dm} 均为零。若共模检测电路不是完全对称的,它的输出 v_{cms} ,其在理想上是与共模输出成比例的,包含了取决于差模输出的成分:

$$v_{cms} = a_{cms} v_{oc} + a_{dm-cms} v_{od} \quad (12.106)$$

同样,当共模反馈环路合闭时 $v_{cmc} = v_{cms}$ 。

为了例证在运算放大器开环增益上的反馈效应,考虑图 12.32a 中有平衡反馈网络($R_1 = R_2$ 和 $R_3 = R_4$)但在有运算放大器中存在不平衡的反相放大器。这个电路能被精确地分析并得出闭环增益,但这种分析是很难的。因此,将应用上个例子中运用的近似耦合的半边电路分析。耦合差模和共模半边电路如图 12.38 所示。运算放大器的不平衡是由图 12.38 中的 a_{cm-dm} , a_{dm-cm} 和源控制的 a_{cmc-dm} ,这是基于式(12.104)和式(12.105)的。为了简化分

析,假设共模检测电路是平衡的(例如, $a_{dm-cms}=0$)。在这种假设下,式(12.106)简化为

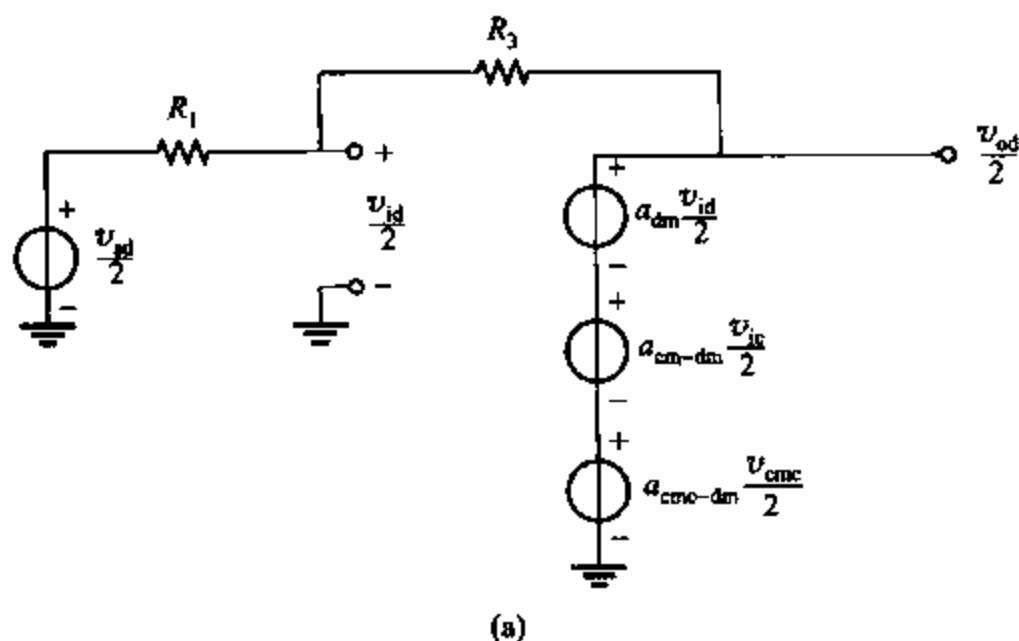
$$v_{cmc} = v_{cms} = a_{cms} v_{oc} \quad (12.107)$$

将式(12.107)代入式(12.104)和式(12.105)中得到

$$v_{od} = a_{dm} v_{id} + a_{cm-dm} v_{ic} + a_{cmc-dm} a_{cms} v_{oc} \quad (12.108)$$

$$v_{oc} = a_{cm} v_{ic} + a_{dm-cm} v_{id} + a_{cmc} a_{cms} v_{oc} \quad (12.109)$$

差模:



共模:

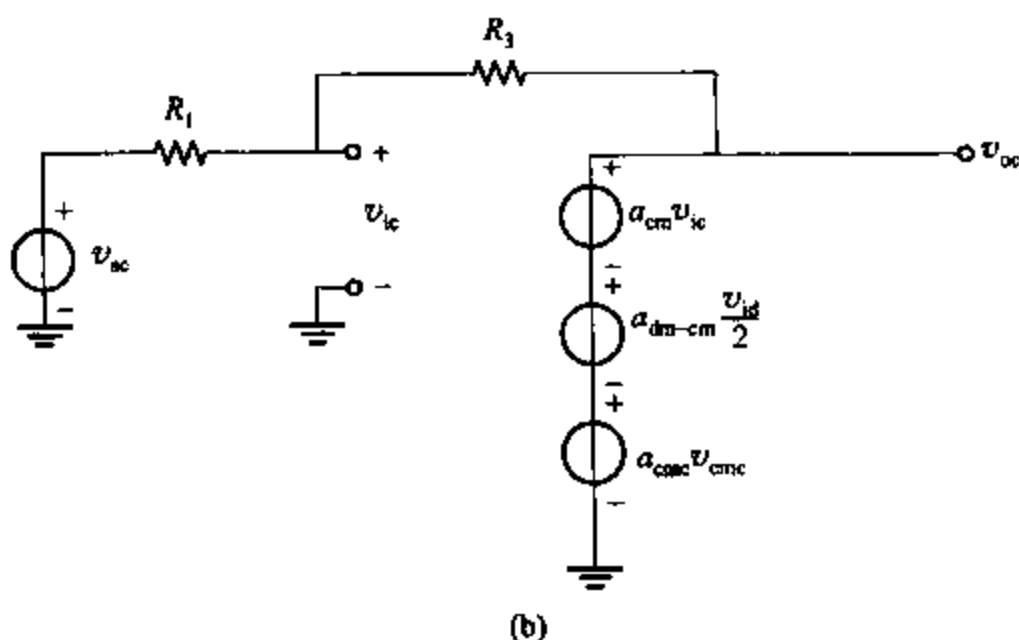


图 12.38 耦合图 12.32a 中的有不平衡运算放大器和平衡反馈网络的增益级半边电路
(a) 差模半边电路; (b) 共模半边电路

为了进行近似的分析,每一个半边电路首先分析在半边电路之间的耦合消除时的情况。那么这些分析的结果都用来发现闭环交叉增益。差模半边电路的耦合通过设置 $a_{cm-dm}=0$ 和 $a_{cmc-dm}=0$ 被消除了。这种情况下,分析图 12.38a 得到

$$\hat{v}_{id} = -\frac{R_3}{R} \cdot \frac{1}{1 + \frac{R_1 + R_3}{(-a_{dm})R_1}} \frac{v_{od}}{a_{dm}} \quad (12.110)$$

与此相似,共模半边电路的耦合通过设置 $a_{dm-cm} = 0$ 被消除了。在这种耦合被消除的情况下,分析图 12.38b 得到

$$\hat{v}_{ic} = \frac{\hat{v}_{oc}}{a'_{cm}} = -\frac{R_3}{R} \cdot \frac{1}{1 + \frac{R_1 + R_3}{(-a'_{cm})R_1}} \cdot \frac{v_{sc}}{a'_{cm}} \quad (12.111)$$

其中

$$a'_{cm} = \frac{a_{cm}}{1 + (-a_{cmc} a_{cms})} \quad (12.112)$$

假设 $\hat{v}_{id} \approx v_{id}$, $\hat{v}_{ic} \approx v_{ic}$ 和 $\hat{v}_{oc} \approx v_{oc}$, 式(12.110)和式(12.111)可以被用于式(12.108)中得到

$$v_{od} = -\frac{R_3}{R_1} \frac{1}{1 + \frac{R_1 + R_3}{(-a_{dm})R_1}} v_{sd} + \frac{a'_{cm-dm}}{1 + \frac{R_1 + R_3}{(-a_{dm})R_1}} \cdot \frac{\frac{R_3}{R_1 + R_3}}{1 + \frac{R_1 + R_3}{(-a'_{cm})R_1}} v_{sc} \quad (12.113)$$

其中

$$a'_{cm-dm} = a_{cm-dm} + a'_{cm} a_{cms} a_{cmc-dm} \quad (12.114)$$

这个增益有两种成分。第一项为 a_{cm-dm} , 这是运算放大器共模到差模的增益。第二项为三项的乘积: ① a'_{cm} , 这是包括共模反馈环路的从 v_{ic} 到 v_{oc} 的增益; ② a_{cms} , 这是从 v_{oc} 到 $v_{cms} = v_{cmc}$ 的共模检测增益; ③ a_{cmc-dm} , 这是从 v_{cms} 到 v_{od} (由于运算放大器的不匹配) 的增益。因此, 式(12.114)中的第二项为从 v_{ic} 到 v_{od} 的间接路径的增益。

再假设 $\hat{v}_{id} \approx v_{id}$, $\hat{v}_{ic} \approx v_{ic}$ 和 $\hat{v}_{oc} \approx v_{oc}$, 式(12.110)和式(12.111)可以被用于式(12.109)中得到

$$v_{oc} = \frac{\frac{a'_{cm} R_3}{R_1 + R_3}}{1 + \frac{(-a'_{cm})R_1}{R_1 + R_3}} v_{sc} + \frac{a'_{dm-cm}}{1 + \frac{(-a'_{cm})R_1}{R_1 + R_3}} \cdot \frac{\frac{R_3}{R_1 + R_3}}{1 + \frac{(-a_{dm})R_1}{R_1 + R_3}} v_{sd} \quad (12.115)$$

其中

$$a'_{dm-cm} = \frac{a_{dm-cm}}{1 + (-a_{cmc} a_{cms})} \quad (12.116)$$

式(12.113)和式(12.115)与反馈放大器的差模和共模源与输出电压有关。式(12.108)和式(12.109)中的开环增益和互增益项都已经被反馈修改了。为了化简这些增益项, 定义

$$T_{dm} = \frac{(-a_{dm})R_1}{R_1 + R_3} \quad (12.117)$$

$$T_{cm} = \frac{(-a'_{cm})R_1}{R_1 + R_3} \quad (12.118)$$

$$T_{cmfb} = -a_{cmc} a_{cms} \quad (12.119)$$

这些各自为差模、共模和共模反馈环路的环境增益。采用式(12.117)~式(12.119), 式(12.113)中的闭环增益项可以写成

$$A_{dm} = \left. \frac{v_{od}}{v_{sd}} \right|_{v_{sc}=0} = -\frac{R_3}{R_1} \cdot \frac{1}{1 + \frac{1}{T_{dm}}} \approx -\frac{R_3}{R_1} \quad (12.120)$$

其中用到了 $|T_{dm}| \gg 1$, 且

$$A_{cm-dm} = \left. \frac{v_{od}}{v_{sc}} \right|_{v_{sd}=0} = \frac{a'_{cm-dm} \left(\frac{R_3}{R_3 + R_1} \right)}{(1 + T_{dm})(1 + T_{cm})} \quad (12.121)$$

当 $|T_{dm}|$ 增加, $|A_{cm-dm}|$ 减少。因此, $|T_{dm}| \gg 1$ 被用来减少闭环共模到差模的互增益。这 $(1 + T_{dm})$ 项在这里影响很小因为式(12.112)通常给出 $|a'_{cm}| \ll 1$; 因此, $(1 + T_{dm}) \approx 1$ 。

由式(12.116)~(12.119), 式(12.115)中的闭环增益项可以写成

$$A_{cm} = \left. \frac{v_{oc}}{v_{sc}} \right|_{v_{sd}=0} = \frac{\frac{a'_{cm} R_3}{R_1 + R_3}}{1 + T_{cm}} \approx \frac{a'_{cm} R_3}{R_1 + R_3} \quad (12.122)$$

其中 $(1 + T_{dm}) \approx 1$, 且

$$A_{dm-cm} = \left. \frac{v_{oc}}{v_{sd}} \right|_{v_{sc}=0} = \frac{a'_{dm-cm} \frac{R_3}{R_1 + R_3}}{1 + T_{cm}} = \frac{a_{dm-cm} \frac{R_3}{R_1 + R_3}}{(1 + T_{cmfb})(1 + T_{dm})(1 + T_{cm})} \quad (12.123)$$

当 $|T_{dm}|$ 或者 $|T_{cmfb}|$ 增加, $|A_{dm-cm}|$ 减少。因此, 差模和共模反馈环路用来减少闭环的差模到共模的交叉增益。而 $(1 + T_{cm})$ 项在这里影响很小, 因为 $(1 + T_{cm}) \approx 1$ 。

这节的分析表明图 12.32a 中反馈放大器的闭环交叉增益项是怎样由运算放大器和反馈网络的不平衡影响的。实际上, 不平衡是由元件间随机的不匹配造成的, 而这种电路性能不匹配的影响通常用 SPICE 模拟来估计。

12.8 共模反馈环路的带宽

理想状态下, 全差分电路处理差模输入信号并产生纯粹差模输出信号。差模增益所要求的闭环带宽由差模信号设置。例如, 考虑图 12.32a 中的差分增益级。为了避免过滤信号, 差模增益的闭环带宽必须大于所用的差模输入信号的最高频率。因为闭环带宽近似地等于差模环路增益(或者反馈比)的单位增益频率(或为反馈比), 这单位增益频率应当大致等于要求的闭环带宽。然而, 共模反馈环路所要求的单位增益频率并不容易确定。考虑全差分反馈电路是线性的和完全平衡的, 若电路中没有交流共模信号, 交流共模输出电压为零且共模输出电压为常数。在这种情况下, 共模反馈环路的带宽是不重要的, 因为它只在直流信号上工作。

实际上, 这里存在很多的交流共模信号源。例如, 一个交流共模信号能出现在信号源中, 或者通过噪声源引入共模噪声。而且, 即使当信号源是纯差分的, 交流共模信号可以被引起差模到共模转化的电路不平衡而产生的。无论交流共模信号的来源如何, 共模反馈用来抑制交流共模输出信号和给出大致为常量的共模输出电压。抑制交流共模输出成分是很

重要的,这有两个理由。首先,若共模输出变化,必须减少差模输出摆幅从考虑共模输出摆幅。其次,若两个反馈放大器都是共射共基的,从第一个放大器来的交流共模输出电压为第二个放大器的共模输入电压,且第二个放大器的任何不平衡将使得它的共模输入电压转化为差模输出电压。

为了了解共模反馈怎样抑制交流共模输出信号,考虑图 12.39 中的小信号模块图。这里, v_n 是共模干扰(例如,电源上的交流信号)。信号 v_{cm} , 这是采用直流电压 V_{CM} 的小信号成分,其值等于零。同样, a_n 为当共模反馈环路不工作时,从共模干扰到共模输出电压的电压增益,即

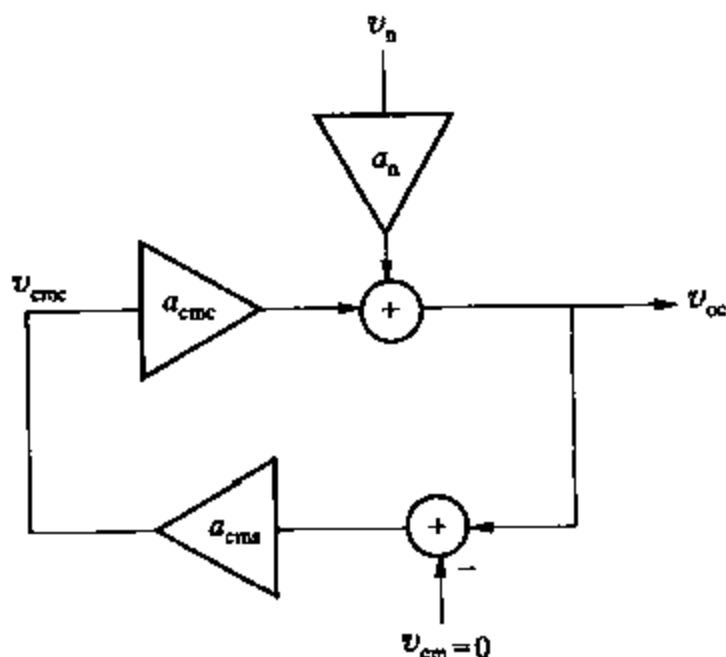


图 12.39 有噪声 v_n 注入的共模反馈环路的模型

$$a_n = \left. \frac{v_{oc}}{v_n} \right|_{\text{没有共模反馈}} = \left. \frac{v_{oc}}{v_n} \right|_{v_{cm}=0} \quad (12.124)$$

当共模反馈工作时,从 v_n 到 v_{oc} 的小信号增益变为

$$A_n = \left. \frac{v_{oc}}{v_n} \right|_{\text{有共模反馈}} = \frac{a_n}{1 + a_{cms}(-a_{cmc})} \quad (12.125)$$

共模反馈在 $|a_{cms}(-a_{cmc})| \gg 1$ 时给出 $|A_n| \ll |a_n|$ 。因此,在没有共模反馈时一个重要的交流共模输出电压将产生,在这时的频率要求 $|a_{cms}(-a_{cmc})| \gg 1$ 。一种可能的目的是为了满满足这种情况下的差模输入信号的带宽,或者等效地使得差模和共模反馈环路的单位增益频率大致相等。¹⁵ 虽然这恰好是期望的,但这个目标在实际中很难达到,因为共模反馈环路通常包括更多的晶体管且比差模环路有更多的非主极点。无论如何,在决定实际全差分放大器中的共模反馈环路必要的带宽时抑制虚假的共模信号是很重要的。

习题

12.1 图 12.2 中差分放大器的每个输出的摆幅限制为多少? 对所有的晶体管 $|V_{ov}| = 0.2 \text{ V}$ 且 $V_m = -V_{tp} = 0.6 \text{ V}$ 。假设 $V_{DD} = V_{SS} = 2.5 \text{ V}$, $V_{ic} = 0$ 和 $\gamma = 0$ 。同样,假设共模反馈电路没有限制输出摆幅。

V_{in} 取什么值可以使得差分输出摆幅对称且最大,在这种情况下 V_{od} 的峰值为多少?

12.2 对图 12.23 中的两级运算放大器重复 12.1 中的问题。假设采用开关电容共模反馈,这就不会限制输出摆幅。用题 12.1 中的数据。

12.3 平衡的全差分电路只有奇数级是非线性的。对于 12.6.1 节例子中的运算放大器用 SPICE 验证这个事实。

(a) 用 SPICE 来寻找低频差分正弦输入时在输出波形上的失真,或者用 SPICE 来绘制 V_{od} 相对于 V_{in} 的直流传输特性,且验证这个函数是奇函数。

(b) 在 W_1 和 W_2 之间有 1/100 不匹配时重复(a)。观察这时偶数级非线性存在。

12.4 对于图 12.2 中的运算放大器,采用 12.4.1 节第一个例子中用到的元件数据和工作点。假设所有的晶体管工作在放大区。

(a) 找出图 12.7 中两个模块的输出部分的元件值。

(b) 找出图 12.6 中两个模块的输入部分的元件值(元件为电容)。其中 $C_{gs} = 180$ fF 和 $C_{gd} = 20$ fF。

12.5 对于图 12.2 中的运算放大器,对所有的晶体管采用习题 12.4 中的数据,除 $I_{DS} = 100$ μ A 和 $|V_{ov}| = 0.1$ V 以外。假设所有的晶体管工作在放大区且 $C_{gs} = 180$ fF 和 $C_{gd} = 20$ fF。

(a) 找出图 12.7 中两个模块的输出端口的元件值。

(b) 找出图 12.6 中两个模块的输入端口的元件值(元件为电容)。

(c) 计算共模控制增益 a_{cmc} 。

12.6 (a) 对于题 12.5 中的运算放大器,计算 a'_{cm} 。假设采用图 12.17 中的共模反馈电路且 $a_{cmx} = 1$ 。当共模反馈环路工作时再计算 $a'_{cm} = v_{oc}/v_{ic}$ 。

(b) 用 SPICE 画出 $|a'_{cm}|$ 从 100 Hz 到 100 MHz 的图。

12.7 当 M_3 和 M_4 的栅极作为共模控制输入且 M_3 的栅极连接偏置电压时重复习题 12.5c。

12.8 如图 12.32a 所示习题 12.5 中的运算放大器与反馈相连。共模反馈如习题 12.6 所述。计算当 $R_1 = R_2 = R_3 = R_4 = 100$ M Ω 时低频闭环增益 $A_{dm} = v_{od}/v_{id}$ 和 $A_{cm} = v_{oc}/v_{ic}$ 。

12.9 计算图 12.2 中运算放大器的差模输出回转率 dV_{od}/dt 。假设 $I_{DS} = 200$ μ A 和 5 pF 的电容连接在运算放大器的每个输出和地之间。

12.10 计算图 12.2 中运算放大器的共模输出回转率 dV_{od}/dt 。假设 $I_{DS} = 200$ μ A 和 5 pF 的电容连接在运算放大器的每个输出和地之间。

12.11 计算 12.6.1 节例子中运算放大器的输出回转率 dV_{od}/dt 。采用例子中的偏置电流且 $C = 1.39$ pF。

12.12 对于这个问题,采用图 12.23 的运算放大器和图 12.17 的共模反馈电路。用图 12.16b 的补偿放大器作为共模检测放大器,来给出负直流增益。假设图 12.17 中的源极跟随器的低频增益为 0.95 且 $R_{CS} = 15$ k Ω 。采用 12.6.1 节例子中给出的晶体管和运算放大器的工作点数据。

(a) 设计一个共模检测放大器使得其总的低频增益 $a_{cm0} = v_{oc}/v_{ic} = -0.71$,这和 12.6.1 节例子中的值一样。

(b) 在这个共模反馈电路中,运算放大器的每个输出电压(V_{o1} 和 V_{o2})的摆幅限制是多少? 假设图 12.17 中每个源极跟随器的偏置电流源是由一个 NMOS 晶体管,电流源和源跟随器工作在 $V_{GS} = 0.8$ V 和 $V_{ov} = 0.2$ V。为了简化,假设 V_{GS} 是常量且 $\gamma = 0$ 。

(c) V_{CM} 取什么值时能使得输出摆幅对称且最大?

(d) 通过 SPICE 模拟验证共模反馈电路正常工作。采用(c)中的 V_{CM} 值。

12.13 计算图 12.40a 和 12.40b 中运算放大器的共模和差模输出负载电容。假设图 12.40b 中的反相电压缓冲器是理想的。

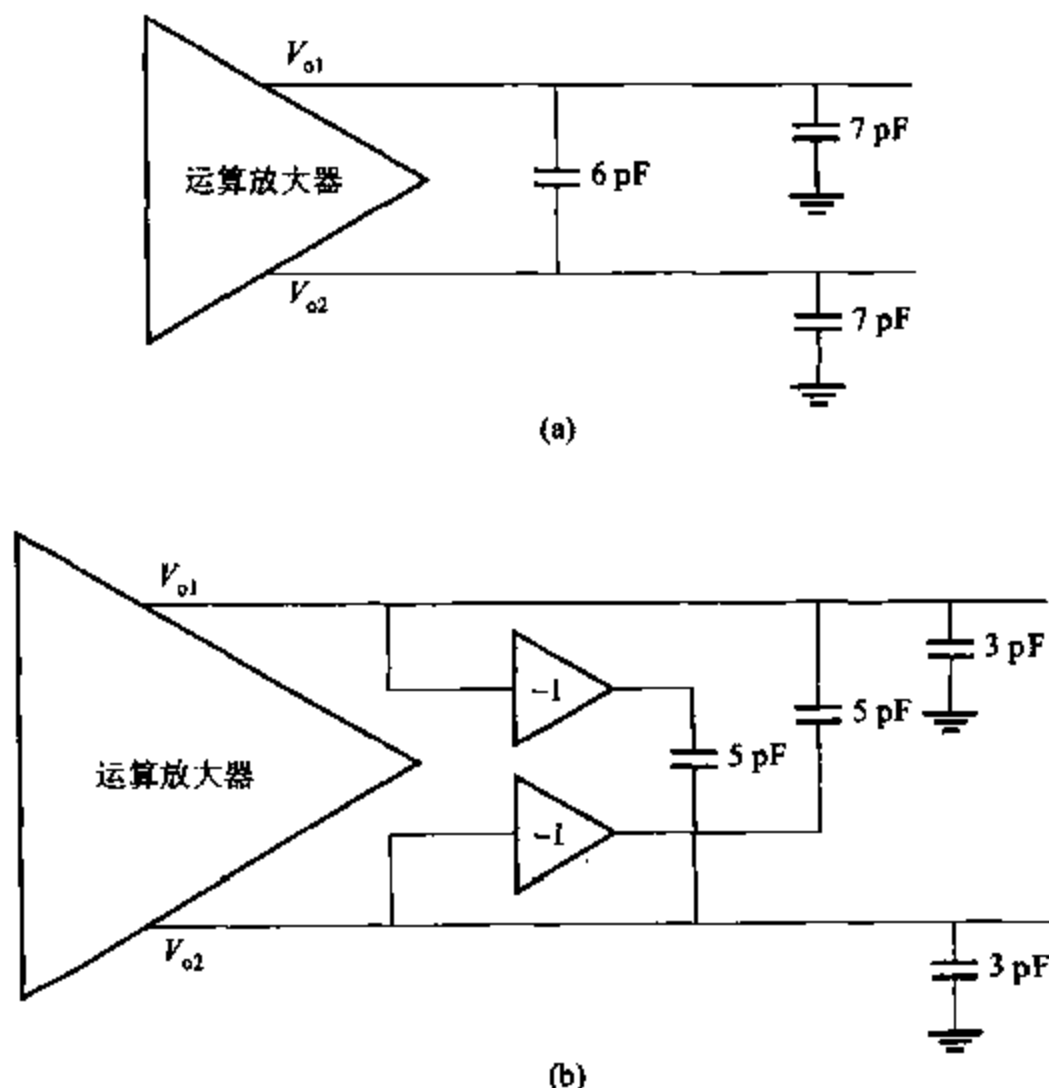


图 12.40 习题 12.13 的输出负载网络

12.14 (a) 对于图 12.16b 中的放大器, 估计在 V_{cm} 输出结点的与 RC 时间常数相关的极点。假设 $|I_{DS}| = 0.4 \text{ mA}$, $V_{ov23} = 0.2 \text{ V}$ 和 $V_{ox} = V_{cm}$ 。除与 C_{gs23} 并联的值为 90 fF 的固定电容外忽略所有电容。 $L_{eff} = 0.8 \text{ } \mu\text{m}$ 。采用表 2.3 中的数据。

(b) 重复(a)除采用 $|I_{DS}| = 0.1 \text{ mA}$ 。

(c) 比较(a)和(b)的结果。解释有什么不同。

12.15 局部共模反馈的差分放大器如图 12.41 所示。对所有的晶体管采用 $|V_{ov}| = 0.2 \text{ V}$, $V_{in} = -V_{tp} = 0.6 \text{ V}$, $I_{DS} = 200 \text{ } \mu\text{A}$, $V_{An} = 10 \text{ V}$, $|V_{Ap}| = 20 \text{ V}$ 和 $\gamma = 0$ 。假设 $V_{DD} = V_{SS} = 2.5 \text{ V}$ 且 $V_k = 0$ 。

(a) 这个放大器的直流共模输出电压是多少?

(b) 计算低频增益 a_{dm} 和 a_{cm} 。将这个增益和在 12.4.1 节第一个例子中计算出来的增益相比较。

12.16 没有用尾电流源的差分放大器如图 12.42 所示。

(a) 计算低频增益 a_{dm} 和 a_{cm} 。对所有的晶体管, 漏极电流为 $100 \text{ } \mu\text{A}$ 且 $|V_{ov}| = 0.2 \text{ V}$ 。同样, $V_{An} = 10 \text{ V}$ 且 $|V_{Ap}| = 20 \text{ V}$ 。

(b) 将这些增益和 12.4.1 节第一个例子中计算出来的增益比较。

12.17 (a) 对于图 12.2 中的运算放大器, 假设共模和差模负载电容为 $C_L = C_{Ld} = 2 \text{ pF}$ 。计算当 $|a_{dm}(j\omega)| = 1$ 和 $|a_{cm}(j\omega)| = 1$ 时的频率, 忽略其他的电容。对所有的电容采用 $|V_{ov}| = 0.25 \text{ V}$, $V_{in} =$

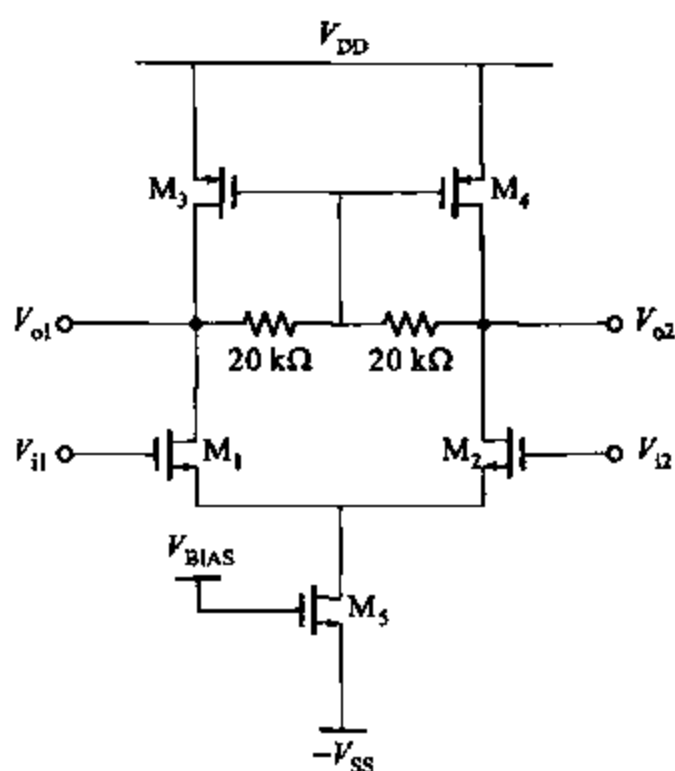


图 12.41 有局部共模反馈的差分放大器

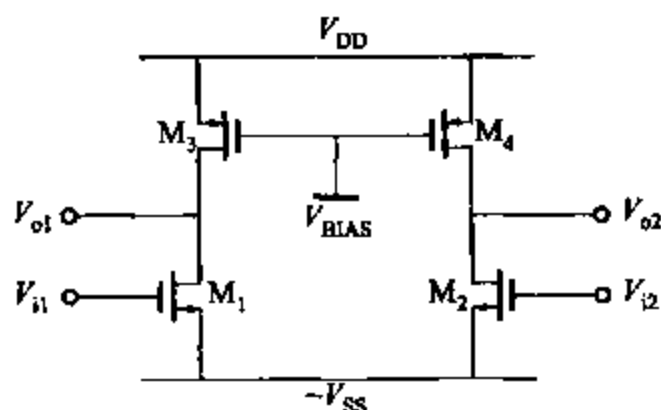


图 12.42 没有尾电流源的差分放大器

$-V_{tp} = 0.6 \text{ V}$, $I_{D5} = 200 \mu\text{A}$, $V_{An} = 20 \text{ V}$, $|V_{Ap}| = 25 \text{ V}$ 和 $\gamma = 0$ 。

(b) 计算若 $C_{Lc} = 2 \text{ pF}$ 和 $C_{Ld} = 4 \text{ pF}$ 时(a)中的单位增益频率。

(c) 共模控制增益的单位增益频率能通过分割 M_5 而等于(b)中的差模单位增益频率,如图 12.15 所示。在 M_{51} 和 M_{52} 之间怎样分割 $200 \mu\text{A}$ 的电流。假设 $V_{ov51} = V_{ov52} = 0.25 \text{ V}$ 。

12.18 对于图 12.43 的共模检测器,找出 $a_{cm}(s) = v_{cm}(s)/v_{oc}(s)$,假设共模检测放大器的单位增益是理想的。当电容 C_{cs} 和每个电阻 R_{cs} 并联时找出 $a_{cm}(s)$ 。电容 C_{cs} 效应是什么?

12.19 一个 NMOS 晶体管工作在三极管区。为其跨导 $g_m = \partial I_d / \partial V_{gs}$ 找出一个公式。与在相同的直流漏极电流时放大区中的 g_m 相比较,哪一个更大?

12.20 对于图 12.32a 的全差分电路,假设运算放大器在 $R_i = \infty$, $R_o = 0$, $a_{dm} = -\infty$ 和 $a_{cm} = 0$ 时是理想的。在以下情况下,求取闭环增益 $A_{dm} = v_{od}/v_{id}$, $A_{cm} = v_{oc}/v_{ic}$, $A_{dm-cm} = v_{oc}/v_{id}$ 和 $A_{cm-dm} = v_{od}/v_{ic}$ 。

(a) $R_1 = R_2 = 1 \text{ k}\Omega$ 和 $R_3 = R_4 = 5 \text{ k}\Omega$ 。

(b) $R_1 = 1.01 \text{ k}\Omega$, $R_2 = 0.99 \text{ k}\Omega$, $R_3 = R_4 = 5 \text{ k}\Omega$ 。

12.21 对于习题 12.20a 中的电路,应用的电压源是一个单端输出信号且有 $V_{i1} = 0.2 \text{ V} \sin(100t)$ 和

(0.8 μm)。 $V_{\text{CM}} = -0.65 \text{ V}$ 。

(a) 选择 M_{12} 和 M_{51} 的宽度 W 使得 $|I_{\text{D3}}| = 20 \mu\text{A}$ 。其中 M_{51} 的长为 $L = 0.8 \mu\text{m}$, M_{12} 的长为 $L = 1.4 \mu\text{m}$ 。

(b) 用 SPICE 找出在共模反馈工作时低频运算放大器增益 $v_{\text{od}}/v_{\text{id}}$, $v_{\text{oc}}/v_{\text{ic}}$, $v_{\text{od}}/v_{\text{ic}}$ 和 $v_{\text{oc}}/v_{\text{id}}$ 。

(c) 计算若一个 4 pF 的电容连接在运算放大器的输出和地之间时输出回转率 dV_{od}/dt 。

(d) 这个放大器的差分输出电压摆幅是多少? 假设 $V_k = V_{\text{CM}}$, 且在计算中忽略衬底效益。

(e) 当输入晶体管不匹配时重复(b), 其中 $W_1 = 63 \mu\text{m}$ 和 $W_2 = 65 \mu\text{m}$ 。(注意: 因为不匹配, 所以运算放大器的失调电压不等于零。)

(f) 当负载晶体管不匹配时重复(b), 其中 $W_3 = 95 \mu\text{m}$ 和 $W_4 = 97 \mu\text{m}$ 。

12.24 图 12.45 中的反馈电路在一个时钟段是一个开关电容电路。假设运算放大器是如图 12.31 所示的折叠式的串接运算放大器。

(a) 计算只考虑如图 12.45 中的电容时的差模和共模输出负载电容。

(b) 若运算放大器的偏置电流为 $|I_{\text{D3}}| = |I_{\text{D4}}| = 100 \mu\text{A}$ 和 $|I_{\text{D5}}| = |I_{\text{D11}}| = |I_{\text{D12}}| = 200 \mu\text{A}$, 计算差模输出回转率 dV_{od}/dt 。

(c) 若所有的晶体管有 $|V_{\text{ov}}| = 0.15 \text{ V}$ 和 $V_{\text{DD}} = V_{\text{SS}} = 2 \text{ V}$, 差模输出摆幅的最大峰值是多少? 假设 V_{BB3} 和 V_{BB4} 都被选定为可以达到最大摆幅的值。

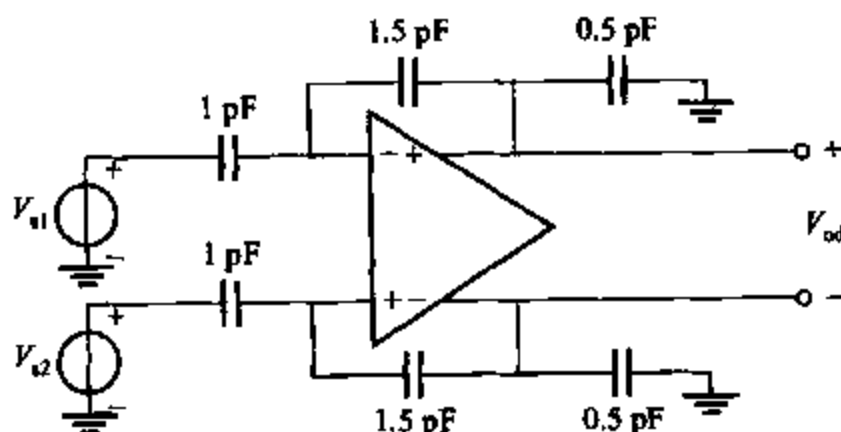


图 12.45 习题 12.24 的电路

12.25 在图 12.21 的开关电容共模反馈电路中, $C_1 = 0.1 \text{ pF}$ 和 $C_2 = 0.5 \text{ pF}$ 。

(a) $V_{\text{CSBIAS}} = -1 \text{ V}$, $V_{\text{oc}} = V_{\text{CM}} = 0.5 \text{ V}$ 。若 V_{CSBIAS} 变为 -1.1 V , V_{oc} 取什么值? 假设 $|a_{\text{cm}}| \gg 1$ 。

(b) 忽略所有的电容除 C_1 和 C_2 以外, 当 ϕ_1 开关都闭合而 ϕ_2 开关都打开时共模和差模输出负载电容是多少?

(c) 当 ϕ_2 开关都闭合而 ϕ_1 开关都打开时重复(b)。

12.26 一个镜像电流源运算放大器如图 12.46 所示。假设所有的 NMOS 晶体管和所有的 PMOS 晶体管都是匹配的。对所有的晶体管 $|V_{\text{ov}}| = 0.2 \text{ V}$, $V_{\text{tn}} = -V_{\text{tp}} = 0.6 \text{ V}$, $I_{\text{DS}} = 200 \mu\text{A}$, $V_{\text{A0}} = 10 \text{ V}$, $|V_{\text{Ap}}| = 20 \text{ V}$ 和 $\gamma = 0$ 。假设 $V_{\text{DD}} = V_{\text{SS}} = 1.65 \text{ V}$ 和 $V_{\text{ic}} = 0$ 。

(a) 计算图 12.7a 中的模型的参数。假设 M_5 , M_7 和 M_9 的栅极都和偏置电压相连。

(b) 若共模控制输入为 M_5 的栅极且 M_7 和 M_9 的栅极与偏置电压相连, 计算 a_{cm} 。

(c) 若共模控制输入为 M_7 和 M_9 的栅极且 M_5 的栅极与偏置电压相连, 计算 a_{cm} 。

(d) 对每一个输出的输出摆幅限制是多少? V_{oc} 取什么值时输出摆幅对称且最大?

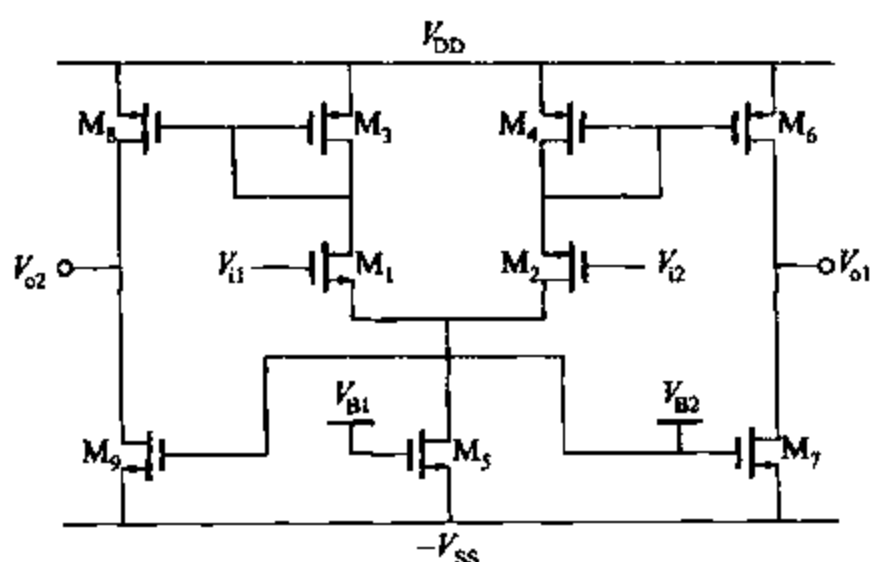


图 12.46 全差分镜像电流源运算放大器

12.27 找出 12.6.1 节例子中的两级运算放大器的低频增益 a'_{cm} 。采用例子中的数据。当共模反馈环路工作在放大区时再计算 $a'_{cm} = v_{oc}/v_{ic}$ 。

12.28 假设 12.6.1 节例子中的共模反馈电路被改变了以使得共模检测放大器的低频增益为 $|a_{cm}| = 2.5$ 。确定运算放大器中必须的补偿电容 C ，以确保例子中的共模控制和差模反馈环路有 45° 的相位裕度或者更大。

12.29 中和状态的电容 C_n 是用来消除 12.6.1 节例子中的运算放大器的第二级的 C_{gd1} 和 C_{gd2} 的密勒效应的。

(a) 说明电容 C_n 应当怎样连接在运算放大器中。 C_n 应当取多大的值？

(b) 若这些电容都是从工作在截止区的 MOS 管构建出来的，应当选用什么类型的晶体管和多大的元件尺寸？

12.30 修改图 12.26 中的共模反馈电路在 M_1 和 M_2 的漏极注入电流，在一定程度上和图 12.18 相似。给出电路的一系列偏置电流值。假设 $I_{D3} = I_{D4} = 150 \mu A$ 和 $I_{D6} = I_{D9} = 400 \mu A$ 。

12.31 不匹配的全差分运算放大器与一个反馈电路相连如图 12.32a 所示。其中 $R_1 = R_2 = 10 k\Omega$ 和 $R_3 = R_4 = 40 k\Omega$ 。运算放大器的模型如图 12.37 所示，其中 $a_{dm} = -181$, $a_{cm} = -2.89$, $a_{cmc} = -226$, $a_{dm-cm} = 8.95$, $a_{cm-dm} = 0.15$ 和 $a_{cm-cm} = 11.6$ 。若共模反馈电路的增益为 $a_{cmf} = 0.76$ ，计算闭环增益 $A_{dm} = v_{od}/v_{id}$, $A_{cm} = v_{oc}/v_{ic}$, $A_{dm-cm} = v_{oc}/v_{id}$ 和 $A_{cm-dm} = v_{od}/v_{ic}$ 。

参考文献

1. R. D. Middlebrook. *Differential Amplifiers*. Wiley, New York, 1963.
2. L. J. Giacoletto. *Differential Amplifiers*. Wiley, New York, 1970.
3. W. G. Garrett and T. G. Maxfield. "A Monolithic Differential-Output Operational Amplifier," *Digest of Technical Papers, International Solid-State Circuits Conf.*, pp. 174 ~ 175, Philadelphia, PA, February 1972.
4. M. Banu, J. M. Khoury, and Y. Tsividis. "Fully Differential Operational Amplifiers with Accurate Output Balancing," *IEEE Journal of Solid-State Circuits*, Vol. 23, no. 6, pp. 1410 ~ 1414, December 1988.
5. P. W. Li, M. J. Chin, P. R. Gray, and R. Castello. "A Ratio Independent Algorithmic Analog-to-

Digital Conversion Technique," *IEEE Journal of Solid-State Circuits*, Vol. 19, no. 6, pp. 828 ~ 836, December 1984.

6. R. A. Whatley. "Fully Differential Operational Amplifier with DC Common-Mode Feed-back." U. S. Patent 4,573,020, February 1986.

7. C.-C. Shih and P. R. Gray. "Reference Refreshing Cyclic Analog-to-Digital and Digital-to-Analog Converters," *IEEE Journal of Solid-State Circuits*, Vol. 21, no. 4, pp. 544 ~ 554, August 1986.

8. T. C. Choi, R. T. Kaneshiro, R. W. Broderick, P. R. Gray, W. B. Jett, and M. Wilcox. "High-Frequency CMOS Switched-Capacitor Filters for Communications Application," *IEEE Journal of Solid-State Circuits*, Vol. 18, no. 6, pp. 652 ~ 664, December 1983.

9. D. Senderowicz, S. F. Dreyer, J. H. Huggins, C. F. Rahim, and C. A. Laber. "A Family of Differential NMOS Analog Circuits for a PCM Codec Filter Chip," *IEEE Journal of Solid-State Circuits*, Vol. 17, no. 6, pp. 1014 ~ 1023, December 1982.

10. D. J. Allstor and W. C. Black, Jr. "Technological Design Considerations for Monolithic MOS Switched-Capacitor Filtering Systems," *Proceedings of the IEEE*, Vol. 71, no. 8, pp. 967 ~ 986, August

1983.

11. P. J. Hurst and S. H. Lewis. "Determination of Stability Using Return Ratios in Balanced Fully Differential Feedback Circuits," *IEEE Trans. on Circuits and Systems II*, pp. 805 ~ 817, December 1995.

12. K. Bult and G. J. G. M. Geelen. "A Fast-Setting CMOS Op Amp for SC Circuits with 90-dB DC Gain," *IEEE Journal of Solid-State Circuits*, Vol. 25, no. 6, pp. 1379 ~ 1384, December 1990.

13. B.-S. Song, M. F. Thompson and K. R. Lakshmikumar. "A 12-bit 1-Msample/s Capacitor Error-Averaging Pipelined A/D Converter," *IEEE Journal of Solid-State Circuits*, Vol. 23, no. 6, pp. 1324 ~ 1333, December 1988.

14. J. A. Mataya, G. W. Haines, and S. B. Marshall. "IF Amplifier Using C_c Compensated Transistors," *IEEE Journal of Solid-State Circuits*, Vol. 3, pp. 401 ~ 407, December 1968.

15. J. F. Duque-Carrillo. "Control of the Common-Mode Component in CMOS Continuous-Time Fully Differential Signal Processing," *Analog Integrated Circuits and Signal Processing, An International Journal*, pp. 131 ~ 140, Kluwer Academic Publishers, September 1993.

索引表^①

- Abrupt junction 突变结, 4
- Active cascode 有源串接放大器, 199
- Active-cascode op amp 有源串接运算放大器, 425
- Active-device parameter summary 有源器件参数列表, 69
- Active level shift 有源电平(位)偏移, 419, 429, 457
- Active load 有源负载, 263, 402, 428, 429, 431, 436, 502
- common-emitter amplifier 共射放大器, 264, 267, 269
- common-mode rejection ratio 共模抑制比, 278
- common-source amplifier 共源放大器, 264, 267, 269
- complementary 互补, 264
- current-mirror 镜像电流源, 271
- depletion 耗尽型, 267
- diode-connected 二极管连接, 269
- enhancement 增强型, 271
- noise 噪声, 734
- offset voltage 失调电压, 315
- Advanced bipolar integrated-circuit fabrication 先进双极型集成电路制作, 87, 100
- All-npn output stage 全 npn 输出级, 356
- Amplifier: 放大器
- current 电流, 531
 - fully differential 全差分, 752, 757
 - operational, see Operational amplifier, 运算放大器
 - thermocouple 热电偶, 445
 - transconductance 跨导, 532
 - transresistance 互阻, 530
 - voltage 电压, 529
 - wideband 宽带, 483, 497, 542, 581
- Amplifier stages: 放大器状态
- Class A 甲类, 335, 543
 - Class AB 甲乙类, 346, 429, 645
 - Class B 乙类, 344
 - multiple-transistor 多管, 190
 - single-transistor 单管, 165
- Analog multiplier 模拟乘法器, 665, 668
- Anneal 退火, 82
- Avalanche breakdown 雪崩击穿, 7, 20, 46, 113
- Avalanche noise 雪崩噪声, 705
- Average power 平均功率, 332
- Balanced circuit 对称电路, 752
- Balanced differential amplifier 对称差分放大器, 755
- Balanced modulator 平衡调制器, 672
- Band-gap reference 带隙基准源, 301, 306
- curvature-compensated 曲率补偿, 304
- Bandwidth of feedback amplifiers 反馈放大器的带宽, 587
- Base-charging capacitance 基区寄生电容, 26
- Base-diffused resistors 基区电阻, 109
- Base diffusion 基区, 85
- Base-emitter voltage temperature coefficient 基极 - 发射极电压温度系数, 12, 299
- Base resistance 基极电阻, 28, 92
- Base transport factor 基极迁移率, 12
- Base width 基极宽度, 8
- Beta, see Current gain 电流增益
- Bias-current cancellation 偏置电流抑制, 450
- Bias reference circuit: 偏置电路
- band-gap 带隙, 301, 306
 - bootstrap 自举, 292
 - current routing 电流通路, 316

① 译者注: 此索引是按照原书英文索引顺序排序。

- low-current 小电流, 282
- proportional to absolute temperature 与绝对温度成比例的, 305
- self-biased 自偏置, 292
- start-up circuit 启动电路, 292, 294
- supply-insensitive 供电电源不敏感, 289
- temperature-insensitive 温度不敏感, 300
- threshold-referenced 以阈值为基础, 292
- V_{BE} -referenced 以 V_{BE} 为基础, 292, 297
- voltage routing 电压通路, 314
- V_T -referenced 以 V_T 为基础, 297, 299
- BiCMOS, 142
- amplifier 放大器, 237, 750, 582
- cascodes 串接放大器, 197
- Darlington 达林顿, 193, 194, 747
- operational amplifier 运算放大器, 452
- output stage 输出级, 360, 379
- technology 工艺, 142
- Bilateral amplifier 双向放大器, 164
- Bipolar transistor: 双极型晶体管
- advanced technology 先进(高级)工艺, 88, 101
- base-charging capacitance 基区寄生电容, 27
- base resistance 基区体电阻, 31, 93
- base transit time 基区扩散时间, 27
- breakdown voltage 击穿电压, 20, 84
- In CMOS technology CMOS 工艺, 136, 142
- collector-base resistance 集电极-基极电阻, 29
- collector series resistance 集电极串联电阻, 32, 95
- current-mirror matching 镜像电流源匹配, 310
- cutoff region 截止区, 44
- diffusion profile 扩散区剖面图, 86
- fabrication 制作, 84, 88
- forward-active region 正向放大区, 42
- frequency response 频率响应, 32
- heterojunction 异质结, 145
- input resistance 输入电阻, 28
- inverse-active region 反向放大区, 19, 42
- large-signal models 大信号模型, 9
- lateral 边, 135
- noise 噪声, 706, 716
- output characteristics 输出特性, 15
- output resistance 输出电阻, 27
- parameter summary (functional) 参数总结(功能), 69
- parameter summary (numerical) 参数总结(数值), 100, 102, 105, 107
- parasitic capacitance 寄生电容, 29, 96, 98, 99
- reverse-active region, see inverse-active region saturation current 反向放大区, 参见反向放大区饱和电流, 11, 91, 302
- saturation region 饱和区, 15
- self-aligned structure 自对准结构, 88
- small-signal model 小信号模型, 24
- SPICE model parameters SPICE 模型参数, 154
- transconductance 跨导, 25
- Bird's beak 鸟喙效应, 130, 245, 407
- Blackman's impedance formula Blackman 阻抗公式, 572
- Body effect in MOS transistors MOS 晶体管衬底效应, 51, 129
- Boltzmann approximation 玻耳兹曼近似, 8
- Bootstrap bias technique 自举偏置技术, 292
- Breakdown 击穿, 6
- in bipolar transistors 双极型晶体管, 19
- in MOSFETs 金属-氧化物-半导体场效晶体管, 35
- in superbeta transistors 超高倍数的晶体管, 117
- Breakdown voltage: 击穿电压
- base-emitter 基极-发射极, 22
- collector-base 集电极-基极, 19, 84
- collector-emitter 集电极-发射极, 21
- drain-substrate 漏-衬底, 47
- junction-diode 二极管结, 7
- MOS transistor MOS 晶体管, 45
- superbeta transistors 超高倍数晶体管, 117
- Zener diode 齐纳二极管, 7
- Built-in potential 内建电位差, 2
- Buried layer 掩埋层, 84
- Burst noise 突发噪声, 704
- Capacitance:
- base-charging 基区寄生, 26

- base-collector 基极 - 集电极, 29, 96
- base-emitter 基极 - 发射极, 29, 99
- channel-substrate 沟道 - 衬底, 131
- collector-substrate 发射极 - 衬底, 29, 98
- depletion region 耗尽区, 5, 29, 52, 97, 131, 499
- drain-body 漏 - 衬底, 52
- gate-body 栅 - 衬底, 53
- gate-drain 栅 - 漏, 49
- gate-source 栅 - 源, 49, 131
- gate-substrate, see gate-body 栅 - 衬底
- overlap 重叠, 53, 131
- sidewall 侧壁, 133
- source-body 源 - 衬底, 52
- Capacitive neutralization 电容中和, 789
- Capacitors: 电容
 - in bipolar integrated circuits 双极型集成电路, 113
 - lateral 横向的, 139
 - in MOS integrated circuits MOS 集成电路, 141
 - MOS transistors MOS 晶体管, 143
 - poly-poly 多晶硅 - 多晶硅, 142
 - vertical 垂直的, 143
- Capture range 捕获范围, 677, 684
- Cascode configuration 串接组态, 194, 196, 418, 421, 496
 - active 有源, 199, 425
- Cascode current mirror 串接镜像电流源, 249, 645
 - bipolar 双极型, 249
 - MOS 金属氧化物半导体, 252
- Cascode frequency response 串接放大器频率响应, 496
- Channel-length modulation 沟道长度调制效应, 40
- Class A output stage 甲类输出级, 335, 544
- Class AB input stage 甲乙类输入级, 645
- Class AB output stage 甲乙类输出级, 346, 429
- Class B output stage 乙类输出级, 344
- Clipping 削波, 331, 345
- Closed-loop gain 闭环增益, 384, 524, 566
- Clubhead 杆头, 110
- CMFB, see Common-mode feedback 参见共模反馈
- CMOS operational amplifier: CMOS 运算放大器
 - fully differential 全差分, 778
 - with single-ended output 单端输出, 402, 418, 419, 421, 425
- CMOS output stage CMOS 输出级, 361
- CMOS technology CMOS 工艺, 43, 120
- Collector-base capacitance 发射极 - 基极电容, 97
- Collector-base resistance 发射极 - 基极电阻, 28
- Collector-series resistance 发射极串联电阻, 30, 95
- Common-base configuration 共基组态, 173, 177, 179, 486, 497
- Common-base frequency response 共基频率响应, 486
- Common-base stage noise performance 共基级噪声特性, 730
- Common centroid geometry 共中心版图, 417, 448, 449
- Common-collector-common-collector configuration 共集共集组态, 190
- Common-collector-common-emitter configuration 共集共射组态, 190
- Common-collector configuration 共集组态, 181, 476
- Common-drain configuration 共漏组态, 185, 481, 556
- Common-emitter-common-base configuration, see Cascode configuration 共射共基组态, 参见串接组态
- Common-emitter configuration 共射组态, 165, 463, 467
- Common-emitter frequency response 共射频率响应, 463, 467
- Common-emitter output stage 共射输出级, 544
- Common-gate configuration 共栅组态, 176, 177, 179, 487, 496
- Common-gate frequency response 共栅频率响应, 487
- Common-mode feedback 共模反馈, 213, 272, 433, 759
 - circuits 电路, 767
 - using a resistive divider 使用分压电阻, 767
 - using switched capacitors 使用开关电容, 775
 - using transistors in the triode region 使用工作在三极管区的晶体管, 773
 - using two differential pairs 使用两差分对, 771
- Common-mode feedback loop 共模反馈回路, 761
 - bandwidth 带宽, 798

- stability and compensation 稳定性和补偿, 765
- Common-mode gain 共模增益, 210, 757
- Common-mode half-circuit 共模半边电路, 214, 217, 759
- Common-mode input range 共模输入范围, 781
- Common-mode input resistance 共模输入电阻, 216
- Common-mode rejection ratio 共模抑制比, 211, 216, 217, 398, 408, 444
- of active-load stage 有源负载, 287
- frequency response 频率响应, 472
- Common-mode-to-differential-mode gain 共模输入差模输出增益, 210
- Common-source amplifier 共源放大器, 169, 463, 470
- Common-source-common-gate configuration, see Cascode configuration 共源共栅组态, 参见串接组态
- Common-source frequency response 共源频率响应, 463, 470
- Compensation: 补偿
- of amplifiers 对放大器的, 595
- capacitor 电容, 507, 562, 600, 639
- by feedback zero 零反馈, 635
- methods 方法, 600
- of MOS amplifiers 对 MOS 放大器的, 606, 613
- nested Miller method 嵌套式密勒法, 616
- of 741 op amp 741 运算放大器的, 602
- theory 理论, 595
- Complementary load 互补负载, 264
- Complementary output stage 互补输出级, 344
- Composite pnp 复合 pnp 管, 358
- Conductivity 传导率, 75
- Copper 铜, 145
- Correlation 相关, 709, 715, 744
- Critical field 临界区, 7, 57
- Crossover distortion 交越失真, 345, 346, 356, 358, 366
- Crossunder 穿越, 111
- Crowding 阻塞, 30, 94
- Current amplifier 电流放大器, 531
- Current crowding 电流阻塞, 30, 93
- Current density 电流密度, 406
- Current-feedback pair 电流反馈对, 552, 635, 726
- Current gain: 电流增益
- dependence on operating conditions 和工作点相关, 21, 105
- forced 受迫, 16
- forward 正向, 11
- inverse 反向, 18
- npn transistor npn 晶体管, 100
- pnp transistor pnp 晶体管, 110
- short-circuit 短路, 168
- small-signal 小信号, 28
- small-signal high-frequency 高频小信号, 33
- temperature coefficient 温度系数, 23
- Current mirror 镜像电流源, 240, 645
- with beta helper 减小 β 影响, 247
- cascode 串接, 249, 253
- current routing 电流通路, 314
- with degeneration 负反馈, 248, 249
- gain error 增益损失, 241
- general properties 一般特性, 240
- high-swing cascode 高摆率串接, 255
- input voltage 输入电压, 241
- load 负载, 271
- matching 匹配, 310
- minimum output voltage 最小输出电压, 242
- output resistance 输出电阻, 240, 242, 246, 249, 250, 252, 254, 260, 262
- simple 简单的, 240, 242
- Sooch cascode Sooch 串接形式, 256
- voltage routing 电压通路, 314
- Wilson 威尔逊, 258, 262, 561, 574
- Current routing 电流通路, 314
- Current source 电流源, 284, 285, 287, 288, 289, 290, 291
- peaking 峰值, 288, 289
- Widlar 微, 284, 285, 288
- Cutoff 截止, 43
- Darlington configuration 达林顿组态, 190, 193, 379, 440, 562, 747
- DC analysis of 741 op amp 741 运算放大器的直流分析, 431

- Deadband 死区, 341, 345, 351, 358
- Depletion-mode load 耗尽模式负载, 267
- Depletion region: 耗尽区
capacitance 电容, 5, 30, 52, 98, 499
collector-base 集电极 - 基极, 13, 84
of pn junction pn 结, 1
- Design considerations for bipolar monolithic op amps
单片集成运算放大器的设计中要考虑的问题, 445
- Deviation from ideality in real op amps 与理想运算放大器额偏差, 397
- Die 模片, 86
- Dielectric isolation 电介质绝缘, 115
- Differential amplifier 差分放大器, 208, 387
perfectly balanced 理想对称, 210
unbalanced 不对称的, 224
- Differential-mode gain 差模增益, 210, 757
- Differential-mode half-circuit 差模半边电路, 213, 226, 759
- Differential-mode input resistance 差模输入电阻, 215
- Differential-mode-to-common-mode gain 差模输入共模输出增益, 210, 792
- Differential pair: 差分对
bipolar transistor 双极型晶体管, 202
with current-mirror load 有源负载, 271
MOS 金属氧化物半导体, 205
noise performance 噪声性能, 731
- Differential signal source 差分信号源, 756
- Differential-to-single-ended conversion 差分到单端转换, 278, 428, 444, 447
- Differentiator 微分器, 388
- Diffused-layer sheet resistance 扩散层表面电阻, 78
- Diffused resistors 扩散区电阻, 108
- Diffusion constant 扩散区常数, 10
- Diffusion current 扩散区电流, 9
- Diffusion of impurities 掺入杂质, 75
- Diffusion profile of a bipolar transistor 双极型晶体管扩散区剖面图, 86, 87, 90, 91
- Diode: 二极管
Junction 结, 114
Zener, see Zener diode 参见齐纳二极管
- Diode-connected load 二极管连接的负载, 269
- Diode-connected MOS transistor 二极管连接形式的 MOS 晶体管, 244
- Distortion 失真, 342, 377
in the source follower 在源极跟随器中, 340
reduction by negative feedback 负反馈减小失真, 524
- Dominant pole 主极点, 466, 468, 471, 488, 492, 496
- Doping 掺杂, 74
- Double-diffused npn transistors 双倍扩散的 npn 晶体管, 90
- Double-diffused pnp transistors 双倍扩散的 pnp 晶体管, 118
- Drift: 漂移
emitter-coupled pair 共射对, 221
operational amplifier 运算放大器, 447
source-coupled pair 共源对, 225
- Driver stage 驱动级, 330, 337, 346, 350, 352, 353, 357, 371
- Early effect 厄尔利效应, 14, 20, 250
- Early voltage 厄尔利电压, 14, 28, 41, 50, 244, 247
- Ebers-Moll equations 埃伯斯 - 莫尔方程, 18
- Economics of IC fabrication IC 制造业的行情, 145
- Effective channel length 有效沟道长度, 40, 129
- Effective channel width 有效沟道宽度, 131
- Efficiency: 效率
Class A 甲类放大器, 333, 335
Class B 乙类放大器, 344, 347, 349, 358
- Electromigration 电子迁移, 145
- Emitter-coupled multivibrator 射耦多频谐振荡器, 687, 692
- Emitter-coupled pair 共射对, 202, 665, 731
emitter degeneration, effect of 射极反馈, 204
frequency response 频率响应, 466
input offset current 输入失调电流, 218, 222
input offset voltage 输入失调电压, 218, 219
offset voltage drift 失调电压漂移, 221
small-signal analysis 小信号分析, 211, 225
transfer characteristics 传输特性, 202
- Emitter degeneration 发射极反馈, 187, 204, 249, 552
- Emitter-diffused resistors 发射区电阻, 110

- Emitter follower 射随器, 181
- drive requirements 要求, 337
 - frequency response 频率响应, 476
 - noise performance 噪声性能, 731
 - output stage 输出级, 329, 544
 - power output and efficiency 功率输出和效率, 330
 - small-signal properties 小信号特性, 182, 337
 - terminal impedances 终端阻抗, 478
 - transfer characteristics 传输特性, 329
- Emitter injection efficiency 发射极注入效率, 12
- Emitter resistance 发射区电阻, 30
- Enhancement load 增强型负载, 270
- Epitaxial growth 外延生长, 80
- Epitaxial resistor 外延生长电阻, 112
- Equivalent circuit of an op amp 运算放大器等效电路, 401
- Equivalent input noise generators 等效输入噪声源, 715
- Equivalent input noise resistance 等效输入噪声电阻, 717
- Equivalent input shot noise current 等效输入散粒噪声电流, 718
- Etching 蚀刻, 79
- Fabrication of integrated circuits 集成电路制造, 74
- Feedback 反馈, 384, 523
- bandwidth 带宽, 587
 - common-mode 共模, 214, 272, 433, 759
 - configurations 组态, 527
 - effect on distortion 对失真的影响, 525
 - effect on gain sensitivity 对增益的影响, 524
 - effect on noise 对噪声的影响, 723
 - effect on terminal impedances 对终端阻抗的影响, 528, 530, 531, 532, 570
 - ideal analysis 理想分析, 523
 - latchup 闩锁, 140
 - loading effect of 负载效应, 532
 - local 本地的, 214
 - loop gain 环路增益, 366, 384, 524
 - practical configurations 实际组态, 532
 - return ratio 反馈比, 563, 570
 - series-series 串联 - 串联, 532, 538
 - series-shunt 串联 - 并联, 526, 546
 - shunt-series 并联 - 串联, 531, 555
 - shunt-shunt 并联 - 并联, 529, 532
 - single-stage 单管级, 553
 - table of relationships 关系列表, 553
- Feedback-zero compensation 零反馈补偿, 635
- Feedforward 前馈, 372, 608 ~ 611, 620
- Field-effect transistor, see MOS transistor 场效应管
- Field region 场效应区, 120
- First-order phase-locked loop 一阶锁相环, 678
- Flicker noise 闪烁噪声, 703
- Flicker noise corner frequency 闪烁噪声拐点频率, 707
- Folded-cascode op amp 折叠式串接运算放大器, 421, 615
- Forward-active region 正向放大区, 8, 24, 42, 107, 167
- Free-running frequency 自然工作频率 676, 692
- Frequency response: 频率响应
- bipolar transistor 双极型晶体管, 32, 54
 - cascode 串接, 496
 - common-base 共基, 486
 - common-drain 共漏, 481
 - common-emitter 共射, 467
 - common-emitter cascode 共射的串接, 496
 - common-gate 共栅, 487
 - common-mode 共模, 472
 - common-source 共源, 469
 - common-source cascode 共源的串接, 496
 - of CMRR 共模抑制比, 472
 - of current mirror 镜像电流源, 243, 245
 - differential-mode 差分模式, 466, 469
 - of differential pair with current-mirror load 镜像电流源负载的差分对, 276, 502
 - emitter follower 射随器, 476
- MOS amplifier MOS 放大器, 606, 613
- MOS transistors MOS 晶体管, 53
- multistage amplifier 多级放大器, 484
 - 741 op amp 741 运算放大器, 507
 - single-stage 单级, 461
 - source follower 源极跟随器, 481

- Full-power bandwidth 全功率带宽, 645
- Fully differential amps 全差分放大器, 752
- cross gains 交叉增益, 798
- Fully differential op amps 全差分运算放大器, 752, 778
- folded cascode 折叠式串接, 788
- telescopic cascode 套叠式串接, 788
- two-stage 二级, 778
- Gain-bandwidth product 增益带宽积, 588
- Gain margin 增益裕度, 593
- Gaussian distribution 高斯分布, 221, 231, 701
- Generation 发生器, 75
- Gilbert multiplier 吉尔伯特乘法器, 666
- g -parameters g 参数, 550
- Graded junction 渐变式接合, 5
- Guard ring 保护环, 141
- Half-circuit: 半边电路
- of balanced amplifier 对称放大器, 213, 214, 759
- coupled 耦合的, 214
- independent 独立的, 214
- of unbalanced amplifier 非对称放大器, 227, 226
- Harmonic distortion 谐波失真, 342, 377
- Heterojunction 异质结, 143
- High-frequency equivalent circuit of the 741 op amp
741 运算放大器的高频等效电路, 507
- High-level injection 高电平注入, 33, 105
- High-voltage integrated-circuit fabrication 高压集成电路制作, 84
- Homojunction 同类结, 143
- Hot carriers 高热载流子, 47
- h -parameter h 参数, 546
- Hybrid- π model 混合 π 模型, 28, 50
- Ideal feedback analysis 理想反馈分析, 523
- Impact ionization 离子化影响, 67
- Impurity concentration 杂质浓度, 74
- Instability in amplifiers 放大器的稳定性, 589, 625
- Instantaneous power 瞬态功率, 332~335, 348, 349
- Integrated circuit: 集成电路
- advanced bipolar fabrication 先进双极型制造工艺, 87, 101
- biasing 偏置, 240
- capacitors 电容, 113, 137
- cost consideration 成本核算, 148
- current mirrors 镜像电流源, 240
- device models 器件模型, 1
- economics 经济性, 145
- fabrication 制造, 74
- frequency response 频率响应, 145
- mixed-signal 混合信号, 209
- noise 噪声, 699
- op amps 运算放大器, 209, 752, 778
- output stages 输出级, 328
- packaging 封装, 150
- passive components 无源器件, 108, 136
- phase-locked loop 锁相环, 675
- resistors 电阻, 108, 112, 136
- Integrator: 积分器
- continuous-time 连续
- switched-capacitor 开关电容, 38
- Interconnect delay 互连延迟, 194
- Internal amplifier 内部放大器, 389
- Intrinsic carrier concentration 本征载流子浓度, 2, 74
- Inverse-active region of bipolar transistors 双极型晶体管的反向线性区, 18, 42
- Inversion 反向, 37
- Inverting amplifier 反相放大器, 384
- Ion implantation 离子注入, 80, 82
- Isolation diffusion 隔离扩散法, 85
- Junction breakdown 结击穿, 6, 47
- Junction diodes 结型二极管, 114
- KCL 基尔霍夫电流定律, 175
- Kirk effect Kirk 效应, 24, 34
- KVL 基尔霍夫电压定律, 175
- Large-signal model: 大信号模型
- bipolar transistors 双极型晶体管, 7
- MOS transistor MOS 晶体管, 42
- Latchup in CMOS CMOS 闳锁效应, 140, 328
- Lateral bipolar transistor 横向双极型晶体管, 135
- Lateral pnp transistor 横向 pnp 晶体管, 102, 351, 358, 429
- Layout 版图设计, 415, 448
- Leakage current 漏电流, 7, 17, 18

- collector-base 集电极-基极, 19
- Level shifting 电平(位)偏移, 183, 186, 419, 429, 444, 447, 457
- Lifetime of minority carriers 少子寿命, 11
- Line regulation 电压调整率, 559
- Load line 负载线, 331~336, 348, 349
- Load regulation 电流调整率, 559
- Local feedback 本地反馈, 554
- Local oxidation 本地氧化, 82
- Lock range 锁定范围, 676, 681, 694
- Logarithmic amplifier 对数放大器, 387
- Loop gain 环路增益, 366, 384, 524
- Low-current biasing 小电流偏置, 284
- Low-drift op amps 低漂移运算放大器, 447
- Low-level injection 低电平注入, 8, 104
- Low permittivity dielectric 弱电解质, 145
- Matching in transistor current mirrors 晶体管镜像电流源的匹配, 310
- Miller capacitance 密勒电容, 462, 468, 469, 601, 786
- Miller effect 密勒效应, 107, 462, 468, 671, 789
- Minimum detectable signal 最小可检测信号, 714
- Minority-carrier lifetime 少子寿命, 11
- Mismatch effects in differential amplifiers 差分放大器的不匹配效应, 218
- Moat 挖沟, 88
- Moat etch 挖沟蚀刻, 115
- Mobility 迁移率, 75
- Mobility degradation 迁移率下降, 62
- Model selection for IC analysis IC 分析时模型选择, 162
- Modulator 调制, 668
- MOS transistor: MOS 晶体管
- active region 线性区, 42
 - bird's beak 鸟喙效应, 131, 246, 407
 - body effect 衬底效应, 51, 129
 - breakdown voltage 击穿电压, 49
 - channel-length modulation 沟道长度调制, 40
 - complementary MOS (CMOS) 互补 MOS (CMOS), 36, 43, 120
 - critical field 临界区, 57
 - current density 电流密度, 406
 - current-mirror matching 镜像电流源的匹配, 310
 - cutoff region 截止区, 44
 - depletion-mode 耗尽模式, 39, 134, 267
 - diode-connected 二极管连接, 244
 - effective channel length 有效沟道长度, 41, 129
 - effective channel width 有效沟道宽度, 131
 - enhancement-mode 增强模式, 36, 120
 - fabrication 制造, 120
 - field-effect transistor 场效应管, 38
 - field region 场效应区, 121
 - frequency response 频率响应, 53
 - hot carriers 高热载流子, 47
 - impact ionization 离子化影响, 67
 - input resistance 输入电阻, 50
 - inversion 反型, 38
 - junction breakdown 结击穿, 47
 - large-signal model 大信号模型, 43
 - mobility 迁移率, 40
 - mobility degradation 迁移率下降, 62, 126
 - moderate inversion 中等反型, 66
 - n-channel n 沟道, 35, 123, 134
 - noise 噪声, 708, 721
 - ohmic region 欧姆区, 42
 - operational amplifier 运算放大器, 402
 - output resistance 输出电阻, 50
 - output stages 输出级, 361
 - overdrive 过载, 45, 171, 415
 - oxide breakdown 氧化物击穿, 47
 - parameter summary (functional) 参数列表(功能性), 70
 - parameter summary (numerical) 参数列表(数值), 124, 125, 126, 127
 - parasitic elements 寄生单元, 52
 - p-channel p 沟道, 37, 133
 - punchthrough 穿通, 47
 - saturation region 饱和区, 42, 43
 - short-channel effects 短沟道效应, 55
 - silicon gate 硅栅, 121
 - small-signal model 小信号模型, 47
 - source-coupled pairs 共源对, 205
 - source follower 源极跟随器, 185

- SPICE model parameters SPICE 模型参数, 144
 strong inversion 强反型, 62
 substrate current 补底电流, 67
 subthreshold conduction, see weak inversion 亚阈电导, 参见弱反型
 threshold temperature dependence 阈值的温度独立性, 45
 threshold voltage 阈值电压, 38, 122, 124
 transconductance 跨导, 48, 61
 transfer characteristic 传输特性, 36
 triode region 三极管区, 42
 weak inversion 弱反型, 62, 171
 velocity saturation 速率饱和, 56
 Multicollector lateral pnp 多集电极横向 pnp, 429
 Multiplication factor 倍增因数, 7
 Multiplier circuits 乘法电路, 666
 Multistage amplifier frequency response 多级放大器频率响应, 484
 Negative feedback, see Feedback 负反馈
 Neutralization 中和, 789
 NMOS n 沟道 MOS, 35
 Noise: 噪声
 in active loads 有源负载, 734
 amplitude distribution 放大器失真, 701
 avalanche 雪崩, 705
 bandwidth 带宽, 738
 in bias-current cancellation circuits 偏置电流抑制电路中, 736
 in bipolar transistors 双极型晶体管中, 706, 716
 burst 突发, 704
 in capacitors and inductors 电容电感中, 709
 circuit calculations 电路计算, 709
 common-base stage 共基级, 730
 differential pair 差分对, 731
 in diodes 二极管中, 706
 in direct-coupled amplifiers 直接耦合放大器, 741
 emitter follower 射随器, 731
 equivalent input noise 等效输入噪声, 714
 $1/f$ 分之一, 703
 feedback, effect of 反馈效应, 723
 figure 图案, 724
 flicker 闪烁, 703
 generator 发生器, 701
 models 模型, 706
 MOS amplifier MOS 乘法器, 736
 MOS transistor MOS 晶体管, 708, 721
 operational amplifier 运算放大器, 733
 popcorn 爆米花噪声, 704
 in resistors 电阻中, 709
 in 741 op amp 741 运算放大器中, 733
 shot 散粒, 699
 spectral density 谱密度, 700, 709
 in superbeta circuits 高 β 电路, 736
 temperature 温度, 745
 thermal 热, 702
 white 白, 700
 in Zener diodes 齐纳二极管中, 705
 Nondominant pole 非主极点, 466, 468, 471, 502
 of 741 op amp 741 运算放大器中, 510
 Noninverting amplifier 同相放大器, 386
 Nonlinear analog operations 非线性模拟运算, 387, 659
 Nonlinear function synthesis 非线性函数合成, 694
 Nonlinearity 非线性, 330, 338, 342, 351, 358, 375, 377, 668
 Nonoverlapping clock signals 非混迭时钟信号, 390
 charge transfer phase 电荷传输相位, 391
 input sample phase 输入采样相位, 391
 Normal distribution, see Gaussian distribution 正态分布, 参见高斯分布
 Nyquist criterion 奈奎斯特判据, 589, 625
 Nyquist diagram 奈奎斯特图表, 590
 Offset current 失调电流, 397, 444
 emitter-coupled pair 共射对, 218, 212
 741 op amp 741 运算放大器, 443
 Offset trimming 失调修整, 448
 Offset voltage 失调电压, 398
 differential pair with active load 有源负载的差分对, 315
 emitter-coupled pair 共射对, 218, 219
 emitter-coupled pair with active load 有源负载的共射对, 315

- 741 op amp 741 运算放大器, 443
- source-coupled pair 共源对, 223
- source-coupled pair with active load 有源负载的共源对, 317
- Open-circuit time constants 开路时间常数, 504
- see also Zero-value time constant analysis 开路时间常数分析法
- Open-loop gain 开路增益, 384
- Operational amplifier: 运算放大器
- active-cascode 有源串接, 425
 - applications 应用, 384
 - BiCMOS 双极型 CMOS, 451
 - bipolar 双极型, 428
 - with cascodes 串接, 418
 - CMOS 互补金属氧化物半导体, 402
 - common-mode input range 共模输入范围, 398, 408
 - common-mode rejection ratio 共模抑制比, 398, 408, 444
 - compensation 补偿, 401, 595, 634, 635
 - design considerations 设计考虑, 445
 - deviations from ideality 与理想的偏差, 397
 - differential amplifier 差分放大器, 387
 - effect of overdrive voltages 过载电压影响, 415
 - equivalent circuit 等效电路, 401
 - folded-cascode 折叠式串接, 421, 615
 - frequency response 频率响应, 401, 507
 - fully differential op amps 全差分运算放大器 752, 778
 - input bias current 输入偏置电流, 397
 - input resistance 输入电阻, 401, 403
 - internal amplifier 内部放大器, 389
 - inverting amplifier 反相放大器, 384
 - layout considerations 版图考虑, 415, 449
 - low-drift 低漂移, 447
 - low-input-current 低输入电流, 449
 - MOS 金属氧化物半导体, 402, 418, 419, 421, 425
 - with MOS input transistors MOS 输入晶体管, 452
 - noise 噪声, 733
 - noninverting amplifier 同相放大器, 386
 - offset current 失调电流, 397, 444
 - offset drift 失调漂移, 398, 446, 447
 - offset voltage 失调电压, 398, 405, 444
 - open-circuit voltage gain 开路电压增益, 403
 - output buffer 输出缓冲器, 389
 - output resistance 输出电阻, 401, 403
 - output swing 输出摆幅, 404
 - power-supply rejection ratio 电源抑制比, 399, 410, 412
 - precision 精度, 445
 - random offset voltage 随机失调电压, 407
 - rectifier circuits 整流电路, 659
 - settling time 建立时间, 393
 - 725 op amp 725 运算放大器, 447
 - 741 op amp analysis 741 运算放大器分析, 429
 - with single-ended outputs 单端输出, 383
 - slew rate 摆率, 401, 638~647
 - small-signal characteristics 小信号特性, 403, 436, 443
 - supply capacitance 供电滤波电容, 412
 - systematic offset voltage 全系统失调电压, 405
 - telescopic-cascode 套叠式串接, 419, 613, 652
- Oscillation 振荡器, 591, 625, 637
- Output buffer 输出缓冲器, 389
- Output resistance of current mirror 镜像电流源输出电阻, 241, 243, 246, 248, 250, 252, 254, 261, 262
- Output stage 输出级, 328
- all-npn 全 npn, 356
 - BiCMOS 双极型 CMOS, 360, 379
 - Class A 甲类, 335, 544
 - Class AB 甲乙类, 346, 361, 429
 - Class B 乙类, 344
 - CMOS 互补金属氧化物半导体, 361
 - common-drain 共漏, 339, 362
 - common-drain-common-source 共漏共源, 370, 372
 - common-emitter 共射, 544
 - common-source, with error amplifiers 共源带误差放大器, 363
 - complementary 互补, 344
 - Darlington 达林顿, 379
 - emitter follower 射随器, 328

- overload protection 过载保护, 360
- parallel common-source 并行共源, 372
- push-pull 推挽, 344
- quasi-complementary 准互补, 358, 359, 363, 366, 370
- 709 op amp 709 运算放大器, 350
- 741 op amp 741 运算放大器, 352, 435, 442
- short-circuit protection 短路保护, 360
- source follower 源极跟随器, 338, 362
- Overdrive 过载, 45
- Overload protection 过载保护, 360
- Oxidation 氧化物, 79
- Oxide breakdown 氧化物击穿, 47
- Packaging considerations 封装考虑, 150
- Parasitic elements: 分布参数
 - bipolar transistor 双极型晶体管, 29, 93
 - MOS transistor MOS 晶体管, 52, 132
- Passive components: 无源器件
 - in bipolar integrated circuits 双极型集成电路中, 108
 - in MOS technology MOS 工艺中, 136
- Permittivity 介电常数, 3
- Phase detector 鉴相器, 668, 672, 685, 691
- Phase-locked loop: 锁相环
 - basic concepts 基本概念, 675
 - capture range 捕获范围, 676, 684
 - first-order loop 一阶环路, 678
 - 560dB analysis 560 dB 分析, 688
 - integrated circuit 集成电路, 集成的, 675, 685
 - lock range 跟踪范围, 676, 683, 694
 - loop bandwidth 环路带宽, 678, 682, 694
 - root locus 根轨迹, 679, 681
 - second-order loop 二阶环路, 680
- Phase margin 相位裕度, 592, 600, 611
- Photolithography 影印平版印刷, 79
- Photoresist 光刻胶, 79
- Pinch-off in MOSFETs MOSFET 夹断, 41
- Pinch resistors 夹端电阻, 111, 112
- PMOS p 沟道 MOS, 37
- pn junction depletion region pn 结耗尽区, 1
- Poles and zeros of the 741 op amp 741 运算放大器的极点和零点, 602
- Pole splitting 极点分离, 604, 605
- Polysilicon 多晶硅, 82, 89, 122
- Popcorn noise 爆米花噪声, 704
- Power dissipation effect of packaging 封装结构的散热效果, 150
- Power conversion efficiency 功率转化效率, 333
- Power hyperbola 功率的双曲线, 334
- Power output: 功率输出
 - Class A 甲类, 330
 - Class B 乙类, 347
- Practical Class B output stages 实际乙类输出, 350
- Precision op amps 高精度运算放大器, 445
- Precision rectifiers 高精度整流器, 659
- Predeposition 预淀积, 76, 80
- Probability distribution 概率密度, 231
- Protection of output stages 输出级保护, 360
- Pulse response 冲激响应, 511
- Punchthrough 穿通, 47, 118
- Push-pull output stage 推挽输出级, 344
- Quasi-complementary output stages 准互补输出级, 358, 359, 363, 366, 370
- Reciprocity condition 互惠准则, 18
- Recombination 重组, 8, 10, 74
- Rectifiers 整流器, 659
- References 基准源, 284
- Regulated cascode, see Active cascode 校准串接, 参见有源串接
- Regulator 稳压器, 558
- Reliability of integrated circuits 集成电路的可靠性, 153
- Replica biasing 复制偏置, 777
- Resistivity 电阻率, 76
- Resistor: 电阻
 - base-diffused 基区, 109
 - base-pinch 基区夹断, 111
 - diffused 扩散区, 136
 - emitter-diffused 发射区, 110
 - epitaxial 外延生长电阻, 112
 - MOS device MOS 器件, 137
 - in MOS technology MOS 工艺中, 136

- polysilicon 多晶硅, 136
- Well 阱, 136
- Return ratio 反馈比, 563
- simulation of 仿真, 584
- Reverse-active region, see Inverse-active region of bipolar transistors 双极型晶体管反向放大区
- Reverse injection 反向注入, 11
- Rise time 上升时间, 512
- Root locus 根轨迹, 624
- for dominant-pole compensation 主极点补偿, 636
- for feedback-zero compensation 零反馈补偿, 636
- for three-pole transfer function 三极点传输函数, 624
- Root locus rules 根轨迹准则, 627
- Saturation current of bipolar transistor 双极型晶体管饱和电流, 10, 92, 301
- Saturation region: 饱和区
- of bipolar transistor 双极型晶体管, 15, 167
- of MOSFET 金属氧化物-半导体场效应晶体管, 42, 43
- Scattering-limited velocity 散射速度, 57, 125
- Second-harmonic distortion 二次谐波失真, 342, 377
- Second-order effects in op-amp analysis 运算放大器的二阶效应, 443
- Second-order phase-locked loop 二阶锁相环, 680
- Self-aligned structure 硅栅自对准工艺, 89
- Self-biasing 自偏置, 293
- Sensitivity to power-supply voltage 对电源电压敏感度, 290
- Series-series feedback 串联串联反馈, 532, 538
- Series-series triple 三级串联串联, 540, 542, 550
- Series-shunt feedback 串联并联反馈, 527, 546
- Sheet resistance 表面电阻, 78
- Short-channel effects in MOS transistors MOS晶体管的短沟道效应, 55
- Short-circuit current gain 短路电流增益, 168
- Short-circuit protection 短路保护, 360
- Short-circuit time constants 短路时间常数, 504
- Shot noise 散粒噪声, 699
- Shunt-series feedback 并联串联负反馈, 531, 550
- Shunt-shunt feedback 并联并联负反馈, 529, 532
- Signal-to-noise ratio 信噪比
- Silicide 硅化物, 90, 136
- Silicon dioxide 氧化硅, 79, 82
- Silicon nitride 氮化硅, 82
- Single-stage feedback 单级反馈, 553
- Single-stage frequency response 单级频率响应, 461
- Slew rate 摆率, 638, 663
- effect on sinusoidal signals 正弦信号激励下, 647
- improvement 改进, 642, 643
- Small-signal analysis of 741 op amp 741 运算放大器小信号模型, 436
- Small-signal model: 小信号模型
- bipolar transistor 双极型晶体管, 24
- MOS transistor MOS 晶体管, 47
- operational amplifier 运算放大器, 443
- Source-coupled pair 共源对, 205
- frequency response 频率响应, 469
- input offset voltage 输入失调电压, 222
- offset voltage drift 失调电压漂移, 224
- small-signal analysis 小信号分析, 211, 224
- transfer characteristics 传输特性, 205
- Source degeneration 源反馈, 189, 249
- Source follower 源极跟随器, 185, 481, 556
- Distortion 失真, 340
- frequency response 频率响应, 481
- output stage 输出级, 388
- small-signal properties 小信号特性, 185
- super 超级, 199, 573
- transfer characteristics 传输特性, 339
- Space-charge region, see Depletion region 空间电荷层, 参见耗尽区
- Spectral density of noise 噪声谱, 700, 709
- SPICE parameter summary SPICE 参数汇总, 154
- Square-law characteristics of MOSFETs MOSFET 的平方律特性, 41
- Square-law circuit 平方律电路, 694, 697
- Square-root circuit 平方根电路, 694
- Start-up circuit 起动电路, 294, 296
- Step coverage 阶梯覆盖, 143
- Stress migration 应力迁移, 145
- Substitutional impurities 代用杂质, 76

- Substrate contact 衬底接触窗口, 141
- Substrate current in MOSFETs MOSFET 的衬底电流, 67
- Substrate pnp transistors pnp 晶体管衬底, 95
- Subthreshold conduction 亚阈值传导, 126
see also MOS transistors: weak inversion 参见 MOS 晶体管: 弱反型
- Summing node 求和结点, 394, 523
- Summing-point constraints 求和点考虑, 386
- Superbeta transistors 高 β 晶体管, 116, 451, 736
- Super source follower 高 β 源极跟随器, 201
- Supply-insensitive biasing 对电源不敏感的偏置, 290
- Sustaining voltage 连续电压, 20
- Switched-capacitor amplifier 开关电容放大器, 389
parasitic-insensitive 寄生感应较迟钝, 393
- Switched-capacitor common-mode feedback 开关电容共模反馈, 775
- Switched-capacitor filter 开关电容滤波器, 394
- Switched-capacitor integrator 开关电容积分器, 394
- Symmetry: 对称
mirror 镜, 416
translational 迁移的, 416
- Tail current source 尾电流源, 202, 205
- Telescopic-cascode op amp 套叠式共射共基运算放大器, 419, 613
- Temperature coefficient: 温度系数
of band-gap reference 带隙参考源, 304, 308
of base-emitter voltage 基极 - 集电极电压, 12, 296, 299
of bias reference circuits 偏置基准电路, 296, 304
of bipolar transistor current gain 双极型晶体管电流增益, 23
effective 效率, 304
of integrated-circuit resistors 集成电路电阻, 113
of threshold voltage 阈值电压, 45
of Zener diodes 齐纳二极管, 115, 116
- Temperature-insensitivity biasing 温度不敏感的偏置, 299
- Thermal noise 热噪声, 702
- Thermal resistance 热电阻, 151
- Thermocouple amplifier 热电偶放大器, 445
- Thin-film resistors 薄膜电阻, 120
- Thin-harmonic distortion 窄谐波失真, 343, 377
- Threshold-referenced bias circuit 参考阈值偏置电路, 293
- Threshold voltage of MOS transistors MOS 晶体管的阈值电压, 38, 122, 124
- Threshold voltage temperature dependence 阈值电压的温度独立性, 45
- Time constant 时间常数, 34
open circuit 开路, 504
short circuit 短路, 504
zero value 零值(电容短路), 488
- Time response 时间响应, 511
- T model T 模型, 113, 176
- Transconductance amplifier 跨导放大器, 532
Class B stage 乙类, 344
common-emitter amplifier 共射放大器, 166
emitter-coupled pair 共射对, 202
emitter-coupled pair with emitter degeneration 带射极反馈的共射对, 204
emitter follower 射随器, 328
source-coupled pair 共源对, 205
source follower 源极跟随器, 338
- Transition frequency f_T 交界频率 f_T , 32, 53, 61
- Transit time 扩散时间, 26
- Transresistance amplifier 互阻放大器, 530
- Trimming 修剪, 448
- Tunneling 隧道, 7, 114
- Two-port representation 两端口表示, 163, 532, 550
- Unbalanced fully differential circuits 非对称全差分电路, 792
- Uniform-base transistor 均匀基区晶体管, 8
- Unilateral amplifier 单边放大器, 164
- Unit devices 单元器件, 243, 246, 407
- Unity-gain feedback configuration 单元增益反馈组态, 595
- V_{BE} multiplier V_{BE} 乘法器, 457
- V_{BE} -referenced bias circuit 以 V_{BE} 为基准的偏置电路, 292, 307
- VCO 压控振荡器, 676, 685, 691

- Velocity saturation 速率饱和, 56
- Virtual ground 虚地, 386
- Voltage amplifier 电压放大器, 529
- Voltage-controlled oscillator 压控振荡器, 676, 685, 691
- Voltage gain 电压增益, 167, 403
open-circuit 开路, 168, 171
- Voltage regulator 稳压器, 558
analysis 分析, 559
- Voltage routing 电压通路, 314
- V_T -referenced bias circuit 以阈值电压为基准的偏置电路, 299
- Wafer 晶圆, 74
- Well 阱, 45, 120
- Well contact 阱接触窗, 141
- White noise 白噪声, 700
- Wideband amplifier 宽带放大器, 483, 497, 542, 581, 635, 726
- Widlar current source 微电流源, 284, 286, 290, 432
- Wilson current mirror 威尔逊电流源, 260, 262, 433, 561, 574
- Yield considerations 产量考虑, 145
- y-parameters y 参数, 533
- Zener diode 齐纳二极管, 7, 21, 114, 558, 561, 688, 694, 705
noise 噪声, 705
temperature coefficient 温度系数, 113, 114
- Zener-referenced bias circuit 以齐纳二极管为基准的偏置电路, 561
- Zero-value time constant analysis 开路时间常数分析法, 488
- z-parameters z 参数, 538